PROLOGO

Estimado lector :

Bienvenido de nuevo al extraordinario y fascinante mundo de la electrónica. CEKIT S.A., empresa líder en la enseñanza y divulgación tecnológica, presenta su nueva obra: **Curso práctico de circuitos digitales y Microprocesadores.**

Como en nuestras anteriores obras, **Tu futuro es la ELECTRONICA** y el **Curso de radio AM-FM, banda ciudadana y radioafición**, presentamos un curso con la metodología propia de CEKIT, escrito y organizado en forma sencilla y muy didáctica, con párrafos cortos y claros e ilustraciones que aclararan las ideas expuestas.

Este curso lo conducirá gradualmente por todo el campo de la electrónica digital, desde los principios básicos hasta aplicaciones avanzadas y luego lo llevará al extraordinario campo de los microprocesadores. Aprenderá que la electrónica digital y los microprocesadores no sólo son una ciencia fascinante sino también un hobby y una profesión lucrativa.

Los contenidos del curso desarrollan las lecciones teóricas de esta rama de la electrónica, que realizan una gran cantidad de experimentos y proporcionan toda la información para ensamblar varios proyectos completos los cuales darán la experiencia suficiente para desenvolverse con éxito en esta área, ya sea como aficionado o como profesional.

La electrónica digital y los microprocesadores han sido una de las revoluciones tecnológicas de mayor impacto en nuestra vida moderna y uno de los campos del conocimiento de más rápido crecimiento en las últimas décadas. Basta mencionar los aparatos electrónicos que se utilizan ampliamente en la actualidad y que emplean la tecnología digital: relojes digitales, calculadoras de bolsillo, equipos de sonido digitales, radios y televisores con sintonía digital, computadores personales y otros. Los sistemas digitales y los microprocesadores están presentes en casi todos los circuitos electrónicos modernos. **¡Bienvenidos a la electrónica del futuro, hoy !**

Si su interés en la electrónica digital y los microprocesadores es por afición o de tipo profesional, este curso es para usted. Está dirigido a estudiantes, profesores, aficionados, técnicos, ingenieros, investigadores y en general a todas aquellas personas relacionadas de una u otra forma con la electrónica.

Qué aprenderá en este curso

A lo largo de este curso usted adquirirá, entre otras, las siguientes habilidades:

- Comprenderá cómo están estructurados los sistemas digitales y entenderá por qué las técnicas digitales están revolucionando el panorama actual de la electrónica y será consciente de sus ventajas y también de sus limitaciones.
- Se familiarizará con los símbolos, términos y conceptos propios de la electrónica digital y con sus circuitos y aplicaciones más representativos. Experimentará con una gran variedad de circuitos integrados digitales y construirá muchos proyectos y kits prácticos cuya operación ha sido plenamente confirmada.
- Aprenderá a elaborar diagramas lógicos, a diseñar y sintetizar circuitos digitales, partiendo de necesidades específicas y a resolver los problemas prácticos que se presenten durante su montaje. Aprenderá a utilizar los tableros de conexiones sin soldadura (protoboards), a construir circuitos impresos, a soldar con propiedad, a manejar instrumentos digitales y a reparar circuitos lógicos.
- Estará en capacidad de asimilar información más avanzada relacionada con temas de electrónica digital y no encontrará mayores dificultades en comprender y realizar circuitos, técnicas y aplicaciones digitales descritas en revistas, manuales, boletines y otras publicaciones especializadas.
- Estudiará la teoría básica de los computadores y de sus circuitos principales como son los microprocesadores y sus aplicaciones en el control automático de procesos físicos e industriales. Aprenderá qué es un programa y qué es el lenguaje de máquina que se utiliza para manejar los sistemas con microprocesadores. También se estudiará el diseño, la conexión y la programación de interfaces con circuitos externos.

Marco Antonio Prado Solis

Cómo está estructurado este curso

El curso práctico de circuitos digitales y microprocesadores es un programa teórico-práctico en 56 lecciones el cual lo llevará progresivamente desde conocimientos básicos hasta los más avanzados, de manera amena y en un lenguaje sencillo y claro. Es fiel a la metodología de CEKIT: **aprender haciendo.**

La teoría y la práctica se conjugan de una manera armónica para garantizar un conocimiento integral. Los aspectos prácticos de la electrónica digital y los microprocesadores están implícitos en cada lección y adquieren una forma concreta a través de experimentos, circuitos de aplicación, actividades prácticas y proyectos centrales. Estos tópicos se diferencian de sus objetivos así:

Los **experimentos** permiten verificar paso a paso un concepto o comprobar cómo trabaja un componente digital específico en forma aislada, es decir, sin formar parte de un circuito de aplicación en particular. Los experimentos refuerzan los conocimientos inmediatamente aprendidos.

Los **circuitos de aplicación** amplían la teoría básica desarrollada en cada lección presentando aplicaciones típicas comprobadas de los circuitos descritos. Cada circuito está acompañado de una breve explicación sobre su funcionamiento y utilización. Los experimentos y circuitos de aplicación están directamente relacionados con el tema de cada lección.

Las **actividades prácticas** describen, paso a paso, la construcción de un comprobador lógico modular muy versátil, que usted mismo ensambla utilizando componentes comunes. En estas actividades también se explican varios aspectos de interés general en la práctica electrónica, como aprender a soldar, realizar circuitos impresos y conocer componentes especiales, entre otros.

Los **proyectos centrales** suministran toda la información necesaria para construir circuitos digitales y de microprocesadores como juegos, instrumentos de prueba y medida, circuitos de control, sintetizadores de sonidos y otros. Estos proyectos son coleccionables en un tomo e incluyen fotografías, diagrama, lista de materiales, circuito impreso, teoría de funcionamiento, instrucciones de ensamble, etc.

Las actividades prácticas y los proyectos centrales no están necesariamente relacionados con el tema de cada lección. Las explicaciones suministradas en cada caso son suficientes para que usted pueda armar un proyecto o ejecutar una actividad sin conocimientos previos.

Los experimentos, los proyectos, las actividades y las aplicaciones se han planeado cuidadosamente, de manera que sean interesantes, útiles y relativamente sencillos de ejecutar. Los circuitos integrados y demás componentes utilizados son económicos y de fácil consecución.

El curso comienza con una introducción general al mundo de la electrónica digital y su impacto en la vida moderna. Se destaca la importancia de los circuitos integrados en su evolución. Se establece la diferencia entre circuitos análogos y circuitos digitales así como entre circuitos combinatorios y circuitos secuenciales, las dos categorías fundamentales de circuitos digitales.

En las lecciones 1 y 2 se estudian los circuitos integrados digitales y se hace un estudio comparativo muy completo de las características de los circuitos integrados TTL y CMOS, las dos familias lógicas más utilizadas en la actualidad. También se analiza el fenómeno de las descargas electrostáticas (ESD) en los circuitos CMOS y su prevención. La lección 3 comprende el estudio de la lógica digital, la cual rige el comportamiento de los circuitos digitales. Se definen conceptos como el de variable lógica, ecuación lógica y tabla de verdad.

En las lecciones 4 y 6 se estudian las compuertas digitales, los bloques constructivos básicos de todo sistema digital. Se analizan compuertas básicas como la AND, la OR y la NOT y compuertas derivadas de ellas como la NAND, la NOR, la OR exclusiva, las programables y otras. La lección 7 trata el tema del diseño y análisis de circuitos digitales con compuertas. Se describen varios procedimientos y técnicas, incluyendo recursos gráficos. Se hace especial énfasis en la utilización del método Booleano, un sistema matemático muy simple empleado para expresar la operación de los circuitos lógicos digitales.

La lección 8 aborda el estudio de las interfaces lógicas y reales. Se describe la forma de hacer compatibles dispositivos digitales de diferentes familias y la manera de comunicar los circuitos digitales con el mundo real y lograr que éstos controlen dispositivos como motores, relés, etc.

Las lecciones 9 a 12 abarcan el tema de los circuitos digitales combinatorios. Se analizan detalladamente circuitos combinatorios básicos como los codificadores, los decodificadores, los multiplexores y los demultiplexores. En las lecciones 13 a 18 se estudian los circuitos generadores de pulsos, las señales básicas de control y de sincronización de los circuitos digitales secuenciales. Se analizan detalladamente los detectores de flancos, los multivibradores monostables, los generadores de señales de reloj, los osciladores controlados por voltaje (VCOs) y los bucles de amarre de fase (PLLs) digitales.

Las lecciones 19 a 26 comprenden el análisis de los circuitos digitales secuenciales. Se estudian detalladamente los cerrojos biestables o latches, los flip-flops, los registros de datos y de desplazamiento y los contadores binarios y BCD. Las lecciones 27 a 30 abarcan el tema de los circuitos digitales que realizan operaciones aritméticas con números binarios. Después de un repaso de la aritmética binaria, que es muy simple, se analizan detalladamente los sumadores, los comparadores de magnitud, las unidades aritmético-lógicas (ALUs), los multiplicadores binarios y otros circuitos aritméticos importantes.

En las lecciones 31 a 35 se estudian las memorias, los circuitos digitales especializados en el almacenamiento de información. Se analizan detalladamente las memorias de lectura y escritura (RAMs), las memorias de sólo lectura y sus variantes (ROMs, PROMs y EPROMs), los arreglos lógicos programables (PLAs) y los generadores de caracteres.

Las lecciones 36 y 37 abarcan el análisis de los conversores digitales/análogos (D/A) y analógico-digitales (A/D). Se describe la forma cómo los sistemas lógicos procesan digitalmente señales análogas de voltaje y cómo convierten datos digitales en voltajes análogos equivalentes.

La lección 38 está dedicada al estudio de ciertos circuitos integrados digitales que realizan funciones específicas en aparatos electrónicos de consumo como relojes digitales, instrumentos musicales, juegos, sistemas de seguridad, sintetizadores de voz y sonido y otros.

La lección 39 está dedicada al tema de la instrumentación digital y su impacto. Se describe una gran variedad de instrumentos de prueba y medida ampliamente utilizados en los talleres y laboratorios de electrónica modernos.Se estudian, entre otros, el multímetro digital o DMM, el frecuencímetro, el osciloscopio de almacenamiento (DSO) y el analizador lógico. La lección 40 es una introducción al tema de la reparación de circuitos digitales. Se describen técnicas y métodos prácticos de detección de fallas y se explica la forma de utilizar los instrumentos digitales especializados para propósitos de mantenimiento y servicio de equipos digitales.

En las lecciones 41a 56 se trata el tema de los microprocesadores. Como sabemos, el gran avance de la tecnología electrónica moderna tiene en los microprocesadores uno de sus principales desarrollos.

La lección 41 nos trae una introducción a los computadores con el fin de orientar al lector o estudiante en este interesante tema. La lección 42 nos presenta al microcomputador desde el punto de vista de sus bloques principales como partida para las lecciones siguientes.

En la lección 43 se estudia el concepto de *bus* que nos permite entender cómo se intercambia información entre los diferentes bloques de un microcomputador. En las lecciones 44 a 47 se estudia qué es un microprocesador en forma general, su estructura interna, qúe es un programa y se conoce específicamente el microprocesador 8085, tema central de esta parte del curso.

En las lecciones 48 a 52 se trata el tema de la programación o instrucciones que se deben dar al microprocesador para que realice las operaciones que deseamos. También se conoce qué son los puertos de entrada y salida por donde se comunican datos o información a un sistema con microprocesador y cuál es la estructura mínima para formar un microcomputador. En las lecciones 53 a 56 se estudian los circuitos llamados *interfases* que comunican al sistema con el mundo externo.

Al final de la obra se suministra un cuestionario sobre electrónica digital y microprocesadores el cual le permitirá conocer su grado de aprendizaje y le servirá también como repaso y referencia. Si desea obtener un certificado de conocimientos, remita este cuestionario a CEKIT para su calificación. A vuelta de correo le estaremos enviando su cuestionario corregido y el certificado correspondiente.

CEKIT S.A.

Recomendaciones generales

- Las lecciones de este curso están estructuradas en orden progresivo de complejidad. Antes de continuar con una nueva lección, asegúrese de que ha comprendido y asimilado las lecciones precedentes. Sea constante y autoevalúese periódicamente. Le sugerimos integrar un grupo de estudio con personas que compartan su interés en la electrónica. Así el aprendizaje será más ameno y provechoso.

- Trate de no omitir ningún experimento y de realizar la mayor cantidad posible de proyectos para así fijar sus conocimientos de una manera práctica. Finalice completamente cada experimento antes de continuar con el siguiente. No se conforme con el sólo hecho de realizar un experimento o proyecto y verificar que funciona como aparece en el texto: investíguelo, encuéntrele otras aplicaciones y, si es el caso, mejórelo. Aprenda también de sus errores.

- Conserve todos los componentes que utilice en los experimentos, proyectos, circuitos de aplicación y actividades prácticas en un lugar seguro y debidamente protegidos. Tenga especial precacución con la manipulación de circuitos integrados CMOS y otros componentes delicados.

- Un consejo final: experimentar con electrónica es una labor muy divertida pero en algunos momentos puede convertirse en una experiencia frustante. Cuando en el transcurso del montaje de un experimento o proyecto o en la localización de una falla o en el estudio de una lección sienta que no entiende o las cosas no salen como usted lo desea, haga una pausa para relajarse. Realice otra actividad mientras tanto y luego regrese a su trabajo con la mente más descansada.

- En todos los experimentos que conlleven algún grado de riesgo para el usuario, los componentes o los aparatos utilizados se dan una serie de indicaciones de precaución y seguridad que deben tenerse en cuenta.

CEKIT S.A. no asume responsabilidad alguna por los daños causados a las personas o a los componentes resultantes de la omisión de estas recomendaciones o por el uso indebido de cualquier información suministrada en este curso.

CEKIT S.A

El mundo de la electrónica digital

- *La revolución en la electrónica*
- *Qué es la electrónica digital. Concepto de bit*
- *Circuitos análogos y circuitos digitales*
- *Circuitos combinatorios y circuitos secuenciales*

La revolución en la electrónica

La electrónica digital ha sido una de las revoluciones tecnológicas más importantes y decisivas de las últimas décadas. Su evolución vertiginosa ha cambiado el ritmo de nuestro tiempo y representa el liderazgo tecnológico de la vida moderna.

Los avances alcanzados en el campo de la electrónica digital han permitido el desarrollo y la fabricación masiva, a bajo costo, de calculadoras de bolsillo, relojes digitales, computadores personales, robots, y toda una generación de aparatos y sistemas inteligentes de uso doméstico, comercial, industrial, automotriz, científico, médico, etc. (figura 1).

Aparatos electrónicos digitales

Calculadoras

Computadores

Relojes

Robots

Comunicaciones

Instrumentos

Fig. 1

En gran parte, todo este desarrollo ha sido posible gracias al milagro de la *microelectrónica.* Esta tecnología le ha permitido al hombre fabricar, sobre diminutas pastillas de silicio llamadas *chips* o *circuitos integrados*, sistemas completos que contienen miles de componentes electrónicos (figura 2). Los circuitos integrados se estudian en la lección 1.

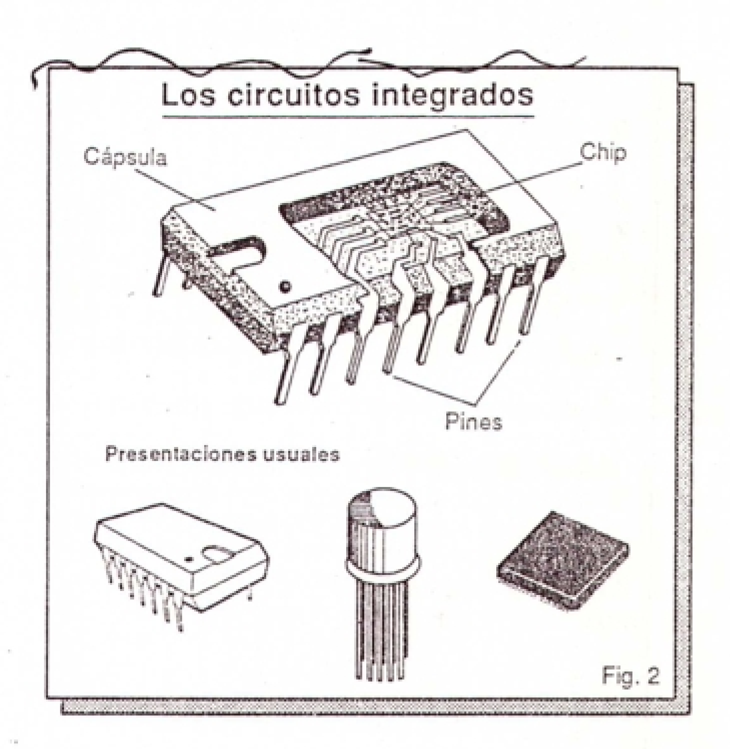


Fig. 2

En sus comienzos, la electrónica digital era una ciencia exclusiva para ingenieros y unos pocos especialistas que la hacían misteriosa e impenetrable. Por fortuna, las cosas cambiaron y la invención de los circuitos integrados digitales la hizo accesible a todo el mundo.

La electrónica digital tuvo un desarrollo incipiente durante la era de los tubos de vacío. Después, con la invención del transistor, se facilitó su progreso y avance.

Pero, definitivamente, el gran salto se logró cuando aparecieron los circuitos integrados y revolucionaron el panorama tecnológico existente, relegando los transistores a labores secundarias.

La introducción de los circuitos integrados hizo posible la miniaturización de los sistemas digitales, diversificó sus aplicaciones y masificó la producción de aparatos con tecnología digital.

Actualmente, la electrónica digital está en pleno desarrollo y los logros en este campo son cada vez más sorprendentes. Así mismo, la tendencia de los fabricantes es obtener circuitos integrados más complejos, más pequeños, con menos consumo de energía y a un menor costo para el usuario.

La electrónica digital es muy importante para todas las personas que están relacionadas de una u otra forma con el mundo de la electrónica, ya sea como hobby o como parte de su profesión o de su formación académica.

Incluso los técnicos de productos tradicionalmente "análogos" como televisores, equipos de sonido y de comunicaciones se encontrarán cada día con más circuitos digitales en su trabajo diario.

Conceptualmente, la electrónica digital es, en la teoría y en la práctica, más sencilla que la electrónica análoga, como veremos a continuación. Esto se debe a que los dispositivos digitales trabajan solamente en dos condiciones o estados, comportándose en forma similar a los suiches o interruptores.

Qué es la electrónica digital . Concepto de bit.

La electrónica digital puede definirse como la parte de la electrónica que estudia los dispositivos, circuitos y sistemas *digitales, binarios* o *lógicos*.

A diferencia de la electrónica lineal o análoga, que trabaja con señales que pueden adoptar una amplia gama de valores de voltaje, los voltajes en electrónica digital están restringidos a adoptar uno de dos valores llamados niveles lógicos **alto** y **bajo** o estados **1** y **0**.

Generalmente, un nivel lógico alto ó **1**, corresponde a la presencia de voltaje y un nivel lógico bajo ó **0** corresponde a la ausencia del mismo.

Para comprender mejor el concepto de sistema digital tomemos como ejemplo un circuito eléctrico simple formado por una batería, una lámpara y un interruptor (figura 3).

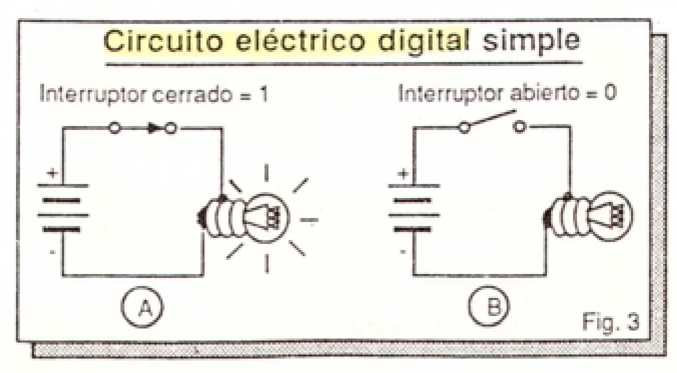


Fig. 3

En este caso, el nivel alto ó **1** lógico representa la situación cuando se cierra el interruptor y se enciende la lámpara. (figura 3A). El nivel bajo ó **0** se presenta cuando el interruptor está abierto y la lámpara está apagada. (figura 3B).

En la realidad, los circuitos digitales no son más que una combinación de muchos interruptores, extremadamente rápidos, que se cierran o abren en un momento dado, formando determinados patrones de unos (1's) y ceros (0's) que se utilizan para muchos propósitos dentro de los aparatos electrónicos.

En los circuitos digitales prácticos, los estados lógicos **1** y **0** corresponden a dos niveles o rangos de voltaje claramente definidos. La salida de un circuito digital asume únicamente uno de estos dos valores en respuesta a una o más entradas que pueden estar indistintamente en alto o en bajo.

El tema de los niveles lógicos de voltaje, tal como se interpreta en los circuitos digitales, se analiza en detalle en la lección 1.

En terminología digital, los niveles o estados lógicos **1** y **0** se denominan **bits**. La palabra bit es una contracción de **b**inary dig**it** (dígito binario). Todos los sistemas digitales electrónicos manejan información en forma de bits, es decir, de **1**'s y **0**'s.

Un bit **1** ó **0** puede representar la condición prendida o apagada de una lámpara, el estado cerrado o abierto de un interruptor, la presencia o ausencia de un agujero en una tarjeta perforada, una marca o un espacio en una comunicación telegráfica, el valor (1 ó 0) de un número binario, etc. (figura 4).

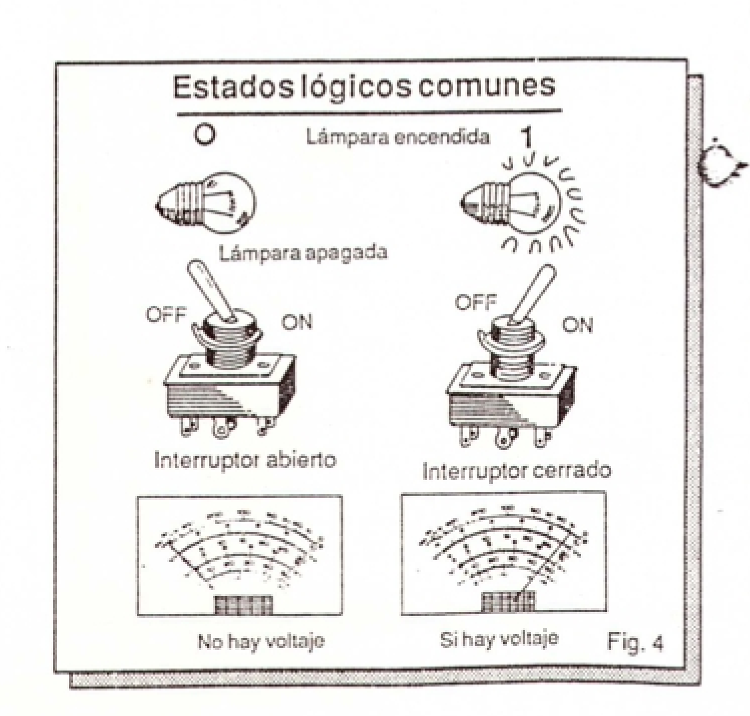


Fig. 4

Circuitos análogos y circuitos digitales

Los circuitos electrónicos en general se dividen en dos grandes categorías: circuitos análogos y circuitos digitales. Esta división se establece de acuerdo con la forma como controlan las señales que circulan por ellos.

Los circuitos *análogos* trabajan con una amplia variedad de señales que varían en forma continua dentro de valores (figura 5A). Los circuitos análogos se denominan también circuitos *líneales*.

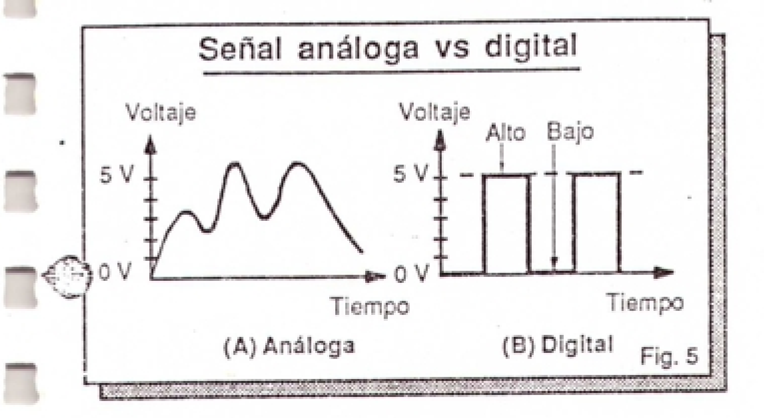


Fig. 5

Los circuitos *digitales* o lógicos trabajan con señales que pueden adoptar únicamente uno de dos valores posibles (figura 5B). En un instante dado, las entradas y salidas de un circuito digital están en alto o en bajo, pero no en un valor intermedio.

Utilizando otra vez el circuito de la figura 3 como ejemplo para aclarar estas ideas, podemos afirmar que se trata de un sistema digital porque el interruptor sólo puede estar abierto o cerrado y la lámpara sólo puede estar prendida o apagada.

Si en cambio remplazamos el interruptor por un regulador de luminosidad como se muestra en la figura 6, este circuito deja de ser digital y se trasforma en un circuito lineal o análogo.

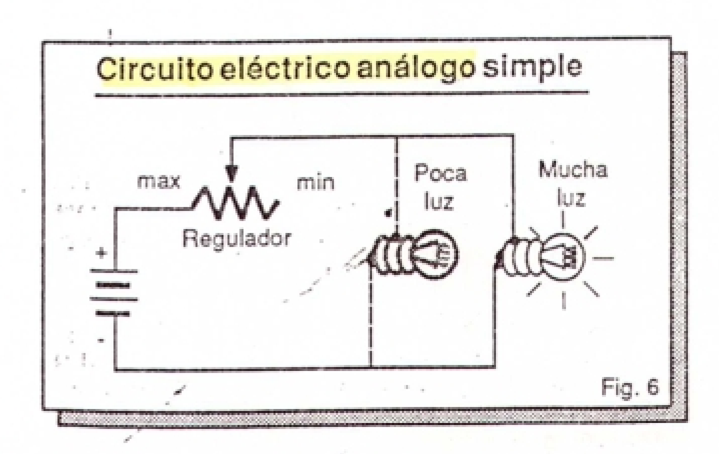


Fig. 6

Esto se debe a que al girar la perilla lentamente podemos obtener una *variación continua* en la iluminación, llevándola desde un valor mínimo hasta un valor máximo. Ejemplos de aparatos electrónicos análogos son los radios, los televisores, los equipos de sonido y de comunicaciones.

Debido a su característica de adoptar solamente uno de dos posibles valores, los circuitos digitales se utilizan con éxito en aplicaciones donde se requiere precisión y confiabilidad.

Entre los principales aparatos digitales tenemos relojes, calculadoras, computadoras e instrumentos de medida. Estos sistemas entregan procesos y/o reciben señales exactas, ya que una señal digital está o no está y no admite posiciones intermedias.

En general, los circuitos digitales se caracterizan por manejar información en forma de *bits*. Como sabemos, un bit o dígito binario representa el estado o condición (1 ó 0, alto o bajo) de una señal digital.

El bit es la unidad básica de información de cualquier sistema digital, desde la más simple compuerta hasta el más sofisticado microcomputador.

Un circuito digital puede tener una o más entradas y una o más salidas (figura 7). El nivel o estado lógico de cada salida depende del estado de cada una de las entradas y de la función específica para la que ha sido diseñado el circuito.

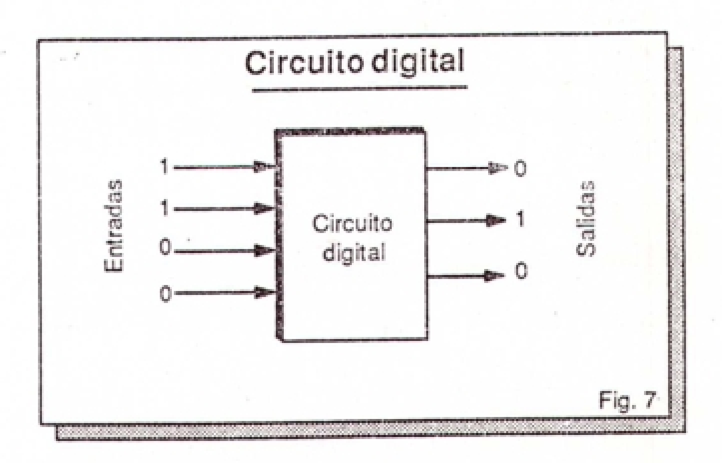
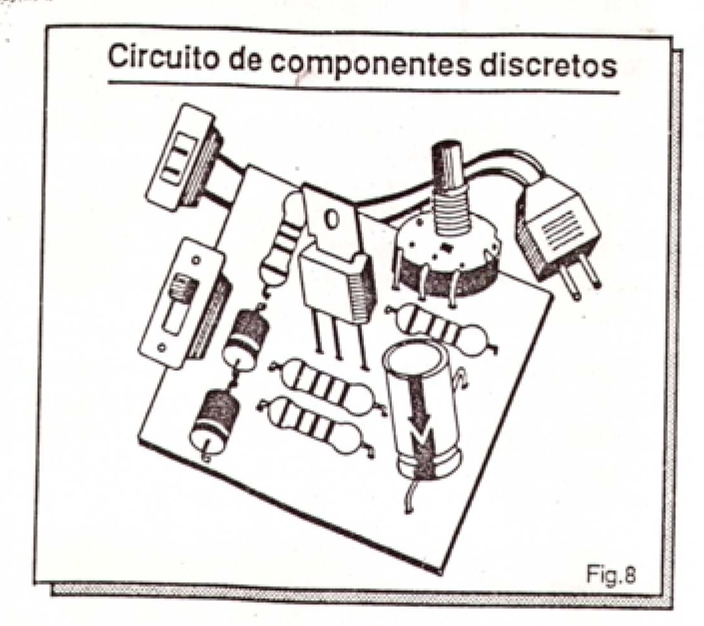


Fig. 7

Tanto los circuitos análogos como los digitales se pueden implementar en la práctica mediante componentes discretos o en forma integrada.

Los circuitos de componentes discretos son los constituídos de transistores, resistencias, diodos, condensadores y otros dispositivos individuales interconectados sobre una tarjeta de circuito impreso (figura 8). En un circuito integrado, todos los componentes se fabrican conjuntamente sobre una pastilla de silicio o chip.



Circuito de componentes discretos

Fig.8

Independientemente de su construcción, discreta o integrada, la diferencia fundamental entre un circuito análogo y uno digital radica en la forma como cada uno utiliza o procesa la corriente eléctrica.

Mientras los circuitos análogos básicamente amplifican la corriente, los circuitos digitales simplemente la conmutan entre un valor y otro. Esto les permite realizar funciones increiblemente complejas, con toda confiabilidad, muy rápidamente y sin costos altos.

Muchos sistemas actuales son híbridos, esto es, manejan simultáneamente señales análogas y señales digitales y deben procesarlas tanto análoga como digitalmente para obtener información de entrada y salida.

Los sistemas híbridos más conocidos son los que se utilizan para el control de procesos industriales, en los cuales se miden y controlan cantidades análogas como la temperatura, la velocidad, el tiempo, etc.

Una vez obtenida esta información, que es análoga, se convierte en una información digital para facilitar su proceso mediante circuitos digitales como contadores, comparadores, microprocesadores, etc.

Otros sistemas electrónicos muy populares actualmente que trabajan con señales digitales y análogas al mismo tiempo son los equipos de reproducción de discos por láser o *"Compact Disc"* que se describen en la página de tecnología al final de esta lección 1.

También en las videograbadoras y televisores modernos se han incorporado técnicas y circuitos digitales que permiten procesar imágenes y crear efectos visuales y de video muy interesantes.

ACTIVIDADES PRACTICAS

En esta sección, entregaremos las instrucciones para construir un comprobador lógico de circuitos digitales compuesto por seis módulos.

Cada módulo está formado por un circuito impreso y varios componentes como resistencias, condensadores, diodos led, interruptores, potenciómetros, bases para circuitos integrados, y circuitos integrados, entre otros. Su diseño está realizado de tal forma que se puedan conectar directamente al protoboard por medio de terminales sin alambres externos.

Una vez construido cada módulo, se utilizará ampliamente para realizar los experimentos correspondientes a las lecciones teóricas. Al terminar el curso, estos módulos se pueden emplear como instrumentos o herramientas de trabajo.

Además de construir estos módulos, usted aprenderá en estas actividades a soldar, a elaborar circuitos impresos, a conocer componentes electrónicos especiales y otros temas prácticos muy útiles para todas las personas que tienen la electrónica como estudio, profesión o hobby.

Los módulos del comprobador lógico son:

Módulo 1. 4 monitores lógicos. Permite visualizar simultáneamente la presencia de **1**'s y **0**'s en cuatro puntos de un circuito digital. Cada monitor se puede utilizar en forma independiente.

Módulo 2. 4 interruptores lógicos. Permite suministrar una combinación hasta de cuatro **1**'s y **0**'s a las entradas de un circuito digital. Cada interruptor se puede utilizar en forma independiente.

Módulo 3. 1 pulsador lógico. Permite suministrar *manualmente* un pulso libre de ruido a un circuito digital.

Módulo 4. 1 temporizador programable. Permite suministrar *automáticamente* un pulso de duración definida a cualquier circuito digital. Un pulso es una señal que permanece **1** ó en **0** durante un tiempo.

Módulo 5. 1 generador de pulsos digital. Permite suministrar *automáticamente* trenes de pulsos de varias frecuencias a cualquier circuito digital. Un *tren de pulsos* es una secuencia alternada de 1's y 0's.

Módulo 6. 1 decodificador de display con memoria. Permite visualizar y almacenar números del 0 al 9 cuando recibe en sus entradas el *código* de **1**'s y **0**'s correspondiente al número deseado.

Circuitos Integrados Digitales

- *Qué son los circuitos integrados*
- *Tecnologías de fabricación*
- *Breve historia*
- *Escalas de integración*
- *Cómo se fabrican los circuitos integrados*
- *Qué hay dentro de un circuito integrado*
- *Tendencias*

Qué son los circuitos integrados

La principal razón para que los sistemas digitales hayan adquirido tanta popularidad y sean cada vez más sofisticados, compactos y económicos ha sido el alto grado de perfeccionamiento logrado en el desarrollo en masa de circuitos integrados.

Prácticamente, todos los equipos digitales modernos se fabrican usando circuitos integrados.

Un circuito integrado o CI es aquel en el cual todos los componentes, incluyendo transistores, diodos, resistencias, condensadores y alambres de conexión, se fabrican e interconectan completamente sobre un *chip* o pastilla semiconductora de silicio.

Una vez procesado, el chip se encierra en una cápsula plástica o de cerámica que contiene los pines de conexión a los circuitos externos.

Las cápsulas plásticas son más livianas pero las cerámicas son más resistentes y pueden trabajar a más altas temperaturas.

Una pastilla típica (figura 9) tiene aproximadamente de 2.5 a 6.5 mm de lado y 0.5 mm de espesor. Los chips digitales más pequeños contienen varios componentes sencillos como compuertas, inversores y flip-flops. Los más grandes contienen circuitos y sistemas completos como contadores, memorias, microprocesadores, etc.

Pastilla de silicio

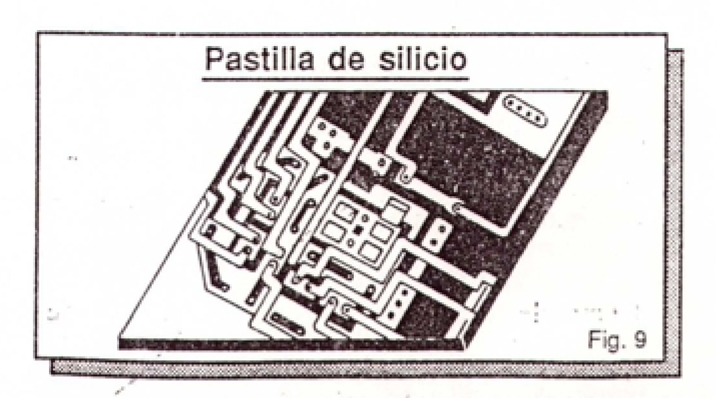


Fig. 9

La mayoría de los circuitos integrados digitales vienen en presentación tipo DIP (Dual In-line Package) o de doble hilera. El pin Nº 1 se identifica mediante una ranura o un punto grabado en la parte superior de la cápsula. La enumeración de los pines se realiza en sentido contrario al de las manecillas del reloj. (figura 10).

Circuito integrado tipo DIP

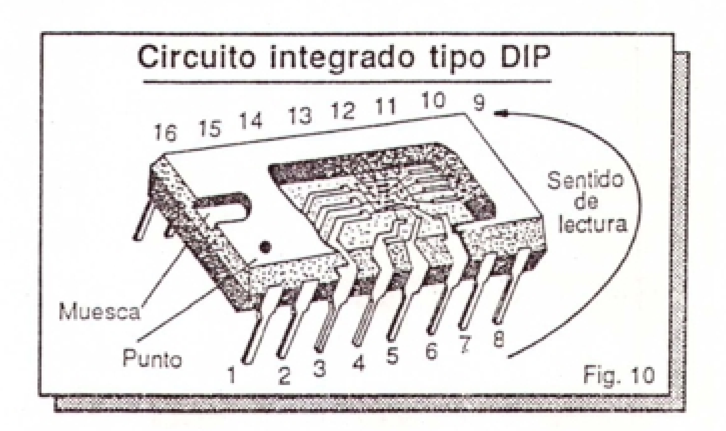


Fig. 10

Las configuraciones mas comunes de los CI digitales tipo DIP son las de 8, 14, 16, 24, 40 y 64 pines.(figura 11). Estas dos últimas contienen generalmente microprocesadores y otras funciones digitales relativamente complejas.

Tipos de empaque DIP

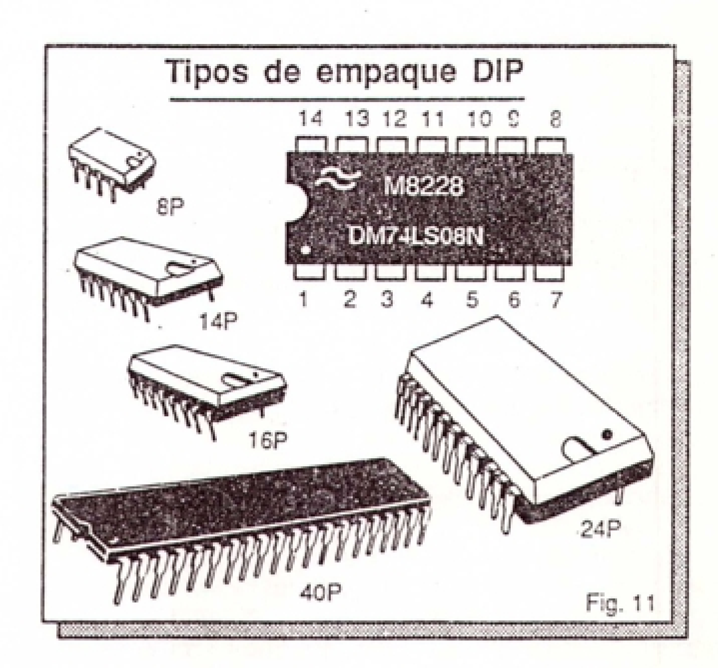


Fig. 11

La cápsula trae impresa la información respecto al fabricante, la referencia del dispositivo y la fecha

de fabricación. Cada fabricante de circuitos integrados (National, Texas, Fairchild, Motorola, etc.) se identifica mediante un logotipo distintivo (figura 12). La referencia (SN74LS73, CD4048B, etc.) designa específicamente al dispositivo.

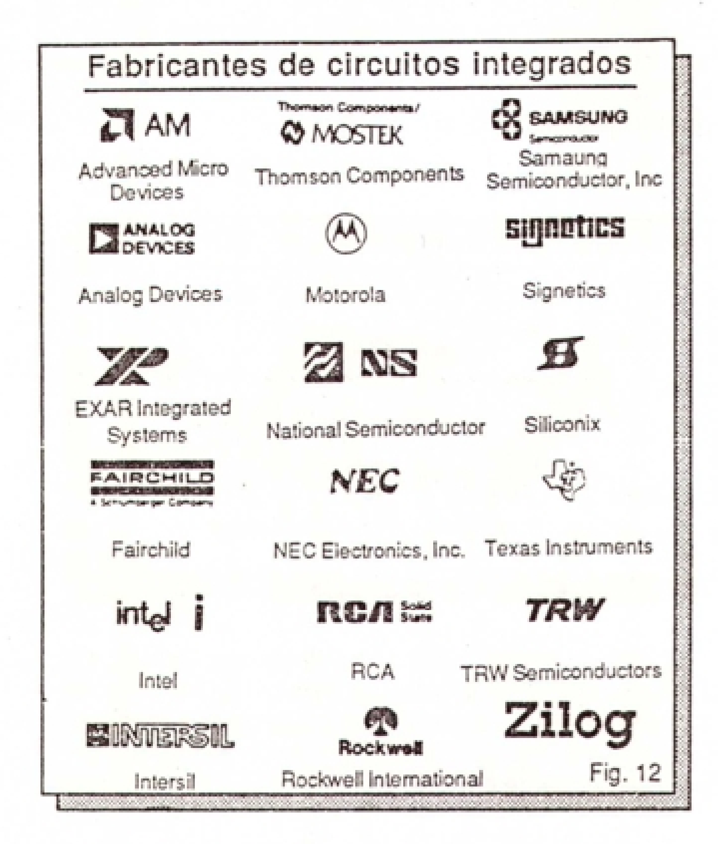


Fig. 12

El código de la fecha informa cuando fue manufacturado el chip. Las dos primeras cifras indican el año y las dos últimas se refieren al mes o semana de fabricación. Por ejemplo, "8307" significa la séptima semana de 1983.

En la presentación tipo DIP, los pines de acceso están espaciados entre sí 2.5 mm. Para efectos de montaje experimental los CI pueden insertarse en un protoboard o tablero sin soldaduras.

Para los montajes definitivos en circuito impreso pueden estar soldados directamente al cobre o montados sobre una base o "socket". La utilización de bases simplifica la instalación durante el ensamble y el remplazo en caso de daño.

Además del tipo DIP, existen otras presentaciones comunes de los circuitos integrados digitales como la cápsula metálica (TO-5), la plana y la "chip carrier" (figura 13). La TO-5, aunque es muy resistente, está siendo remplazada en muchos casos por empaques plásticos, que son más livianos.

Actualmente se dispone de una gran variedad de circuitos integrados digitales que utilizan cápsulas SMT o de *montaje superficial* (figura 14). Los chips SMT son casi 4 veces más pequeños que los DIP equivalentes y no requieren de perforaciones para su instalación: se sueldan directamente a los trazos de circuito impreso.

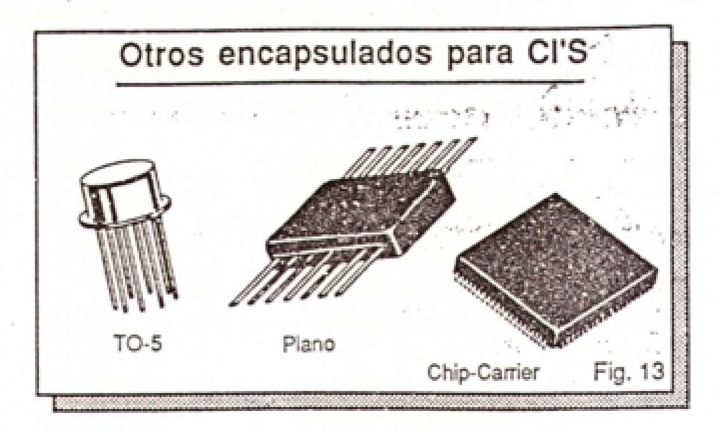


Fig. 13

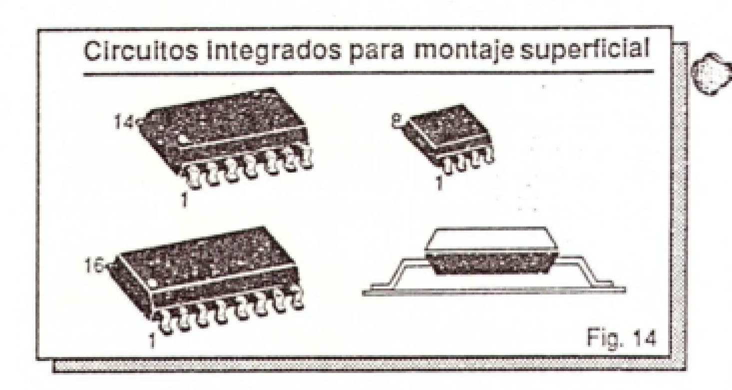


Fig. 14

La miniaturización introducida por la tecnología de montaje superficial o SMT (Surface-Mount Technology) es la que ha permitido, por ejemplo, obtener calculadoras del tamaño de una tarjeta de crédito.

Este tipo de encapsulado es cada vez más popular y en el futuro será uno de los más utilizado por la sencillez de su manufactura y otras ventajas, especialmente económicas.

Tecnologías de fabricación

Los circuitos integrados digitales se pueden clasificar en dos grandes grupos de acuerdo al tipo de transistores utilizados para implementar sus funciones internas de conmutación: bipolares y MOS.

Los circuitos integrados bipolares se fabrican con transistores bipolares tipo NPN y PNP y los de tipo MOS utilizan MOSFETs (transistores de efecto de campo de compuerta aislada).

Dentro de cada categoría, los fabricantes han desarrollado una amplia variedad de *familias lógicas* de circuitos integrados tanto MOS como bipolares.

Una familia lógica es un grupo de chips o módulos funcionales, fabricados de acuerdo a la misma tecnología y eléctricamente compatibles, es decir se pueden interconectar directamente entre sí para configurar cualquier tipo de sistema digital. .

Algunas veces es posible interconectar circuitos de dos familias diferentes adaptando los niveles de voltaje entre ellos mediante *interfaces* apropiadas.

Dependiendo de cómo se interconecten estos bloques lógicos, usted puede construir un computador, una calculadora, un sintetizador de música, un multímetro digital, un contador de eventos, un sistema de control industrial y miles más de posibilidades, limitadas únicamente por su imaginación.

Las familias bipolares más conocidas son la RTL (lógica de resistor a transistor), la DTL (lógica de diodo a transistor), la TTL (lógica de transistor a transistor), la ECL (lógica de emisor acoplado) y la I^2L (lógica de inyección integrada).

Las dos primeras familias son completamente obsoletas en la actualidad pero fueron muy populares en los inicios de la electrónica digital.

Dentro de las familias bipolares, los circuitos más utilizados son los TTL. La familia ECL se utiliza principalmente en aplicaciones de muy alta frecuencia y la I^2L en aplicaciones de control. Los dispositivos de esta última familia son generalmente *híbridos*, es decir realizan operaciones análogas y digitales en una misma pastilla.

Las familias MOS más conocidas son la CMOS (lógica de transistores MOSFET complementarios), la PMOS (lógica de transistores MOSFET canal P) y la NMOS (lógica de transistores MOSFET canal N). Los dispositivos de estas familias se caracterizan por su bajo consumo de potencia y su alta capacidad de integración.

Dentro de la familia MOS, los circuitos más utilizados son los CMOS. Las tecnologías PMOS y NMOS se utilizan principalmente en la fabricación de microprocesadores, memorias, calculadoras, etc.

Los circuitos integrados digitales TTL se caracterizan por su bajo costo, su alta velocidad, su moderada inmunidad al ruido y otros factores que expondremos más adelante.

La serie más popular de esta familia es la 74XX, constituida por los chips cuya referencia comienza por 74 como el 7400, 7404, 7447, 74LS04, 74L93, 74S181, 74ALS1035, etc.

Los circuitos integrados CMOS se caracterizan, entre otras cosas, por su amplio rango de voltajes de operación, su bajo consumo de corrriente y su alta inmunidad al ruido.

Una de las series más populares de esta familia es la 40XXB, constituida por los chips cuya referencia comienza por 40 ó 45 y termina en B como 4017B, 40163B, 4522B, 4543B, etc.

Las familias lógicas TTL y CMOS se analizan extensamente en la lección 2. La mayoría de experimentos, proyectos y aplicaciones de este curso emplean circuitos integrados TTL y CMOS. Por esta razón es importante que usted conozca sus características y restricciones y los aprenda a utilizar eficientemente.

El cuadro de la figura 15 resume las dos grandes familias (bipolar y MOS) de circuitos integrados digitales y sus correspondientes subdivisiones.

Breve historia

El primer circuito integrado digital conocido fue concebido por Jack Kilby de Texas Instruments en 1959, más de una década después de la invención

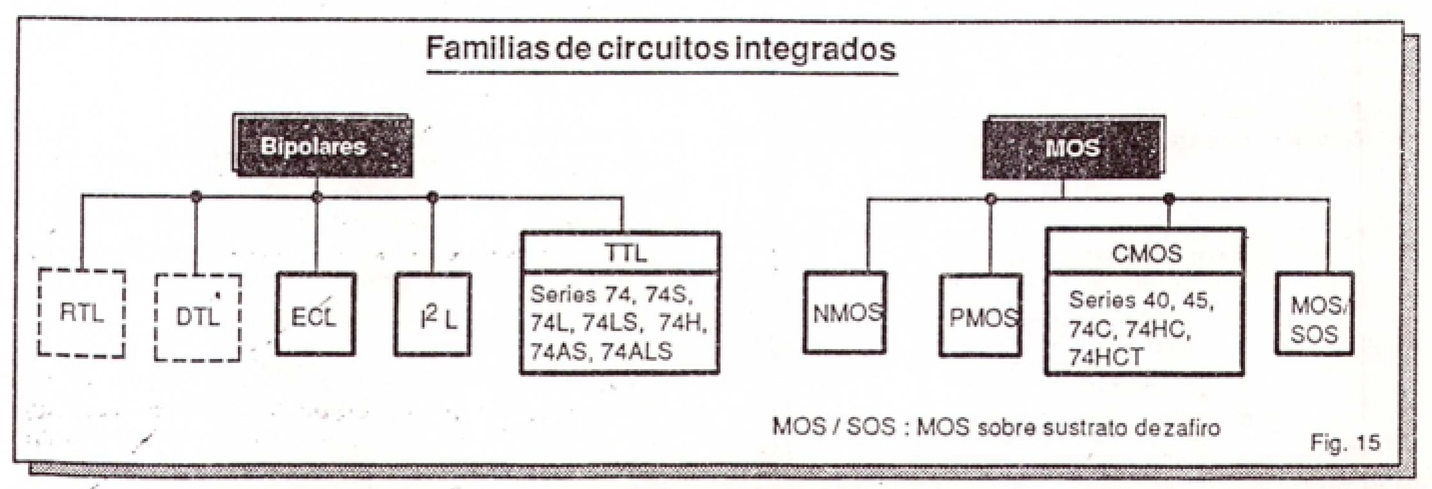


Fig. 15

del transistor en los Laboratorios Bell (1947). Se trataba de un flip-flop desarrollado enteramente sobre un sustrato de germanio.

El flip-flop de Kilby contenía apenas 4 transistores, una cifra insignificante comparada con los casi 1.000.000 (!Un millón¡) de transistores de un microprocesador moderno, como el 68030 de Motorola o el 80486 de Intel.

Veamos entonces, a grandes rasgos, cómo ha evolucionado la tecnología de los circuitos integrados desde sus comienzos hasta nuestros días.

La primera familia de circuitos integrados digitales comercialmente disponible fue la serie 900 de Fairchild Semiconductor, introducida en 1961. Los chips de esta familia, denominada RTL, operaban a 3.2 V y utilizaban internamente resistencias y transistores para realizar operaciones lógicas.

En la figura 16 se muestra el circuito interno de un dispositivo RTL típico. RTL es un acrónimo de Resistor-Transitor Logic (lógica de resistencia a transistor).

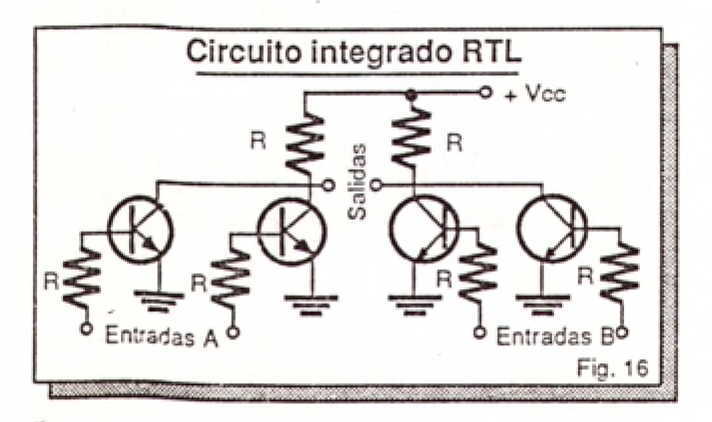


Fig. 16

La familia RTL dio paso a otra familia de circuitos integrados digitales construidos a base de diodos y transistores. A esta nueva familia se le denomino DTL, un acrónimo de Diode-Transistor Logic (lógica de diodo a transistor). En la figura 17 se muestra el circuito de un dispositivo DTL típico.

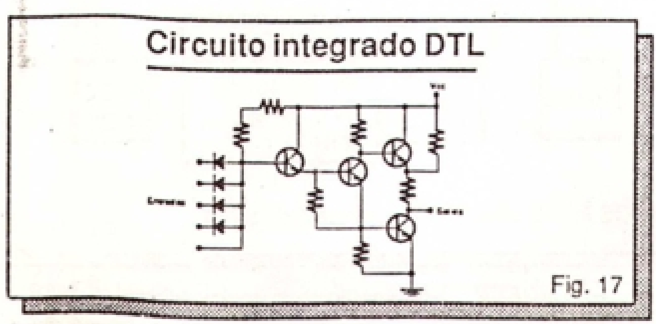


Fig. 17

La siguiente familia en aparecer (1962) fue la TTL, que utilizaba sólo transistores y era más rápida que sus predecesoras. TTL es un acrónimo de Transistor-Transistor Logic (lógica de transistor a transistor). Los primeros trabajos en TTL fueron realizados por James Buie de Pacific Semiconductors (ahora subsidiaria de TRW).

Con el tiempo se impuso en el mercado la serie TTL 74XX, lanzada originalmente por Texas Instruments, la cual sigue siendo una de las más utilizadas y económicas. En la figura 18 se muestra el circuito de un dispositivo TTL típico.

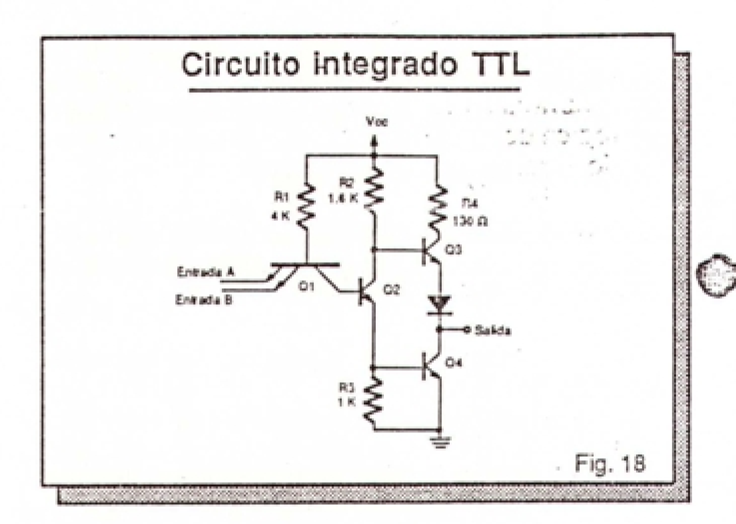


Fig. 18

Mientras se desarrollaba la tecnología bipolar o TTL, algunos fabricantes, especialmente RCA, concentraban sus esfuerzos en los transistores de efecto de campo (FETs) y sus aplicaciones. En 1957, John Wallmark de RCA patentó el FET.

En 1962, Steven Hofstein y Frederic Heiman, también de RCA, desarrollaron el transistor MOS o MOSFET (FET de compuerta aislada). A finales de este año, Hofstein y Heiman lograron fabricar el primer circuito integrado MOS, el cual contenía 16 transistores MOSFET distribuidos sobre una pastilla de silicio de 0.063 mm de lado.

Para 1963, RCA ya producía chips que contenían cientos de transistores MOSFET en una área muy reducida. El desarrollo del transistor MOS y su facilidad de integración permitió el surgimiento de familias como la MOS de canal P (PMOS), la MOS de canal N (NMOS) y la MOS complementaria (CMOS), todas de gran aceptación.

Dentro de las familias CMOS se impuso con el tiempo la serie 40XX, lanzada originalmente por la RCA, una de las más populares en la actualidad junto con la serie 74CXX de National. En la figura 19 se muestra el circuito interno de un dispositivo CMOS típico.

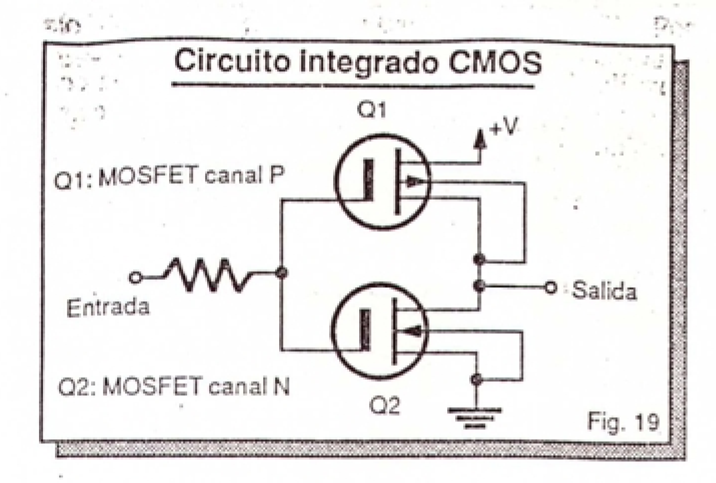


Fig. 19

A pesar de que los circuitos integrados MOS prometían ser más simples de procesar, consumían menos potencia y pemitían mayores niveles de integración que los bipolares, existían serios problemas en su fabricación, especialmente su extrema sensibilidad a la electricidad estática (ESD).

Además, los dispositivos MOS eran más lentos que los bipolares y requerían diferentes fuentes de alimentación. Debido a estos y otros inconvenientes, la tecnología MOS no tuvo mucha aceptación en sus comienzos.

Durante la mayor parte de los años 60's, sólo dos compañías, General Microelectronics y General Instruments producían chips MOS. Incluso RCA, pionero de la tecnología MOS, desplazó la mayor parte de su interés hacia la tecnología bipolar, que era económicamente más rentable.

Sin embargo, la tecnología MOS resurgió con fuerza en 1967 cuando Fairchild lanzó al mercado la primera memoria MOS (una ROM de 64 bits) y se consolidó definitivamente en junio de 1971 con la introducción, por parte de Intel Corporation, del primer microprocesador (el 4004, de 4 bits).

Posteriores avances en los procesos de fabricación de los circuitos integrados aceleraron el crecimiento de una industria ya en expansión. En 1972, Mostek Corporatión lanza la primera memoria de alta densidad (una RAM dinámica de 1024 bits) e Intel ofrece los primer microprocesadores de 8 bits (el 8008 y el 8080).

En los años siguientes, otras industrias como National Semiconductor, Rockwell, AMI, Signetics Western Digital, RCA, Motorola y Zilog producen sus propios microprocesadores (1802, TMS1000, 6800, Z80, 8048, 8086, Z8000, 68000, etc.).

Para mediados de la década de los 70's, existían cerca de 40 microprocesadores diferentes en el mercado. Actualmente, la cifra de microprocesadores disponibles es muy alta.

Escalas de integración

De acuerdo a su complejidad, los circuitos integrados digitales se clasifican en 4 categorías básicas llamadas SSI, MSI, LSI y VLSI. Esta clasificación se fundamenta en la cantidad de compuertas utilizadas para implementar la función propia del chip. Como sabemos, las compuertas son los bloques constructivos básicos de todos los circuitos digitales.

SSI significa Small Scale Integration (integración en pequeña escala) y comprende los chips que contienen menos de 13 compuertas. Ejemplos: compuertas y flip-flops. Los CI SSI se fabrican principalmente empleando tecnologías TTL, CMOS y ECL. Los primeros circuitos integrados eran SSI.

MSI significa Medium Scale Integration (integración en mediana escala) y comprende los chips que contienen de 13 a 100 compuertas. Ejemplos: codificadores, registros, contadores, multiplexores, decodificadores, demultiplexores. Los CI MSI se fabrican empleando tecnologías TTL, CMOS y ECL.

LSI significa Large Scale Integration (integración en alta escala) y comprende los chips que contienen de 100 a 1000 compuertas. Ejemplos: memorias, unidades aritméticas y lógicas (ALU's), microprocesadores de 8 y 16 bits. Los CI LSI se fabrican principalmente empleando tecnologias I^2L, NMOS y PMOS.

VLSI significa Very Large Scale Integration (integración en muy alta escala) y comprende los chips que contienen más de 1000 compuertas. Ejemplos: microprocesadores de 32 bits, microcontroladores, sistemas de adquisición de datos. Los CI VLSI se fabrican también empleando tecnologías I^2L, NMOS Y PMOS.

Cómo se fabrican los circuitos integrados

Prácticamente, todos los CI digitales disponibles en la actualidad se fabrican a partir de pastillas de silicio, aunque están apareciendo otras tecnologías como la basada en el arseniuro de galio (GaAs). El procesamiento del silicio para obtener CIs o chips es relativamente complicado pero intentaremos describirlo de una forma sencilla.

El silicio utilizado para la fabricación de chips es de una pureza del orden del !99.9999999%¡ y se produce químicamente a partir del bióxido de silicio (SiO_2), el principal constituyente de la arena. Una vez sintetizado, el silicio se funde en una atmósfera inerte y se cristaliza en forma de barras cilíndricas de hasta 10 cm de diámetro y 1 m de largo.

Cada barra se corta en pastillas de 0.25 a 0.50 mm de espesor y las superficies de estas últimas se

pulen hasta quedar brillantes (figura 20). Dependiendo de su tamaño, se obtienen varios cientos de circuitos idénticos (chips) sobre ambas superficies mediante un proceso llamado *planar*, el mismo utilizado para producir transistores en masa.

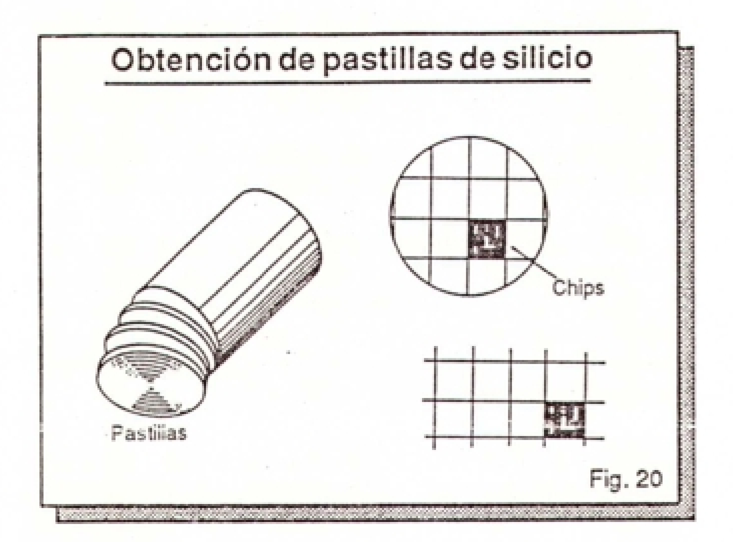


Fig. 20

Para fabricar un chip, las pastillas de silicio se procesan primero para hacer transistores. Una pastilla de silicio por sí misma es aislante y no conduce corriente. Los transistores se crean agregando impurezas como fósforo o arsénico a determinadas regiones de la pastilla. Las conexiones se realizan a través de líneas metálicas.

El proceso de agregado de impurezas se denomina *dopado*. Los transistores y las líneas metálicas de contacto se denominan *rasgos*. El dopado se realiza por *difusión* a altas temperaturas, exponiendo la pastilla al vapor de las impurezas para que sus átomos penetren selectivamente en el silicio.

Cada rasgo se forma sobre la pastilla rociando en las regiones seleccionadas un químico protector sensible a la luz llamado *photoresist*, el cual forma una película muy delgada sobre la superficie de la pastilla. La pastilla es entonces bombardeada con luz, mediante un proyector deslizante muy preciso llamado *alineador óptico*.

El alineador posee un dispositivo muy pequeño llamado *máscara*, que evita que la luz incida sobre puntos específicos de la pastilla. Cuando la luz alcanza un área determinada de la pastilla, elimina el photoresist presente en esa zona. A este proceso se le denomina *fotolitografía*.

Mediante un proceso de revelado, el químico (fósforo, arsénico o metal) se deposita en las regiones descubiertas por la luz e ignora las encubiertas por la máscara. Estas últimas zonas aún permanecen recubiertas de " photoresist ".

La precisión del alineador óptico determina qué tan fino puede hacerse un rasgo. A comienzos de los 70's, era difícil hacer transistores de menos de 10 micras de tamaño. Ahora, los transistores alcanzan tamaños inferiores a una micra. Esto permite una alta densidad y mejora la velocidad de respuesta de los dispositivos.

A continuación, la pastilla se calienta a altas temperaturas. Esto origina que el silicio no procesado de la superficie se convierta en óxido de silicio (SiO_2). El SiO_2 se esparce sobre la superficie de la pastilla y forma sobre la misma una delgada película aislante de unas pocas micras de espesor.

De este modo se obtiene el primer nivel de *metalización* del chip. Para obtener una nueva capa de metalización, el SiO_2 se trata nuevamente con "photoresist" y se expone al alineador óptico, repitiéndose el mismo procedimiento seguido con el silicio del primer nivel (figura 21).

Las diferentes capas van creciendo una sobre otra formando una estructura parecida a un sandwich, con el SiO_2 como el pan y el metal o el sili-

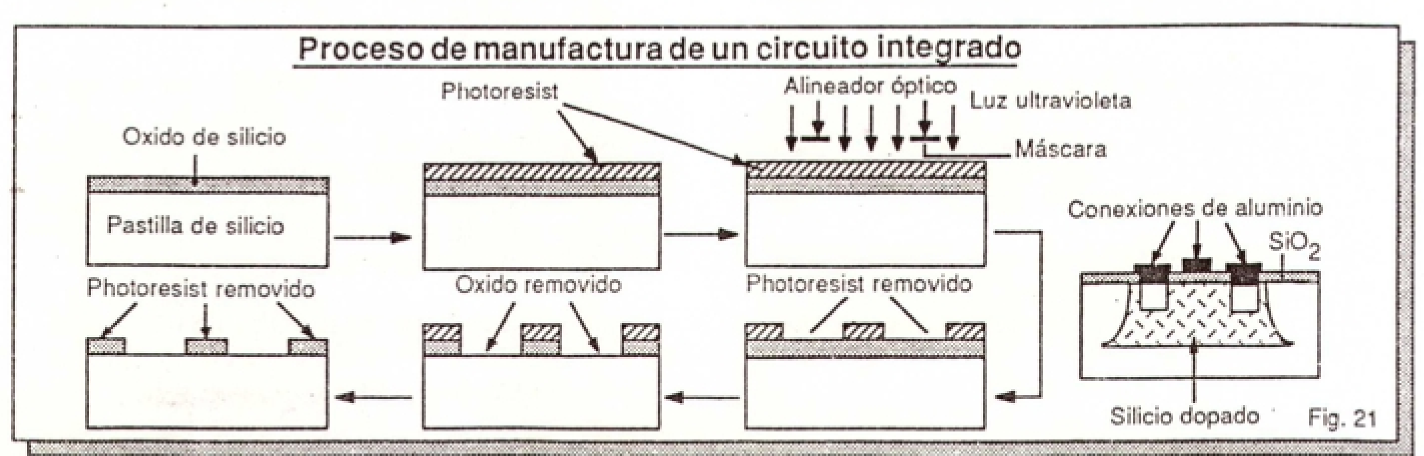


Fig. 21

cio dopado como la salchicha (figura 22). Por cuestiones prácticas, la mayoría de CI's no se hacen con más de tres capas de metalización.

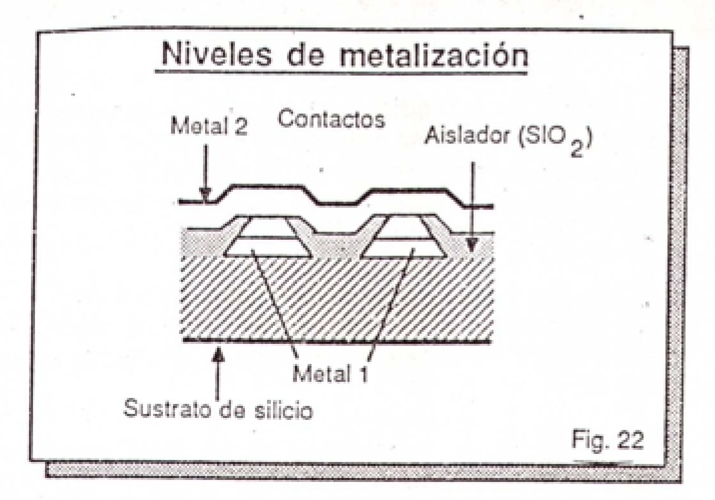


Fig. 22

Tendencias

Los circuitos integrados no remplazaron los circuitos de componentes discretos de la noche a la mañana. Los primeros *chips* eran frecuentemente más lentos y costosos y consumían más potencia que sus contrapartes discretas a transistores. Esto creó cierta resistencia a la nueva tecnología.

Los circuitos integrados de hoy resultan ser mucho más baratos y rápidos que hace dos décadas y se ha prestado particular atención al desarrollo de nuevos *chips* que consuman menos potencia que sus predecesores. Un ejemplo de esta búsqueda es el circuito integrado 7555, la versión CMOS del popular CI 555 (figura 23).

Los *chips* de baja potencia representan una de las más importantes tendencias en la tecnología de los circuitos integrados digitales modernos. En los años venideros, los chips CMOS seguramente dominarán el mercado, desplazando a los TTL.

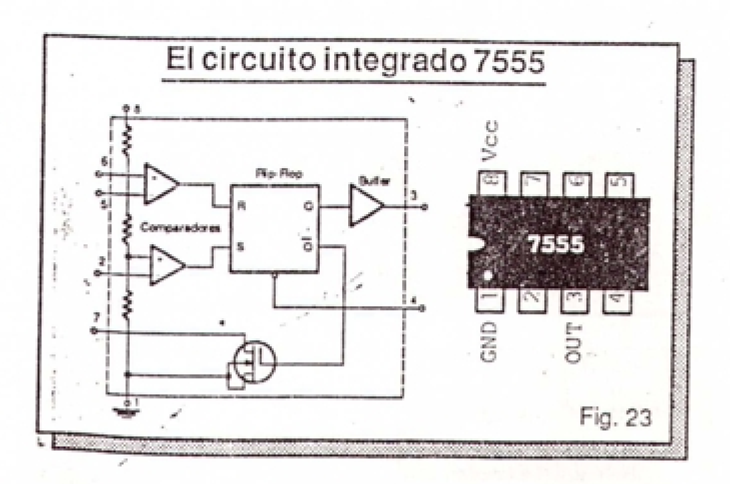


Fig. 23

Actividad práctica Nº 1

Construcción del módulo 1: 4 monitores lógicos. Primera parte

En la figura A1 se muestra el diagrama esquemático del módulo 1. Cada monitor consiste de una resistencia de 1 KΩ, un LED y una compuerta NAND conectada como inversor. Las 4 compuertas NAND provienen de un circuito integrado CMOS 4011B. Todos estos componentes se montan sobre una tarjeta de circuito impreso.

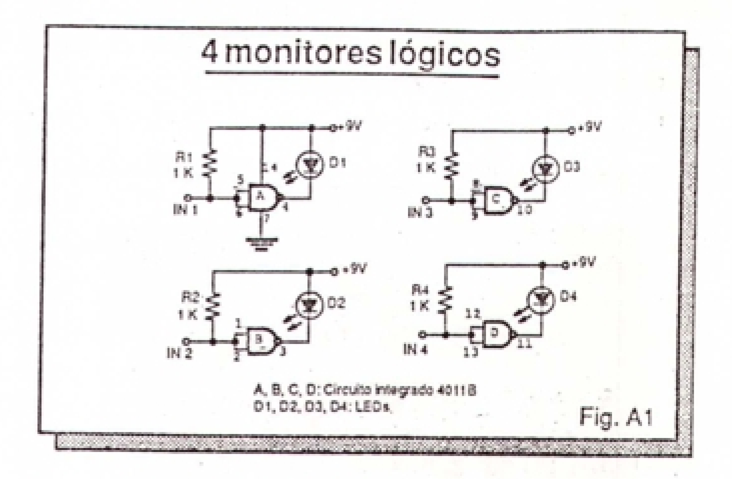


Fig. A1

La tensión de alimentación (+V) se obtiene del circuito bajo prueba. Cuando se aplica un bajo a la entrada de un monitor, el LED respectivo se apaga, y cuando se aplica un alto o la entrada está al aire, el LED permanece iluminado.

En la figura A2 se muestran el circuito impreso a tamaño natural y la guía de localización de componentes del módulo 1. En las siguientes actividades (página 26) suministraremos las instrucciones de ensamble, paso a paso, de este módulo.

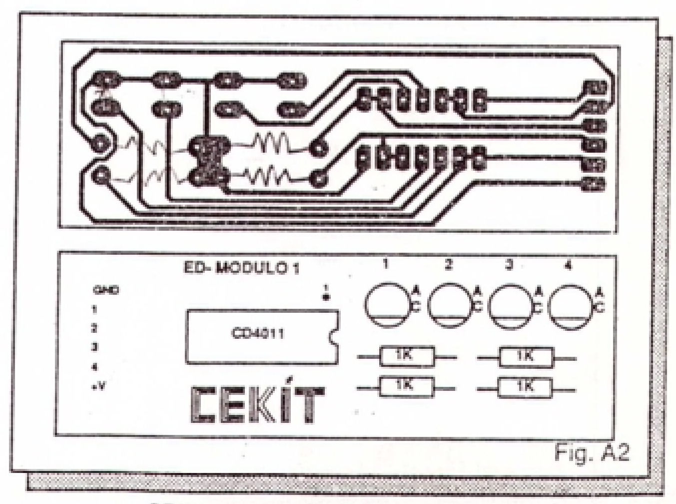


Fig. A2

El disco compacto o "compact disc" (CD)

Qué es un disco compacto

El disco compacto o CD (figura A) es el sistema de grabación de sonido más popular en la actualidad. La calidad del sonido suministrado por un disco compacto es superior a la de cualquier otro sistema conocido (discos plásticos o LDs, casetes, cintas de carrete abierto, etc).

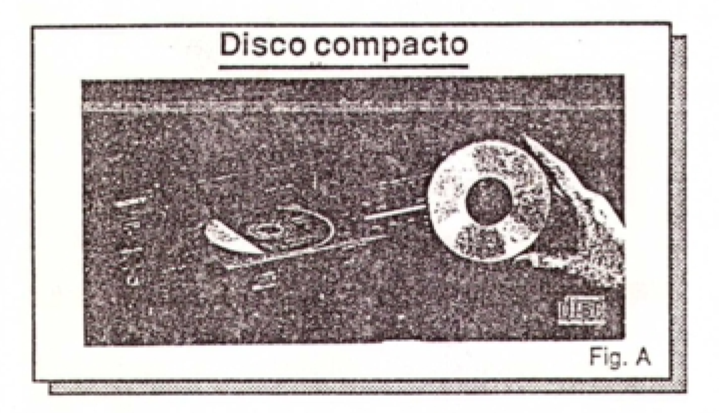


Fig. A

Los discos compactos se graban por una cara, proporcionan cerca de 74 minutos de audio y se leen ópticamente, sin ningún tipo de contacto mecánico, mediante un sistema de rayo láser. Esto proporciona una extrema precisión, una ausencia total de ruido y una larga vida útil. En la figura B se resume el proceso de lectura de un disco compacto.

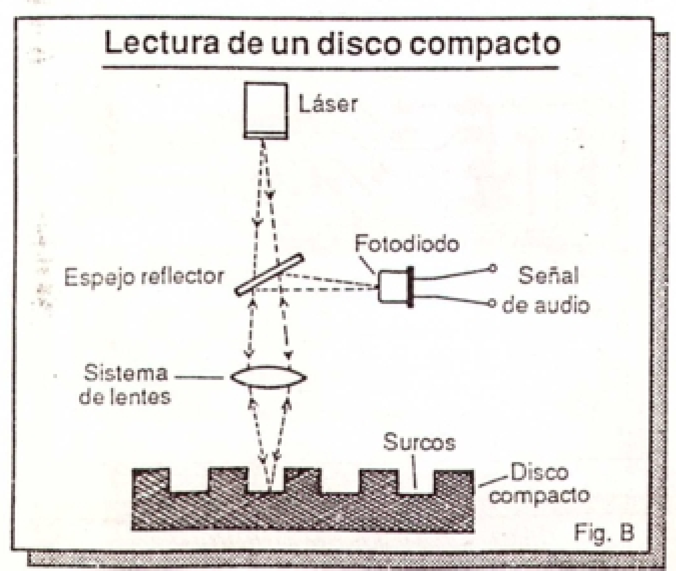


Fig. B

La información de música o sonido contenida en un disco compacto se graba digitalmente en forma de variaciones microscópicas de superficie, llamadas *pits* y *flats*, utilizando una técnica conocida como PCM o Modulación Codificada de Pulsos.

Una vez realizada la lectura, los pits o depresiones son interpretados por la circuitería digital de reproducción como 1's y los flats o elevaciones como 0's.

Los primeros reproductores de discos compactos fueron introducidos al mercado en 1983 por las compañías Phillips y Sony. En la figura C se muestra el aspecto de un reproductor de discos compactos portátil moderno. Su aspecto es muy parecido al de una grabadora convencional



Fig. C

En la figura D se muestra el flujo de señales en un reproductor de discos compactos típico. La mayor parte del proceso tiene lugar en la sección "filtro digital". Este bloque procesa la señal digital casi inmediatamente después de haber sido recibida del disco.

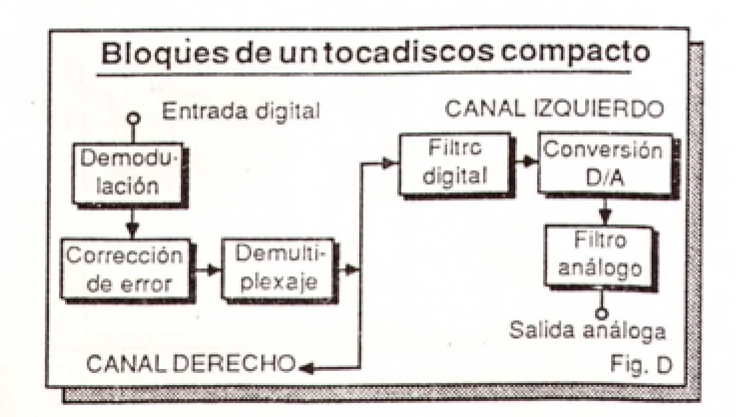


Fig. D

Familias lógicas de circuitos integrados

- *Qué es una familia lógica*
- *Características generales de las familias lógicas*
- *Niveles lógicos de voltaje*
- *Circuitos integrados TTL*
- *Familia TTL estándar*
- *Características de los circuitos integrados TTL*
- *Otros circuitos integrados TTL*
- *Circuitos integrados CMOS*
- *Familia CMOS estándar*
- *Características de los circuitos integrados CMOS*
- *Otros circuitos integrados CMOS*
- *Comparación de las familias lógicas*
- *El fenómeno de las descargas electrostáticas*
- *Actividad práctica Nº 2*

Qué es una familia lógica

Como se dijo anteriormente, una familia lógica es un grupo de dispositivos digitales que comparten una tecnología común de fabricación y tienen estandarizadas sus características de entrada y de salida; es decir, son compatibles entre sí.

Como consecuencia de la estandarización, la interconexión entre dispositivos lógicos de una misma familia es particularmente sencilla y directa: no requiere de etapas adicionales de acoplamiento.

En esta sección daremos un vistazo general a las familias lógicas más comunes. Enfocaremos específicamente nuestra atención en la descripción de las familias TTL y CMOS, por ser las más populares y utilizadas.

Características generales de las familias lógicas

Todas las familias o tecnologías de fabricación de circuitos integrados digitales se agrupan en dos categorías generales: bipolares y MOS (figura 15).

Las características más importantes de un circuito integrado digital son su velocidad, su consumo de potencia, su inmunidad al ruido y su confiabilidad. A continuación se definen estos términos, desde un punto de vista general.

La **velocidad** mide la rapidez de respuesta de las salidas de un circuito digital a cualquier cambio en sus entradas. La velocidad es una consideración importante en el diseño de sistemas que deben realizar cálculos numéricos o en circuitos que trabajan con señales de alta frecuencia.

El **consumo de potencia** mide la cantidad de corriente o de potencia que consume un circuito digital en operación. El consumo de potencia es una consideración importante en el diseño de sistemas operados por baterías.

La **inmunidad al ruido** mide la sensibilidad de un circuito digital al ruido electromagnético ambiental. La inmunidad al ruido es una consideración importante en el diseño de sistemas que deben trabajar en ambientes ruidosos como automóviles, máquinas, circuitos de control industrial, etc.

La **confiabilidad** mide el período útil de servicio de un circuito digital, es decir, cuánto tiempo se espera que trabaje sin fallar.

Niveles de voltaje y estados lógicos

En todos los circuitos digitales prácticos los estados lógicos 1 y 0 se implementan con niveles de voltaje. Estos niveles tienen rangos muy definidos, separados por una zona de valores inválidos como se muestra en la figura 24.

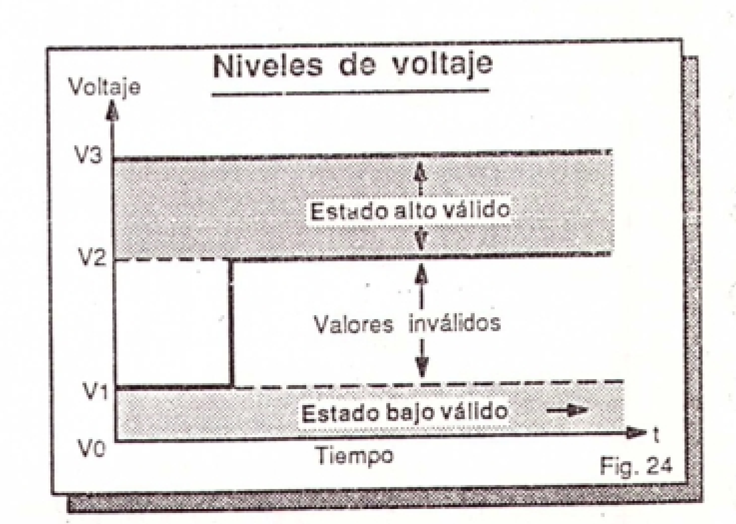


Fig. 24

En esta figura, el nivel **bajo** válido es el rango de voltajes entre V0 y V1, mientras que el nivel **alto** válido es el rango de voltajes entre V2 y V3.

Los voltajes superiores a V3 ó inferiores a V0 son generalmente dañinos para los dipositivos digitales y deben evitarse. Generalmente, V0 corresponde a un nivel de 0 voltios y V3 al valor del voltaje de alimentación (5V, 9V, etc.).

La zona de niveles inválidos entre V1 y V2 es crítica. En esta área, los circuitos digitales trabajan en forma errática porque no saben qué hacer. Un voltaje en ese rango puede ser interpretado como un 1 lógico o como un 0 lógico o no producir efecto alguno.

Los niveles de voltaje en los circuitos integrados digitales varían de acuerdo con la familia lógica (TTL o CMOS) a la que pertenece el dispositivo.

FAMILIA LOGICA TTL

La familia lógica TTL es quizás la más antigua y común de todas las familias lógicas de circuitos integrados digitales. La mayor parte de los *chips* SSI y MSI se fabrican utilizando tecnología TTL.

Los circuitos integrados TTL implementan su lógica interna, exclusivamente, a base de transistores NPN y PNP, diodos y resistencias.

La primera serie de dispositivos digitales TTL fue lanzada por la Texas Instruments en 1964. Los chips TTL se usan en toda clase de aplicaciones digitales, desde el más sencillo computador personal hasta el más sofisticado robot industrial. Los circuitos TTL son rápidos, versátiles y muy económicos.

La familia TTL está disponible en dos versiones: la serie 54 y la serie 74. La primera se destina a aplicaciones militares y la segunda a aplicaciones industriales y de propósito general. Los dispositivos de la serie 54 tienen rangos de operación de temperatura y voltaje más flexibles (desde -55 hasta 125°C contra 0 a 70°C de la serie 74).

La familia TTL o bipolar se divide en las siguientes categorías o subfamilias básicas:

TTL estándar.
TTL *Schottky* (S)
TTL de baja potencia (L)
TTL Schottky de baja potencia (LS)
TTL de alta velocidad (H)
TTL Schottky avanzada (AS)
TTL Schottky de baja potencia avanzada (ALS)

Otra familia bipolar muy popular es la ECL (lógica de emisor acoplado). Los dispositivos de esta familia se caracterizan por su rapidez, pero consumen mucha potencia, son costosos y su manufactura es relativamente compleja. Su uso se limita a aplicaciones de muy alta velocidad.

Familia TTL estándar

La familia TTL estándar comprende principalmente los dispositivos que se designan como 74xx (7400, 7447, etc). 74xxx (74123, 74193, etc.), 8xxx (8370, 8552, etc.) y 96xx (9601, 9615, etc). En este curso, trataremos con preferencia las series 74xx y 74xxx que son las más utilizadas en los circuitos modernos.

Existe una gran cantidad de funciones lógicas que se realizan con esta tecnología. Entre las principales tenemos: compuertas, decodificadores, contadores, *flip-flops*, sumadores, multiplexores y muchas otras que iremos estudiando a medida que avancemos en el curso.

Características de los circuitos integrados TTL

Las características más notables de los circuitos integrados de la familia TTL estándar son, a grandes rasgos, los siguientes:

Alta velocidad de operación. Pueden trabajar generalmente a frecuencias de 18 a 20 MHz y en algunos casos hasta 80 MHz. La velocidad de operación se expresa generalmente en términos del tiempo o retardo de propagación del chip.

El *tiempo o retardo de propagación* de un circuito digital es el tiempo que toma un cambio lógico en la entrada en propagarse a través del dispositivo y producir un cambio lógico en la salida.

Los tiempos de propagación en TTL son típicamente del orden de 2 a 30 nanosegundos por compuerta.

Alta disipación de potencia. Es una desventaja asociada con la alta velocidad de operación. En general, cuanto más rápido sea un circuito, más potencia consume y viceversa. La mayoría de los circuitos TTL disipan, típicamente, de 1 a 25 milivatios por compuerta.

Tensión de alimentación nominal de +5V. Los circuitos TTL, en general, pueden operar con tensiones de CC entre 4.75 y 5.25 V pero el valor nominal de la tensión de trabajo es +5 V.

Por esta razón, los aparatos que incluyen circuitos integrados TTL se deben alimentar con una fuente regulada de 5 voltios.

Niveles de voltaje de 0 a 0.8 V para el estado bajo y de 2.4 a 5.0 V para el estado alto. En general, los circuitos TTL interpretan cualquier voltaje entre 0 y 0.8V como un cero (0) lógico o **bajo** y cualquier voltaje entre 2.4 y 5V como un uno (1) lógico o **alto**.

El máximo voltaje positivo que puede aplicarse a una entrada TTL es +5.5V y el máximo negativo es -0.5V. Al excederse estos parámetros, los dispositivos TTL generalmente se destruyen.

Abanicos de entrada (fan-in) y de salida (fan-out)

La familia TTL utiliza dos parámetros para determinar cuántos dispositivos TTL se pueden conectar entre sí. Estos parámetros se denominan abanico de entrada (*fan in*) y abanico de salida (*fan out*).

El **fan-in** mide el efecto de carga que presenta una entrada a una salida. Cada entrada de un circuito TTL estándar se comporta como una *fuente de corriente* capaz de suministrar 1.8 mA. A este valor de corriente se le asigna un fan-in de **1**.

El **fan-out** mide la capacidad de una salida de manejar una o más entradas. Cada salida de un circuito TTL estándar se comporta como un *disipador de corriente* capaz de aceptar hasta 18 mA, es decir de manejar hasta 10 entradas TTL estándares. Por tanto, el fan-out de una salida TTL estándar es **10**.

Existen dispositivos TTL especiales llamados *buffers* (separadores) y *drivers* (manejadores) que tienen fan-outs de 30, 50 e incluso 100. Se utilizan en aplicaciones donde una determinada línea de salida debe manejar al mismo tiempo un gran número de líneas de entrada. Los buffers y drivers se estudian en detalle en las lecciones 6 y 8.

Otros circuitos integrados TTL

Existen varias series o subfamilias TTL, además de la serie TTL estándar 74. Cada una de estas subfamilias posee características propias que las hacen adecuadas para aplicaciones o necesidades muy específicas. Las más conocidas son:

• **TTL de baja potencia.** Comprende los dispositivos designados como 74Lxx y 74Lxxx; por ejemplo: 74L00, 74L04. Consumen 10 veces menos potencia que los dispositivos TTL estándares correspondientes pero son 4 veces más lentos.

• **TTL de alta velocidad.** Comprende los dispositivos designados como 74Hxx y 74Hxxx; por ejemplo: 74H05, 74H123. Consumen 2.5 veces más potencia que los dispositivos TTL estándares pero son 2 veces más rápidos.

• **TTL Schottky.** Comprende los dispositivos designados como 74Sxx y 74Sxxx; por ejemplo: 74S181,74S11. Consumen 1.8 veces más potencia que los dispositivos TTL estándares pero son 4 veces más rápidos.

• **TTL Schottky de baja potencia.** Comprende los dispositivos designados como 74LSxx y 74LSxxx (74LS83,74LS221, etc). Consumen 5 veces menos potencia que los dispositivos TTL estándares y son igual de rápidos. Esta es la subfamilia más utilizada entre todas las divisiones de la familia TTL.

• **TTL Schottky avanzada de baja potencia.** Comprende los dispositivos designados como 74ALSxx y 74ALSxxx; por ejemplo: 74ALS00, 74ALS73. Consumen la mitad de la potencia requerida por los dispositivos LS equivalentes y son el doble de rápidos.

• **TTL Schottky avanzada.** Comprende los dispositivos designados como 74ASxx y 74ASxxx; por ejemplo 74AS00, 74AS73. Proporciona los más cortos tiempos de propagación que el estado actual de la tecnología bipolar puede ofrecer y su consumo es intermedio entre TTL estándar y LS.

LA FAMILIA LOGICA CMOS

La familia lógica **CMOS** es, junto con la TTL, una de las familias lógicas más populares. Utiliza transistores MOSFET complementarios (canal N y canal P) como elementos básicos de conmutación.

CMOS es una abreviación de Complementary Metal Oxide Semiconductors (semiconductores complementarios de óxido metálico).

Los circuitos integrados digitales fabricados mediante tecnología CMOS se pueden agrupar en las siguientes categorías o subfamilias básicas:

CMOS estándar.
CMOS de alta velocidad (HC)
CMOS compatible con TTL (HCT)
CMOS equivalente a TTL (C)

Familia CMOS estándar

La familia CMOS estándar comprende principalmente los dispositivos que se designan como 40XX (4012, 4029, etc.) y 45XX (4528, 4553, etc.). Existen dos series generales de dispositivos CMOS designadas "A" y "B".

Los dispositivos de la serie "A" se designan con el sufijo A (por ejemplo, 4011A) o simplemente no lo traen (4011 = 4011A). Todos los dispositivos de la serie "B" llevan el sufijo B (por ejemplo 4029B).

La principal diferencia entre los dispositivos de las series A y B está en que los CMOS "B" contienen una circuitería interna de protección que reduce el riesgo de daño del dispositivo por el fenómeno de descarga electrostática.

De otro lado, los dispositivos CMOS "B" tienen frecuencias de operación más altas, tiempos de propagación más cortos y mayor capacidad de salida (fan-out) que los dispositivos de la serie "A". En este curso se trabaja con dispositivos de ambas series (40XX, 40XXB, 45XX y 45XXB) pero preferiblemente con los de la serie "B".

Características de los circuitos integrados CMOS

Las características más sobresalientes de las familias CMOS estándares 40 y 45 son, a grandes rasgos, las siguientes:

Baja disipación de potencia. Es la ventaja más sobresaliente. En estado de reposo, una compuerta CMOS típica consume alrededor de 10 nanovatios. Este bajo consumo de potencia simplifica el diseño y el costo de la fuente de alimentación.

Por esta razón, los circuitos integrados CMOS se utilizan extensamente en equipos operados por pilas o baterías.

Buena velocidad de operación. Los circuitos integrados CMOS son típicamente más lentos que los TTL pero suficientemente rápidos para la mayoría de las aplicaciones. Pueden operar a frecuencias hasta de 10 MHz y tienen tiempos de propagación del orden de 10 a 50 nanosegundos por compuerta.

Amplios márgenes de tensión de alimentación. Los dispositivos de la serie 40XXA pueden operar con tensiones entre +3 y +15 voltios y los de las serie 40XXB con tensiones entre +3 y +18 voltios. La tensión de alimentación se designa como V_{DD}. Algunos valores típicos para V_{DD} son +5V y +10V.

Este amplio rango de alimentación permite utilizar fuentes de voltajes no reguladas.

Cuando se emplean circuitos TTL y CMOS en el mismo sistema, se utiliza generalmente una tensión de alimentación de +5V.

Cuando hay circuitos TTL y CMOS trabajando a tensiones diferentes deben hacerse compatibles los niveles lógicos de ambas familias mediante circuitos apropiados de *interface*. El tema de las interfaces se trata en la lección 8.

Niveles de voltaje de 0 a 0.3 V_{DD}, para el estado bajo y de 0.7 V_{DD} a V_{DD} para el estado alto. Por ejemplo, si se utiliza una tensión de alimentación V_{DD} de 10V, los dispositivos CMOS interpretarán un voltaje entre 0 y 3 voltios como un estado lógico **bajo ó 0**, y un voltaje entre 7 y 10 voltios como un estado lógico **alto ó 1**.

Alta inmunidad al ruido. Los circuitos CMOS son esencialmente inmunes al ruido electromagnético (EMI) externo generado por aparatos eléctricos, líneas de trasmisión, descargas atmosféricas, etc.

Esta característica los hace excelentes en aplicaciones industriales y automotrices, donde son comunes los altos niveles de ruido.

Otros circuitos integrados CMOS

Además de las series CMOS estándares 40 y 45 existen varias subfamilias CMOS cada vez más importantes. Las más conocidas son:

• CMOS equivalente a TTL. Comprende los dispositivos designados como 74CXX y 74CXXX (74C14, 74C164, etc). Son pin por pin y función por función equivalentes a los dispositivos TTL correspondientes (especialmente los de la serie 74L).

Conservan todas las características comunes a los dispositivos CMOS estándares: baja disipación de potencia, buena velocidad de operación, amplios márgenes de voltaje, alta inmunidad al ruido, etc.

Se espera que la 74C sea la serie CMOS estándar del futuro. Es un 50% más rápida que las series 40 y 45, pero consume un 50% más de potencia.

• CMOS de alta velocidad. Comprende los dispositivos designados como 74HCxx y 74HCxxx (74HC85, 74HC373, etc). Tienen las mismas características de entrada y de alimentación de los dispositivos CMOS estándares y son pin por pin compatibles con los dispositivos TTL LS correspondientes (74LS85, 74LS373, etc.).

La serie 74HC ofrece velocidades de operación comparables a los de la serie 74LS (TTL Schottky de baja potencia) y superiores a las de las series 40, 45 y 74C.

En los demás aspectos, sus características son similares a las de estas últimas. Siguen siendo sensibles al daño por electricidad estática.

• CMOS de alta velocidad con entradas TTL. Comprende los dispositivos designados como 74HCTxx y 74HCTxxx (74HC74, 74HC190, etc). Poseen las mismas características de los dispositivos HC, excepto que sus entradas son compatibles con los niveles lógicos de TTL. Tienen la misma configuración de pines de los dispositivos TTL Schottky de baja potencia o LS.

Los dispositivos HCT constituyen la mejor alternativa de que se dispone actualmente para convertir, total o parcialmente, sistemas basados en lógica TTL a lógica CMOS.

COMPARACION DE LAS FAMILIAS LOGICAS

Una tecnología ideal debería producir dispositivos con una velocidad de operación muy alta y un consumo de potencia muy bajo. Como hemos visto, ninguna de las tecnologías antes analizadas satisface al mismo tiempo ambas condiciones porque las rápidas consumen más potencia y viceversa.

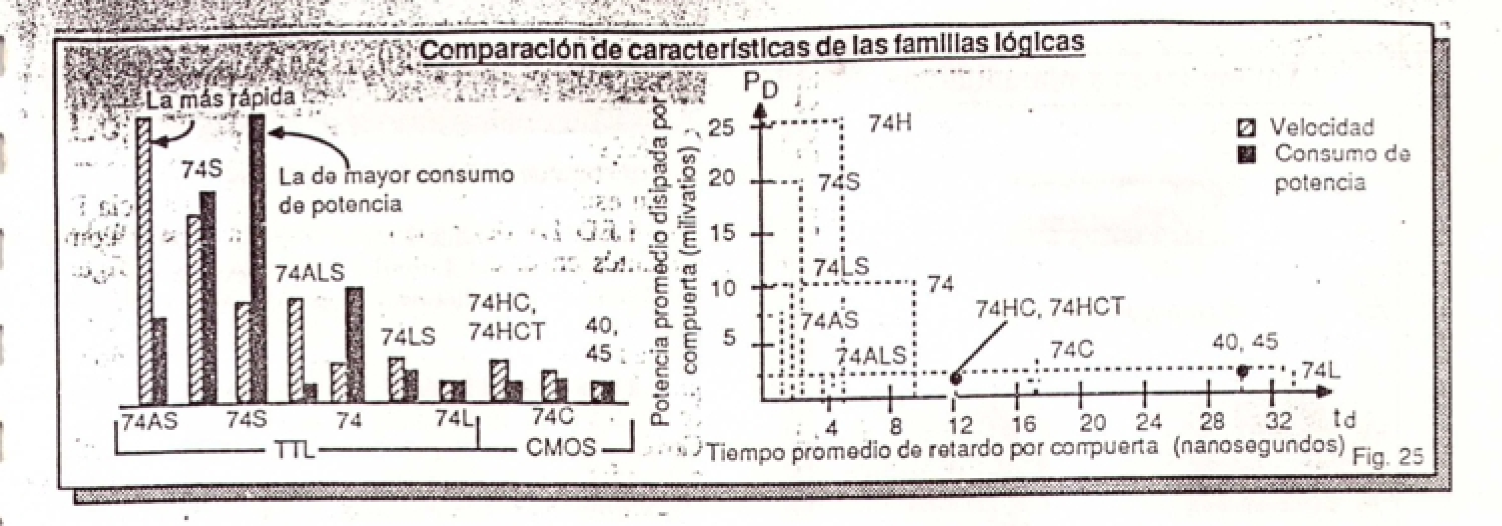


Fig. 25

En la figura 25 se comparan cualitativa y gráficamente las familias TTL 74, 74L, 74H, 74S, 74LS, 74ALS y 74AS y las familias CMOS 40, 45, 74C, 74HC y 74HCT, desde los puntos de vista de velocidad y consumo de potencia.

Como puede verse, los dispositivos fabricados con tecnología CMOS de alta velocidad (HC) son lo más próximo al ideal de familia lógica.

La tecnología HC proporciona el mejor compromiso entre velocidad de operación y consumo de potencia de todas las tecnologías de fabricación de circuitos integrados digitales.

Entre los dispositivos TTL, excluyendo los de las familias avanzadas, sobresalen por sus características de velocidad y consumo los fabricados con tecnología Schottky de baja potencia (LS).

En el momento actual, la 74LS es la serie más importante de la familia TTL y la más utilizada.

EL FENOMENO DE LAS DESCARGAS ELECTROSTATICAS EN CMOS

Todos los dispositivos CMOS son particularmente susceptibles al daño por descarga electrostática (ESD) entre cualquier par de pines.

La electrostática o electricidad estática consiste en la creación, consciente o inconsciente, de altos voltajes en la superficie de un material aislante por efecto de fricción o frotamiento.

Esta sensibilidad a la carga estática se debe a la extremadamente alta impedancia de entrada que caracteriza a los transistores MOS.

Esta alta impedancia permite que se desarrollen fácilmente voltajes prohibitivos, capaces de destruir la delgada capa de óxido aislante que separa la compuerta del canal en estos dispositivos.

La electricidad estática está siempre presente en cualquier ambiente de trabajo. Se genera cada vez que se frotan dos materiales diferentes.

Cuando usted camina a través de una alfombra en un día seco, usted genera un voltaje estático (créalo) de 35000 voltios (35 KV) y manipulando una bolsa plástica usted genera 20000 V (20 KV).

Un circuito integrado CMOS se destruye con voltajes estáticos entre 250 y 3000 V y cuando usted lo manipula inadecuadamente puede aplicarle hasta 6000 voltios de electricidad estática.

El efecto inmediato de una descarga electrostática de alto voltaje en un circuito integrado CMOS es la destrucción definitiva o el deterioro a corto o largo plazo de la capa de óxido aislante que separa la compuerta del canal en sus transistores MOSFET de entrada.

El daño por descarga electrostática de los dispositivos CMOS puede ser controlado o incluso eliminarse mediante el uso de una estrategia apropiada de prevención.

La idea básica detrás de la mayoría de técnicas es mantener todos los pines del dispositivo al mismo potencial, para evitar que se desarrollen voltajes estáticos excesivos entre ellos.

Otros métodos son puro sentido común: un dispositivo CMOS no debe manipularse más de lo necesario. Esto es aplicable también a dispositivos TTL Schottky y en general a cualquier circuito integrado.

Los dispositivos CMOS vienen generalmente empacados en contenedores que sirven para reducir el riesgo de daño por descarga electrostática y mantienen todos los pines al mismo potencial. Los contenedores más comunes (espumas y fundas antiestáticas) se ilustran en la figura 26.

Contenedores antiestáticos

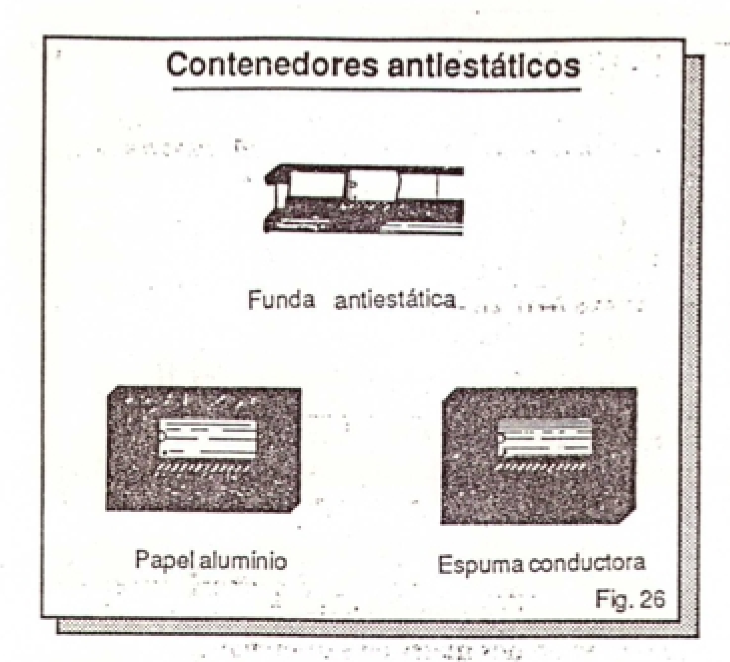


Fig. 26

Es prudente conservar los dispositivos CMOS en sus contenedores originales hasta que sea tiempo de utilizarlos en el circuito de aplicación.

Cuando se manipulan dispositivos CMOS puede ser necesario adoptar precauciones extras para prevenir descargas estáticas. Se recomienda, por ejemplo, que el usuario y la superficie de trabajo estén puestos a tierra; esta última a través de una alta resistencia (2 a 10 MΩ).

Otro método es incrementar la humedad relativa del sitio de trabajo. Las herramientas también deberán estar preferiblemente puestas a tierra.

Las tarjetas de circuito impreso y en general los productos terminados que contienen dispositivos CMOS deberán ser manipulados de la misma forma que los circuitos integrados individuales y almacenarse en espumas o bolsas antiestáticas.

En resumen, existen tres reglas básicas para utilizar circuitos integrados CMOS y prevenir su daño por electricidad estática:

1. Conserve el circuito integrado en su contenedor original hasta que sea insertado en el circuito de utilización.

2. Conecte todas las entradas no utilizadas a un nivel estable; esto es, enviélas al positivo o al negativo de la fuente, dependiendo del circuito. No las deje flotantes.

3. Revise cuidadosamente la polaridad de la fuente de alimentación. El positivo debe ir al terminal identificado como V_{DD} o V_{CC} y el negativo o tierra al terminal identificado como V_{SS} o GND en el manual del fabricante o en las especificaciones.

ACTIVIDAD PRACTICA Nº 2

Construcción del módulo 1. Parte 2

En esta actividad instalaremos la resistencia R1 y el LED D1 del módulo 1. Localice estos componentes en el diagrama esquemático de la figura A1.

La función del LED D1 es visualizar el estado lógico (1 ó 0) de la señal aplicada a la entrada IN1. La función de R1 es evitar que la entrada del inversor CMOS A quede al aire o flotante cuando no se aplica ninguna señal de entrada. Sin esta resistencia, el circuito integrado 4011B quedaría fácilmente expuesto a descargas electrostáticas.

Componentes y herramientas necesarios

1 diodo emisor de luz (LED). D1
1 resistencia de 1 KΩ. R1
1 circuito impreso CEKIT ED-1. PC1
1 cautín de baja potencia (15 a 35 W).
1 cortafríos o pinza de corte
1 pinza de puntas planas
Soldadura de estaño 60/40 (60% de estaño, 40% de plomo)

Procedimiento

Tome el LED D1 y la resistencia R1. Instale y suelde estos componentes en la tarjeta de circuito impreso ED-1, como se muestra en la figura A3.

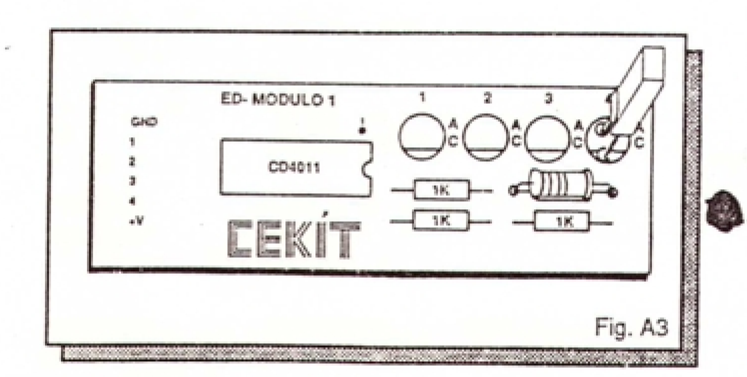


Fig. A3

Monte primero la resistencia R1 de 1KΩ. Este dispositivo se identifica por el código de colores "café, negro, rojo, dorado" sobre su cuerpo. Después de soldar corte el alambre excedente.

Instale a continuación el LED D1. Antes de soldar, asegúrese de que este dispositivo quede correctamente orientado. Identifique el cátodo por la marca en forma de bisel de la cápsula o por su longitud. El cátodo es el terminal más corto. Deje unos 5 mm de altura entre la superficie de la tarjeta y el LED.

Lógica digital

- *Introducción*
- *Qué es la lógica*
- *Lógica digital*
  - *Conceptos básicos en lógica digital*
  - *Lógica positiva y lógica negativa*
  - *Lógica de tres estados*

Introducción

Antes de iniciar el estudio de los circuitos electrónicos digitales vamos a tratar en esta lección el importante tema de la lógica y su aplicación en la electrónica, la lógica digital.

Los principios expuestos son básicos para comprender el funcionamiento de los circuitos digitales. Con base en ellos se implementan diferentes funciones que permiten la concepción y fabricación de sistemas tan sencillos como una compuerta y tan complejos como una calculadora y un computador.

Qué es la lógica

La lógica es la aplicación metódica de principios, reglas y criterios de razonamiento para la demostración y derivación de *proposiciones*. Una proposición es la expresión verbal de un juicio acerca de algo. Los primeros estudios de lógica se atribuyen a Aristóteles, filósofo giego del siglo IV A.C.

En lógica, existen dos clases de proposiciones: simples y compuestas. Las simples son aquellas que afirman o niegan algo; por ejemplo: "la electrónica es fácil", "la guerra no sirve", etc.

Las proposiciones compuestas son las que resultan de combinar dos o más proposiciones simples; por ejemplo: "la familia CMOS es lenta", se puede combinar con "la familia CMOS no es ruidosa" para formar la proposición "la familia CMOS es lenta **Y** no es ruidosa".

Otro concepto importante en lógica es el de *silogismo*. Un silogismo es un método de llegar a una conclusión lógica a partir de dos premisas, una mayor y una menor. Por ejemplo: "todos los circuitos TTL son rápidos" es una premisa mayor, y "el 7400 es un circuito TTL" es una premisa menor.

La conclusión lógica que se puede derivar de lo anterior es que "el circuito 7400 es rápido".

Cualquier proposición lógica puede ser "falsa" o "verdadera". Pero esta asignación no tiene necesariamente que estar relacionada con las nociones de verdad y falsedad que manejamos en el mundo real. Sólo indican la validez o invalidez de un juicio dentro del marco del razonamiento lógico.

En el siglo XIX se dio un gran paso en el desarrollo de la ciencia de la lógica cuando el matemático inglés George Simon Boole (1815-1864) publicó el tratado "*Análisis matemático de la lógica*".

Boole estudió el trabajo de Aristóteles y creó a partir de él un lenguaje simbólico llamado *Algebra booleana* (léase 'buleana') que sintetizaba la lógica aristotélica.

Sin embargo, su contribución más importante fue descubrir que su sistema de álgebra podía ser aplicado al razonamiento lógico de las relaciones entre proposiciones.

Por ejemplo, si las cosas útiles las representamos por el símbolo A y los conocimientos por el símbolo B, las cosas no útiles se pueden representar mediante la expresión booleana $\bar{A}$ (no A), los conocimientos útiles mediante la expresión $A \bullet B$ (A y B) y las cosas que son útiles o son conocimientos mediante la expresión $A+B$ (A o B).

El trabajo de Boole permaneció en el anonimato hasta que en 1938 , Claude B. Shannon, en un artículo titulado "*Análisis simbólico de relés y circuitos de conmutación*", explicó cómo el álgebra booleana podría ser utilizada para describir la operación de un equipo de conmutación telefónica.

De hecho, Shannon fue el primero en relacionar la teoría lógica a la teoría de los circuitos electrónicos, estableciendo los principios de la *lógica digital*.

LOGICA DIGITAL

La lógica digital es una ciencia de razonamiento numérico aplicada a circuitos electrónicos que realizan decisiones del tipo "si, entonces": **si** una serie de circunstancias particulares ocurre, **entonces** una acción particular resulta. El resultado es siempre el mismo para una serie dada de circunstancias.

La posibilidad de predecir el resultado final permite el diseño de sistemas digitales a partir de circuitos básicos llamados **compuertas**. *Las compuertas son bloques que realizan operaciones lógicas sencillas y toman decisiones.*

Una operación lógica compleja que requiera de varias compuertas para su realización y cuya respuesta dependa de la combinación de las entradas se implementa con circuitos de lógica extendida llamados **Circuitos lógicos combinatorios**.

Cuando debe tomarse una decisión basada en una información previa se utilizan circuitos especiales de memoria llamados **flip-flops**. Generalmente, debe ocurrir una secuencia de eventos, en un orden definido, antes de que ocurra una salida. A estos circuitos dotados de memoria se les llama **Circuitos lógicos secuenciales**.

Conceptos básicos de lógica digital

Ilustremos con un ejemplo cómo es posible progresar desde una relación lógica lingüística hasta un circuito electrónico lógico.

Supongamos que se desea abrir la puerta de un garaje sólo cuando se ilumine una fotocelda de control y se cierre un interruptor de seguridad. Las premisas que describen este sistema son las siguientes:

"Fotocelda de control iluminada" = A
"Interruptor de seguridad cerrado" = B
"Puerta de garaje abierta" = C

Cada una de estas tres premisas puede ser falsa o verdadera; es decir, tener un valor lógico **0** (falso) ó **1** (verdadero). Por ejemplo: si la fotocelda no está iluminada entonces **A=0**; si la puerta del garaje está abierta entonces **C=1**; si el interruptor de seguridad está abierto, entonces **B=0** y así sucesivamente.

Si elaboramos una tabla que contenga todas las posibles combinaciones de verdad (1's) y falsedad (0's) de las premisas previamente establecidas, obtendríamos el siguiente resultado:

Tabla de verdad

A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

A = 0: Fotocelda no iluminada
A = 1: Fotocelda iluminada

B = 0: Interruptor abierto
B = 1: Interruptor cerrado

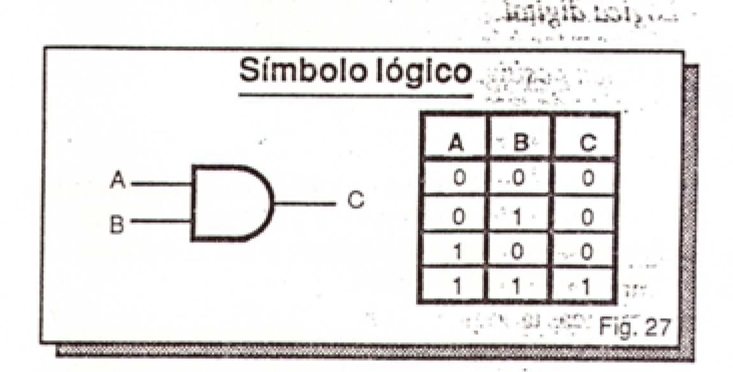
C = 0: Puerta cerrada
C = 1: Puerta abierta

Tabla 1

Según los requisitos originales del problema, la puerta del garaje **C** sólo se abre si la fotocelda **A** de control se ilumina **y** el interruptor **B** de seguridad se cierra. De acuerdo con lo visto anteriormente, esta relación se puede describir analíticamente mediante la expresión:

C = A y B (a) o **C = A • B** (b)

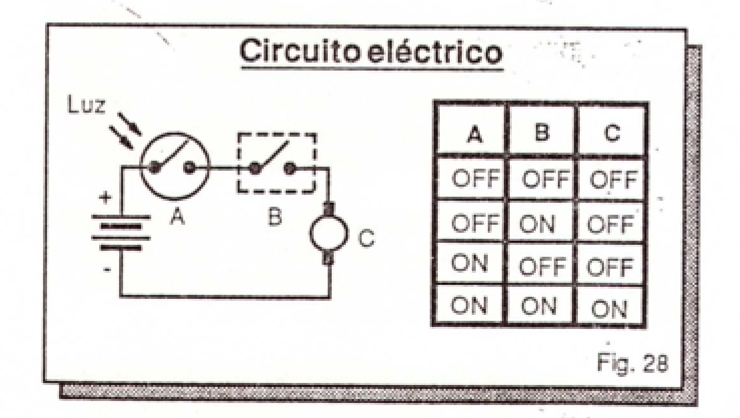
La expresión anterior puede representarse simbólicamente como se muestra en la figura 27.



A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

Fig. 27

El circuito eléctrico básico que cumple los requisitos del sistema propuesto se muestra en la figura 28. En esta representación, C es el motor que ejecuta la apertura de la puerta, A un interruptor activado por luz y B un interruptor electromecánico.



A	B	C
OFF	OFF	OFF
OFF	ON	OFF
ON	OFF	OFF
ON	ON	ON

Fig. 28

Los símbolos **A**, **B** y **C** son ejemplos de **variables lógicas o booleanas**. En este caso específico, **A** y **B** son variables de entrada y **C** es una variable de salida. Las variables lógicas se identifican generalmente por caracteres alfabéticos (A, B, C, etc.) y sólo pueden adoptar dos valores: **0** ó **1**.

En electrónica digital, las variables lógicas se emplean para representar el nivel de voltaje presente en un alambre o en los terminales de entrada y salida de un circuito. Por tanto, el **0** y el **1** lógicos no representan números propiamente sino el valor de un nivel de voltaje.

El voltaje en un punto cualquiera de un circuito digital se encuentra en su nivel lógico **0** ó **1** dependiendo de su valor numérico real (por ejemplo, 0 ó 5 V).

En el caso de los circuitos integrados digitales, el rango de voltaje de cada estado lógico depende de la familia lógica, TTL o CMOS, a la que pertenece el dispositivo.

La tabla 1 es un ejemplo de **tabla de verdad.** Una tabla de verdad muestra la forma como la salida de un circuito lógico responde a todas las posibles combinaciones de niveles o estados lógicos de las entradas. En otras palabras, una tabla de verdad resume la operación de un circuito lógico.

La expresión **C=A•B** (léase "C es A y B") es un ejemplo de **ecuación lógica** o **booleana**. Una ecuación lógica describe analíticamente la relación entre cada variable de salida y las variables de entrada.

La relación entre las variables de entrada se realiza mediante operadores o signos lógicos. Los tres operadores lógicos básicos son el AND (•), el OR (+) y el NOT (-) y las operaciones lógicas que se realizan con ellos se denominan respectivamente AND, OR y NOT.

En electrónica digital existen circuitos especializados llamados compuertas que realizan estas y otras operaciones con niveles de voltaje. Las tres compuertas básicas son la AND, la OR y la NOT.

El símbolo de la figura 27 es un ejemplo de **representación lógica.** Todos los circuitos digitales se representan mediante símbolos lógicos, cada uno de los cuales representa una operación lógica (AND, OR, etc.) entre las variables de entrada.

Para efectos de análisis, el circuito eléctrico o electrónico interno representado por un símbolo lógico es, generalmente, intrascendente. Sin embargo, desde el punto de vista de diseño es una consideración importante.

El circuito de la figura 28 es un ejemplo de **representación eléctrica.** Los interruptores, electromecánicos o de cualquier naturaleza, se comportan como variables lógicas porque sólo pueden adoptar dos valores o estados lógicos: **0** cuando están "off" (abiertos) y **1** cuando están cerrados ("on").

La lógica digital se emplea con éxito para analizar y diseñar circuitos eléctricos de conmutación que utilizan interruptores, relés, contactores, sensores, etc. y cualquier clase de dispositivos biestables (de dos estados). Esta aplicación se conoce también como **lógica de conmutación.**

Lógica positiva y lógica negativa

En electrónica digital existen dos tipos de lógica llamadas *lógica positiva y lógica negativa*. Para los propósitos de este curso, utilizaremos únicamente lógica positiva, que es la más común. Todos los circuitos integrados digitales utilizados en este curso son de lógica positiva.

En lógica positiva el estado lógico **1** se utiliza para indicar el nivel **alto** o high (H) y el estado lógico **0** para indicar el nivel **bajo** o low (L). La lógica negativa opera en forma exactamente contraria, es decir, asigna el **1** al nivel **bajo** y el **0** al nivel **alto.**

Desde otro punto de vista, la diferencia entre ambos tipos de lógica puede establecerse como sigue: la lógica positiva utiliza un voltaje positivo para el estado lógico **1** y un voltaje cero o negativo para el estado lógico **0**. La lógica negativa asigna un voltaje cero o negativo al estado lógico **1** y un voltaje positivo al estado lógico **0**.

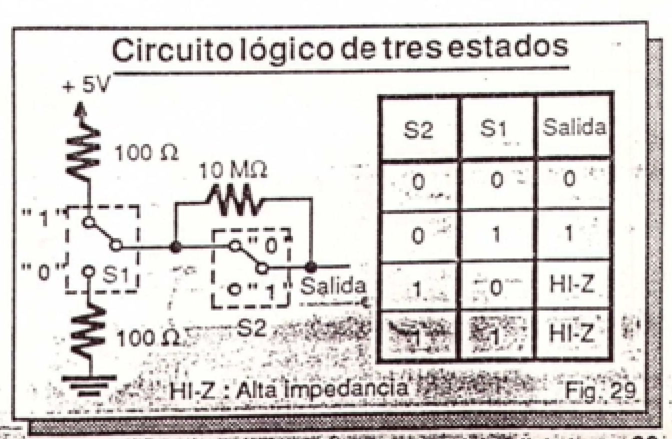
Lógica de tres estados

La lógica digital es binaria porque responde solamente a dos estados de entrada: el **alto** o **1** lógico y el **bajo** o **0** lógico. En un dispositivo TTL, por ejemplo, una salida determinada sólo podrá estar a un nivel **alto** (de 2.4 V a 5 V) o a un nivel **bajo** (de 0 a 0.8 V). Cualquier otro nivel de voltaje es inválido.

Existen situaciones donde es deseable desconectar o aislar el terminal de salida del resto de la circuitería interna con el fin de lograr que ese punto quede libre o flotando, es decir, que no esté ni en alto ni en bajo. La solución a ese problema es lo que se ha dado en llamar **lógica de tres estados, o lógica tri-state®.**

Los dispositivos lógicos de tres estados tienen tres niveles de salida llamados alto, bajo y flotante. A este último se le denomina más exactamente estado de **alta impedancia** o estado Hi-Z.

La figura 29 muestra en forma simplificada cómo trabaja un circuito lógico de 3 estados. El tema de los dispositivos lógicos de 3 estados se analiza más detenidamente en la lección 6.



S2	S1	Salida
0	0	0
0	1	1
1	0	HI-Z
1	1	HI-Z

Fig. 29

Compuertas AND, OR y NOT

- *Qué es una compuerta*
- *Cómo describir la operación de una compuerta*
- *Compuertas AND de dos y varias entradas*
- *Experimento 1.Operación de la compuerta AND*
- *Compuertas OR de dos y varias entradas*
- *Experimento 2.Operación de la compuerta OR*
- *Compuertas NOT o inversores*
- *Experimento 3.Operación de la compuerta NOT*
- *Circuitos de aplicación*

En esta lección estudiaremos las compuertas lógicas: elementos fundamentales de cualquier circuito digital. Comprender las compuertas lógicas es el primer paso que debemos dar para lograr dominar el mundo de la electrónica digital.

Analizaremos en profundidad las compuertas AND, OR y NOT desde los siguientes puntos de vista: operación, símbolo lógico, tabla de verdad, ecuación lógica y circuito eléctrico equivalente. También describiremos los circuitos integrados TTL y CMOS que realizan estas funciones.

Qué es una compuerta

Las compuertas o *gates* (léase "gueits") son los bloques básicos de cualquier circuito digital. Todos los aparatos digitales, desde el más simple dispositivo hasta el más sofisticado computador, están formados por compuertas conectadas en una gran variedad de configuraciones.

Una compuerta digital (figura 30) es un circuito electrónico con dos o más líneas de entrada y una línea de salida, que tiene la capacidad de tomar *decisiones*. La decisión tomada por una compuerta consiste en situar su salida en **0** ó en **1**, dependiendo del estado de sus entradas y de la función lógica para la cual ha sido diseñada.

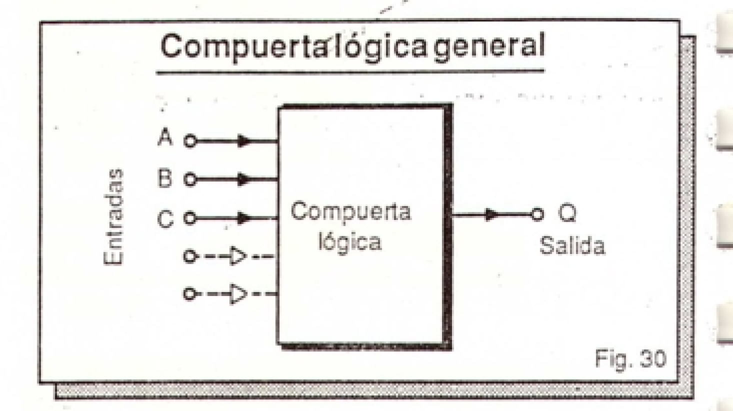


Fig. 30

En electrónica digital existen ocho compuertas lógicas designadas como AND, OR, NOT, YES, NAND, NOR, XOR y XNOR. En la figura 31 se muestran los símbolos utilizados en los circuitos digitales para representar estos dispositivos.

Cómo describir la operación de una compuerta

La operación de una compuerta lógica se puede expresar mediante una tabla de verdad, una ecuación lógica o un diagrama de temporización.

Una **tabla de verdad** representa ordenadamente todas las posibles combinaciones de estados lógicos que pueden existir en las entradas y el valor que toma la salida en cada caso.

La **ecuación lógica** relaciona matemáticamente la salida con las entradas.

Un **diagrama de temporización** representa gráficamente el comportamiento de una compuerta con señales variables en el tiempo. Los diagramas de temporización se estudian detalladamente en la lección 7 de este curso.

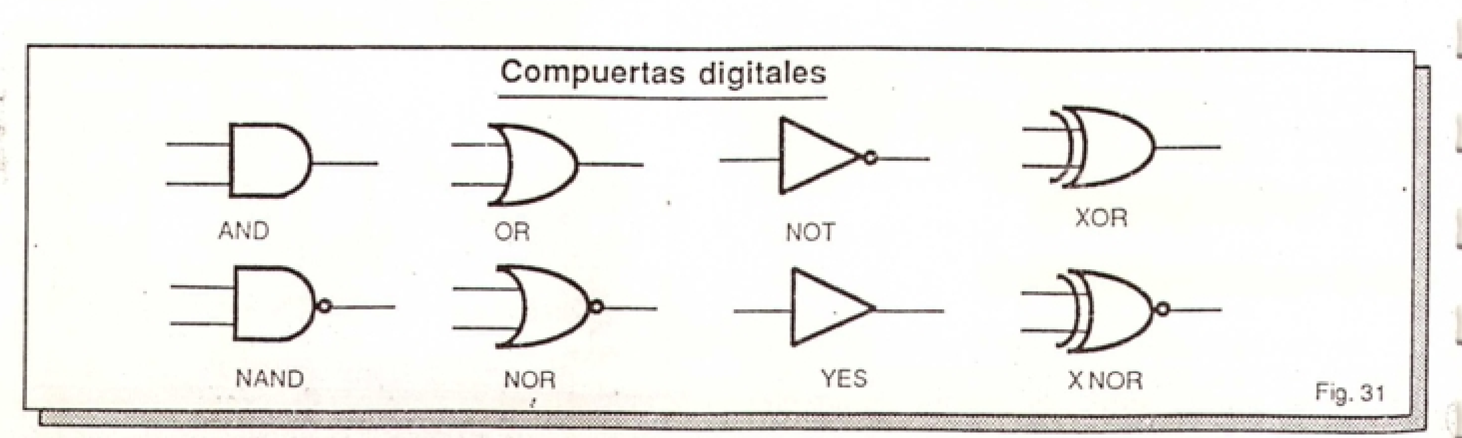
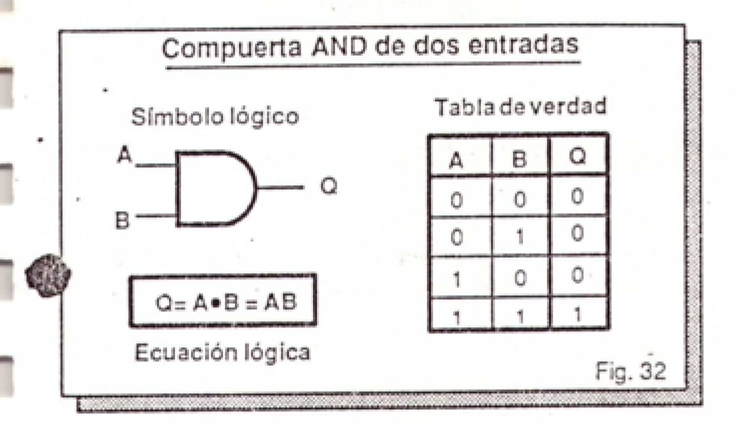


Fig. 31

Compuertas AND de dos entradas

Una compuerta AND de dos entradas es un dispositivo lógico que entrega una salida **alta** cuando todas sus entradas son **altas** y una salida **baja** cuando hay un **bajo** en cualquiera de sus entradas.

En la figura 32 se muestran el símbolo lógico, la ecuación lógica y la tabla de verdad de una compuerta AND de dos entradas. La expresión "Q = A•B" debe leerse como "Q es igual a A y B" y no como "Q es igual a A por B".



A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

Fig. 32

El signo (•) denota la función propia de una compuerta AND y se puede omitir. De este modo, Q=A•B es lo mismo que Q=AB. La función lógica realizada por una compuerta AND se denomina operación AND o *producto lógico*.

La operación de una compuerta AND es análoga a la del circuito eléctrico que se muestra en la figura 33. En este circuito, los interruptores A y B representan las entradas de la compuerta y la lámpara Q su salida.

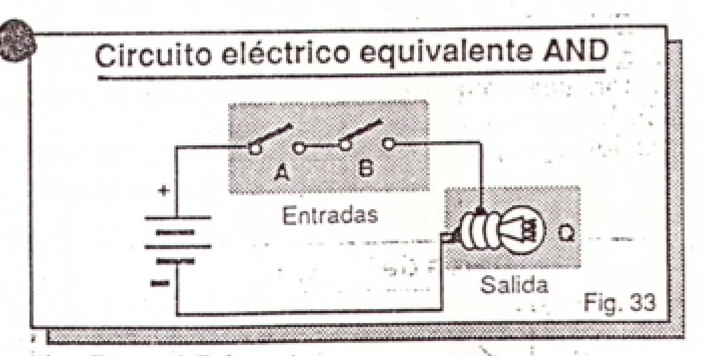


Fig. 33

Puesto que A y B están en serie, la lámpara Q sólo se enciende cuando ambos interruptores están cerrados y permanece apagada mientras cualquiera de los interruptores, o ambos, esté abierto. Un interruptor cerrado se asimila a un nivel **alto ó 1** lógico y un interruptor abierto a un nivel **bajo ó 0** lógico.

Circuitos integrados con compuertas AND de dos entradas

Existen varios circuitos integrados digitales que operan como compuertas AND de dos entradas. Los más representativos son el 7408 y el 74LS08 de la familia TTL y el 74C08 y el 4081B de la familia CMOS. En la figura 34 se muestra la distribución o diagrama de pines de estos chips.

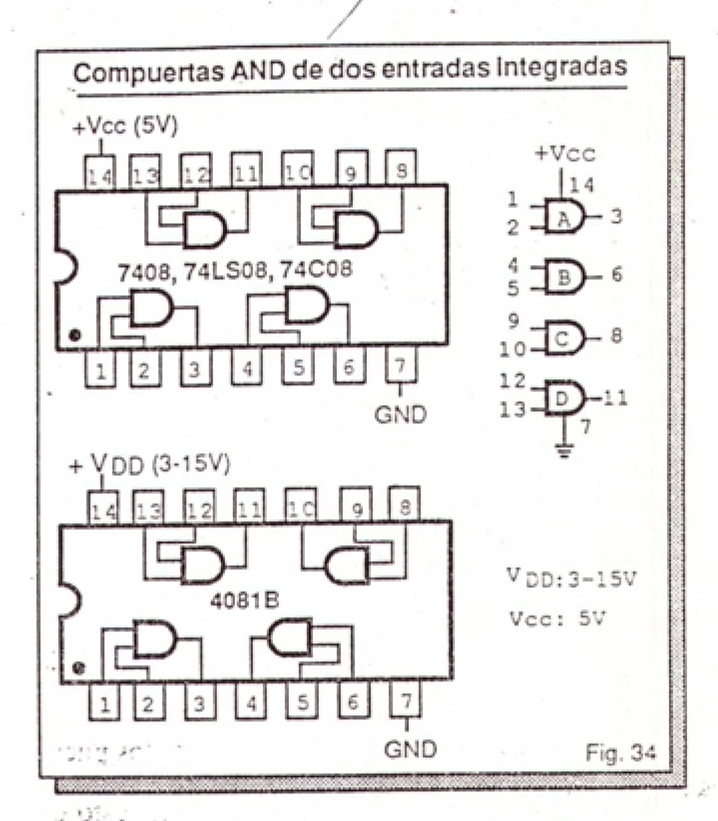


Fig. 34

Cada uno de estos dispositivos contiene cuatro compuertas AND de dos entradas, completamente independientes, en una misma cápsula de 14 pines. Todas comparten el mismo voltaje de alimentación.

Fieles a la metodología de CEKIT, a lo largo de este curso haremos especial énfasis en los aspectos prácticos de los circuitos digitales. En el siguiente experimento comprobaremos cómo trabaja el circuito integrado 7408.

También aprenderemos a manipular los circuitos integrados TTL y a identificar la información de la cápsula. Conoceremos qué son los leds y cómo se pueden utilizar para monitorear estados lógicos. Así mismo adquiriremos destreza en el manejo del *protoboard*, una de las herramientas más importantes de la experimentación electrónica.

Este primer acercamiento a la electrónica digital es muy importante. Lea detenidamente todas las instrucciones antes de proceder y repase las lecciones anteriores para aclarar cualquier duda.

EXPERIMENTO 1

Operación de la compuerta AND

Objetivos

- Verificar experimentalmente la operación de una compuerta AND de dos entradas.
- Aprender a utilizar el tablero de conexiones sin soldadura o *protoboard*.
- Aprender a utilizar circuitos digitales TTL.
- Aprender a utilizar los diodos emisores de luz (LED) como monitores lógicos.

Materiales y herramientas necesarios

1 Circuito integrado 7408 ó 74LS08 (4 compuertas AND TTL de 2 entradas)
3 Diodos emisores de luz o LED
3 Resistencias de 1 KΩ, 1/4 W
2 Cables con caimanes, uno rojo y uno negro.
12 Puentes de alambre telefónico # 22 ó 24 de 8 cm de longitud
1 Protoboard o tablero de conexiones
1 Fuente de 5V, 1 Amp (Kit CEKIT K11)

Nota: Puede utilizar como fuente regulada de 5V la descrita en el proyecto central Nº 1.

Para garantizar un óptimo contacto de los puentes, retire de 4 mm a 8 mm de aislante de los extremos de cada uno e inserte el alambre expuesto en los correspondientes agujeros del protoboard.

ASPECTOS PRACTICOS PRELIMINARES

Cómo identificar circuitos integrados digitales

Observe cuidadosamente el circuito integrado 7408 ó 74LS08. En la figura E1 se muestra su aspecto físico externo y su configuración lógica interna. Como vimos anteriormente, este dispositivo tiene 4 compuertas AND de dos entradas en una cápsula tipo DIP de 14 pines.

Los pines están distribuidos en dos hileras o filas de 7 patillas o pines y se numeran del 1 al 14. El pin **1** se identifica por la posición del punto o la ranura. La numeración se realiza a partir del pin 1 y en sentido contrario al de las manecillas del reloj como se indica en esta misma figura.

Los pines **7** y **14** corresponden a los terminales de alimentación. El 7408, por ser TTL, trabaja a partir de una fuente de alimentación de +5V. El positivo (+) de la fuente se conecta al pin #14 y el negativo (-) al pin #7. Nunca debe invertirse este orden, **porque se puede quemar el circuito integrado.**

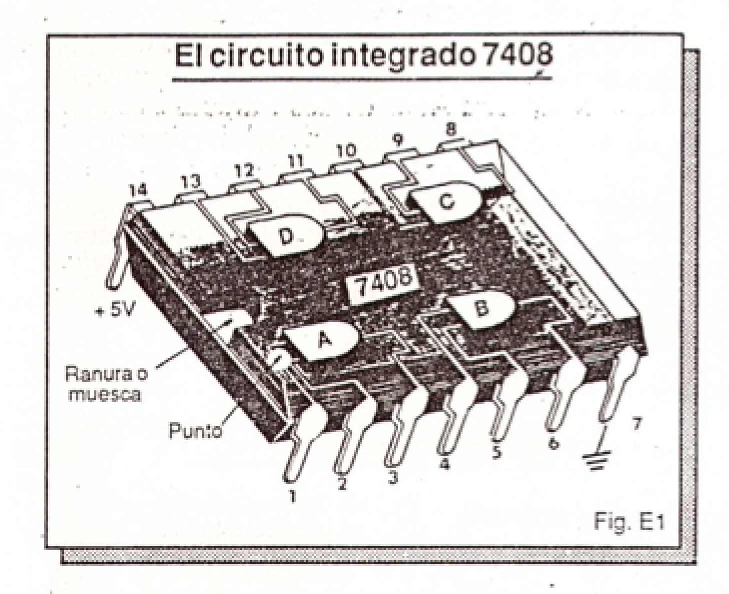


Fig. E1

Los demás pines (del 2 al 6 y del 8 al 13) corresponden a las entradas y salidas de cada una de las 4 compuertas que constituyen el chip. En la figura 34 se resume la función de cada pin.

Los pines 1 y 2 son las entradas de la compuerta A y el pin 3 su salida; los pines 4 y 5 son las entradas de la compuerta B y el pin 6 su salida; los pines 9 y 10 son las entradas de la compuerta C y el pin 8 su salida. Finalmente, los pines 12 y 13 son las entradas de la compuerta D y el pin 11 su salida.

Observe las letras, los números y símbolos inscritos en la parte superior de la cápsula. Como vimos en la lección 1, esta nomenclatura informa sobre el fabricante, la referencia del dispositivo y la fecha de fabricación. En la figura E2 se muestra como ejemplo la referencia DM74LS08N.

El logotipo identifica al fabricante. En este caso se trata de un chip fabricado por National Semiconductor, una compañía de Santa Clara, California (EE UU). En la figura 12 de la página 14 se muestran los logotipos de otros fabricantes.

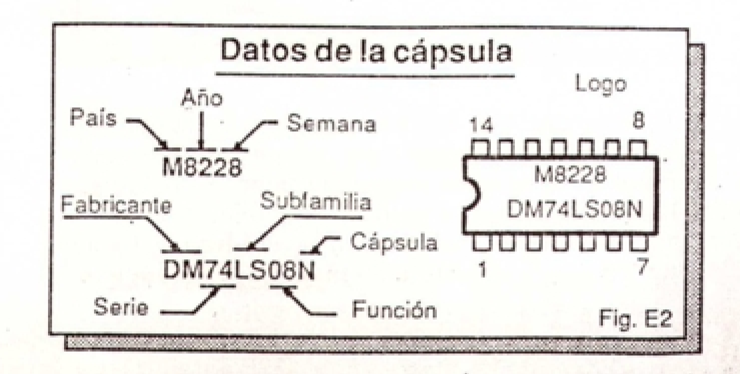


Fig. E2

Los fabricantes relacionan todas las características eléctricas y mecánicas de sus productos en un catálogo o manual de consulta. La referencia es la "clave" para localizar ese componente en el manual.

La referencia o el número de parte se puede dividir en cinco elementos: código del fabricante, serie, subfamilia, función y tipo de encapsulado.

En nuestro ejemplo, DM indica que se trata de un dispositivo digital de National; 74LS indica que se trata de un circuito integrado TTL de la serie 74, subfamilia LS (Schottky de baja potencia); 08 indica que se trata de 4 compuertas AND de 2 entradas y N indica que se trata de un circuito integrado DIP de moldeado epóxico.

Otros códigos de fabricantes son SN (Texas Instruments), MC (Motorola), F (Fairchild), N (Signetics), AM (Advanced Micro Devices) y T (SGS-ATES). Otros códigos de encapsulados son J (DIP cerámico), D (DIP vidrio/metal) y W (plano). Algunos fabricantes omiten el código de la cápsula.

El código de la fecha (M8228) indica que este chip fue fabricado en la semana número 28 de 1982, es decir, a mediados de julio de ese año.

Cómo utilizar los diodos emisores de luz (LED)

Una vez familiarizado con el circuito integrado observe cuidadosamente uno de los LED. En la figura E3 se muestra el símbolo y el aspecto externo de dos tipos comunes de diodos LED. También se indica la forma de identificar sus terminales y de utilizarlo como monitor lógico.

Los LED son diodos que emiten luz (roja, amarilla, verde, etc.) cuando se polarizan en forma directa, es decir, cuando el ánodo es positivo y el cátodo es negativo.

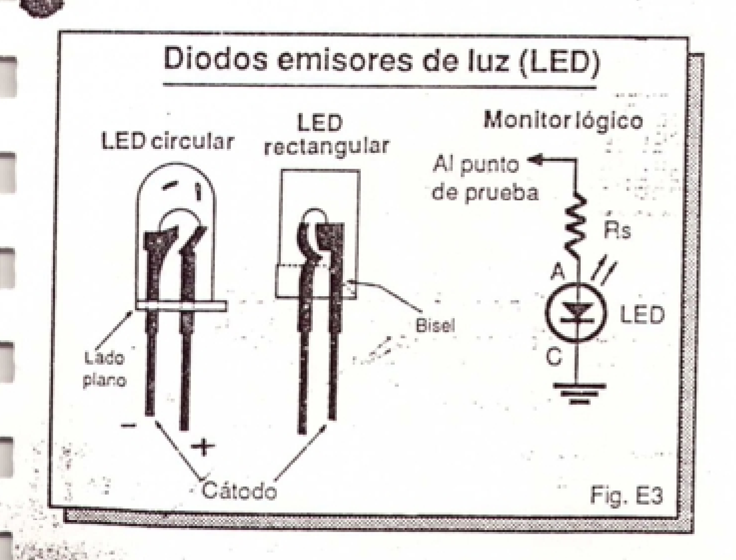


Fig. E3

En los LED circulares la base posee una parte plana. El terminal situado de ese lado corresponde al cátodo. En los LED rectangulares el cátodo se identifica por una marca o bisel en uno de sus bordes. En LED nuevos, el cátodo es el terminal más largo y el de mayor área cuando se observa hacia el interior de la cápsula.

Todos estos detalles se indican en la figura E3. La resistencia en serie Rs protege al LED, impidiendo que a través de él circule una corriente superior para la que está especificado. En este experimento utilizaremos resistencias de 1KΩ para limitar la corriente a un valor seguro.

Cómo utilizar el protoboard

Observe finalmente el protoboard. En la figura E4 se muestra el aspecto físico y la configuración interna de un protoboard apropiado para armar los experimentos y proyectos de este curso.

El protoboard es un tablero plástico con una serie de orificios o puntos metálicos de contacto alineados horizontal o verticalmente. En cada orificio se aloja un terminal de un componente, un pin de un circuito integrado o el extremo de un cable.

Las ocho filas horizontales se denominan *buses* y se utilizan para distribuir el voltaje de alimentación a lo largo del circuito que se va a ensamblar. Todos los puntos de un bus o de una fila vertical están conectados eléctricamente entre sí pero aislados de todos los demás.

En el área central se insertan y conectan los componentes del circuito como integrados, resistencias, condensadores, transistores, LED, puentes, etc. A lo largo del canal central se instalan circuitos integrados, relés miniatura y otros componentes que vienen en presentación tipo DIP o de doble hilera.

Las "pestañas" situadas en los 4 costados del protoboard permiten acoplar mecánicamente entre sí varias unidades similares. Esto se hace cuando un sólo protoboard es insuficiente para soportar los componentes de un determinado proyecto.

Procedimiento

En la figura E5A se muestra el diagrama esquemático del circuito de comprobación de una compuerta AND. En la figura E5B se indica la forma de montar este circuito en el protoboard.

El LED D_1 indica el estado de la entrada A (pin 1), el LED D_2 el de la entrada B y el LED D_3 el de la salida Q (pin 3). Un LED encendido indica un nivel alto ó 1 lógico y un LED apagado un nivel bajo ó 0 lógico.

Estructura de un protoboard

Buses

Filas

Canal central

Láminas metálicas

Pestañas

Fig. E4

Para obtener un nivel **alto ó 1** en cualquiera de las entradas A y B, se debe conectar ésta al positivo de la fuente (+5V). Para obtener un nivel **bajo** se conecta al negativo (tierra).

Paso 1. Arme este circuito sobre su protoboard como se muestra en la figura E5B. Antes de encender la fuente revise muy bien estos aspectos:

1. Están los componentes correctos en la posición correcta y en la dirección correcta ?

2. Está correctamente alambrado el circuito, sin cortos ni circuitos abiertos ?

3. Está siendo aplicado el voltaje correcto y con la polaridad correcta a los terminales positivo y

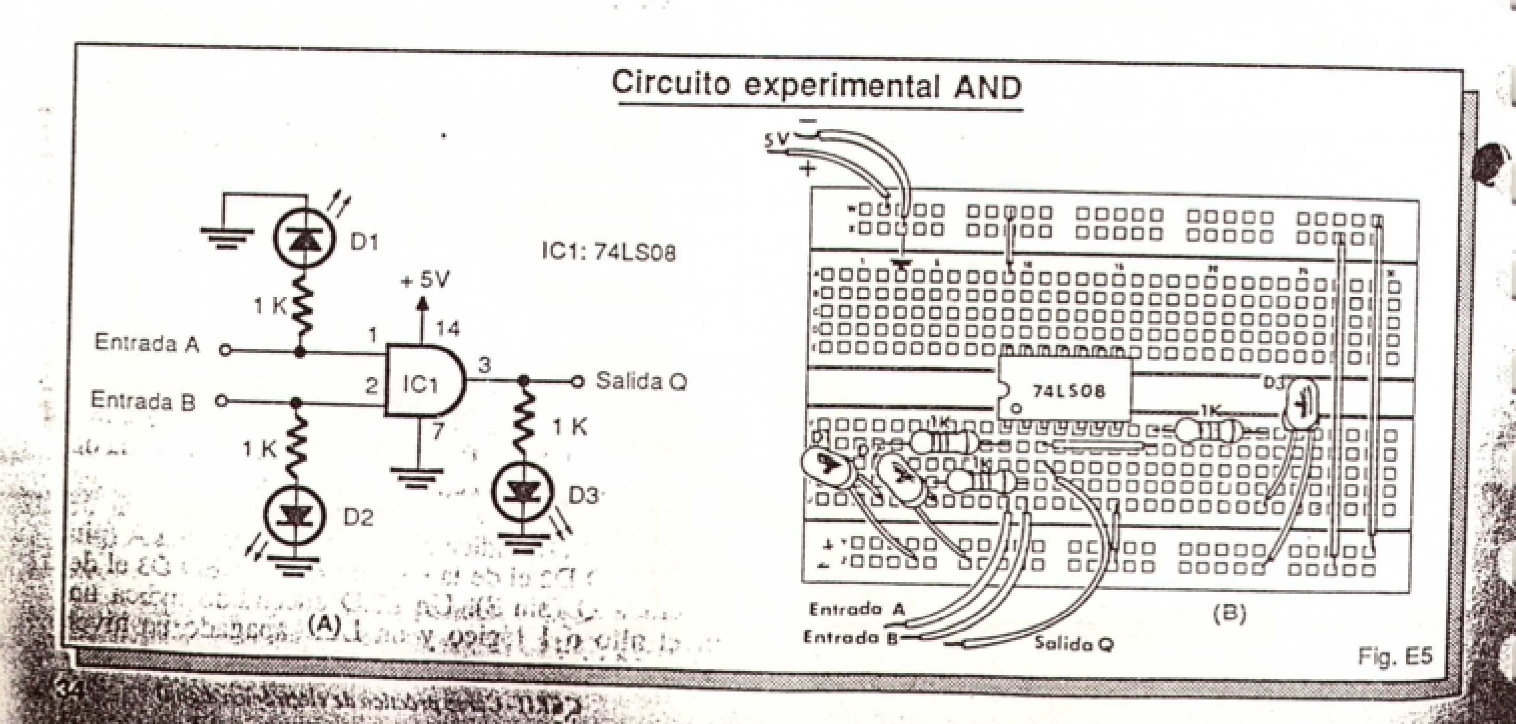


Fig. E5

negativo del circuito y a los pines de alimentación y de tierra del circuito integrado ?

4. Están todos los componentes y puentes del circuito haciendo conexión firme con los puntos de contacto respectivos en el protoboard ?

Realice las correcciones necesarias antes de seguir.

Paso 2. Conecte los alambres A y B a dos puntos cualesquiera del bus Z. Así estará aplicando un **bajo** a las entradas A y B. Los LED D1 y D2 no deben prenderse. Observe lo que sucede en los tres LED y escriba los resultados en la tabla E1.

Entradas		Salida
A	B	Q = AB
0	0	
0	1	
1	0	
1	1	

Tabla E1

Paso 3. Desconecte el alambre B del bus Z y conéctelo a cualquier punto del bus Y. De este modo estará aplicando un **bajo** a la entrada A y un **alto** a la entrada B. Observe lo que sucede en los 3 LED y escriba los resultados en la tabla E1.

Paso 4. Desconecte el alambre A del bus Z y conéctelo al bus Y. Desconecte el alambre B del bus Y y conéctelo al bus Z. De este modo estará aplicando un **alto** a la entrada A y un **bajo** a la entrada B. Observe lo que sucede en los 3 LED y escriba los resultados en la tabla E1.

Paso 5. Desconecte el alambre B del bus Z y conéctelo al bus Y. De este modo estará aplicando un **alto** a ambas entradas. Observe lo que sucede en los 3 LED y escriba los resultados en la tabla E1.

Con este paso finaliza el experimento. Compare sus resultados con los de la teoría y obtenga sus propias conclusiones.

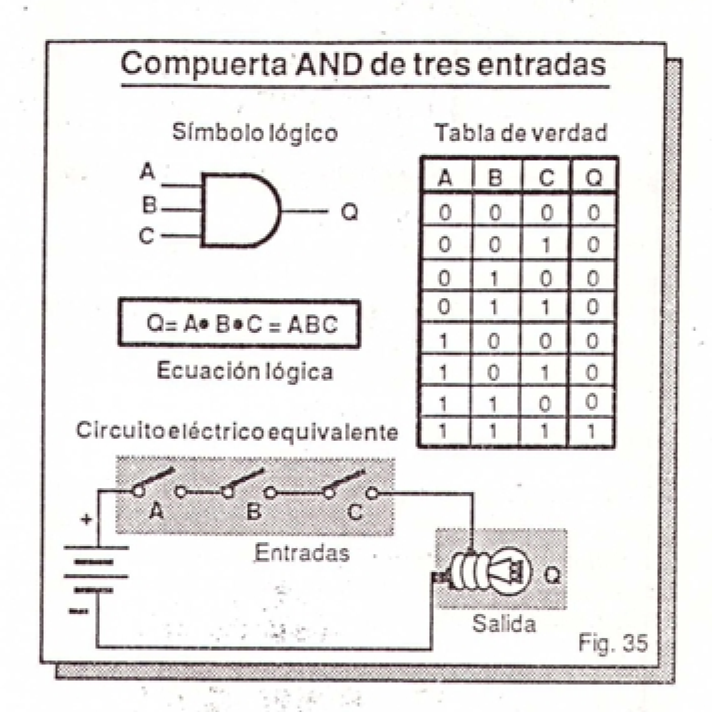
Si tiene dudas al respecto, tómese el tiempo necesario para resolverlas y estudie de nuevo toda la lección, repitiendo el experimento hasta que los conceptos analizados estén realmente claros en su mente. Este primer acercamiento a la electrónica digital es muy importante, ya que con base en él se adelantará todo el curso.

* * *

Compuertas AND de varias entradas

En general, una compuerta AND de dos o más entradas entrega un nivel **alto** ó **1** lógico en su salida cuando todas sus entradas están en **alto** y un **bajo** ó **0** lógico cuando por lo menos una de ellas, o todas, están en **bajo**.

En la figura 35 se muestran el símbolo, la ecuación lógica, la tabla de verdad y la representación eléctrica de una compuerta AND de tres entradas.



A	B	C	Q
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Fig. 35

La expresión "Q = A • B • C" puede leerse como "Q es igual a A y B y C" .

En el caso del circuito eléctrico, los interruptores A, By C representan las entradas de la compuerta y la lámpara Q su salida. La lampará Q sólo se enciende cuando todos los interruptores están cerrados y permanece apagada mientras cualquiera de ellos esté abierto.

Circuitos integrados con compuertas AND de varias entradas

Los siguientes son algunos ejemplos de circuitos integrados TTL y CMOS que contienen compuertas AND de varias entradas. Los dispositivos de las series 40 y 74C son de tecnología CMOS y los de las series 74 y 74LS son de tecnología TTL.

4073B, 7411, 74LS11: tres (3) compuertas AND de tres (3) entradas.

4082B, 7421, 74LS21: dos (2) compuertas AND de cuatro (4) entradas.

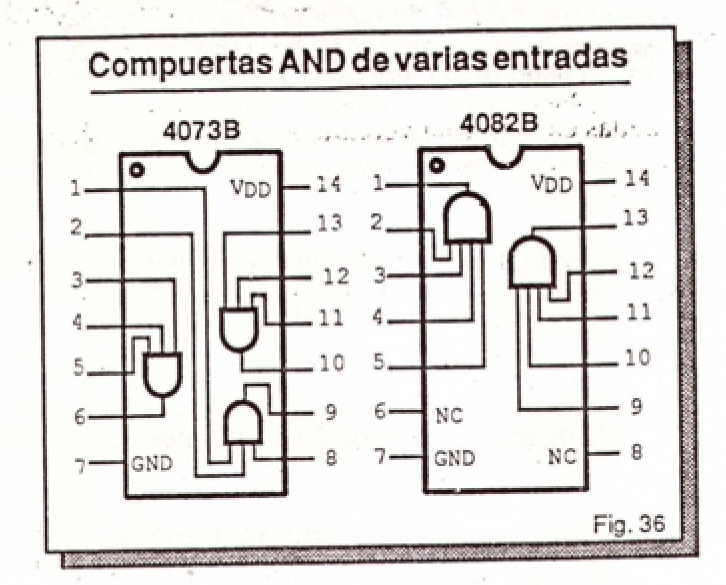


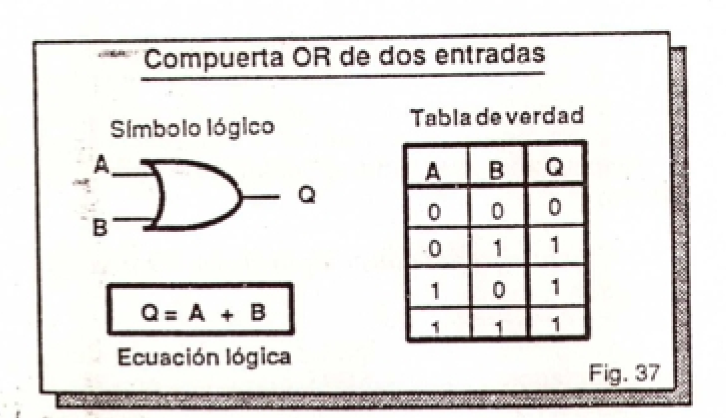
Fig. 36

En la figura 36 se muestra la distribución de pines de los circuitos integrados CMOS 4073B y 4082B. Estos dispositivos trabajan con tensiones de alimentación desde 3 V hasta 15 V. Cada salida puede manejar directamente una entrada TTL LS.

Compuertas 0R de dos entradas

Una compuerta OR es un dispositivo digital que entrega una salida **baja** cuando todas sus entradas son **bajas**, y una salida **alta** cuando existe por lo menos un **alto** en cualquiera de sus entradas o en las dos al mismo tiempo.

En la figura 37 se muestran el símbolo lógico, la ecuación lógica y la tabla de verdad de una compuerta OR de dos entradas.



A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

Fig. 37

La expresión "A + B = Q" debe leerse como "Q es igual a A **o** B" o "A **o** B igual a Q", y no como "Q es igual a A más B".

El signo (+) denota la función propia de una compuerta OR y no se debe omitir. Tampoco debe confundirse con el signo "más" de la suma aritmética. La función realizada por la compuerta OR se denomina operación OR o *suma lógica*.

La operación de una compuerta OR es análoga a la del circuito eléctrico que se muestra en la figura 38. Los interruptores A y B representan las entradas de la compuerta y la lámpara Q su salida.

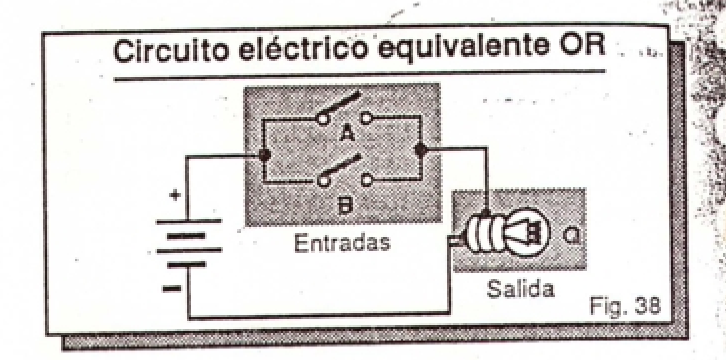


Fig. 38

Debido a que los interruptores están en paralelo, la lámpara Q sólo se apagará cuando ambos interruptores A y B estén abiertos y permanecerá encendida mientras cualquiera de los interruptores, o ambos, estén cerrados.

Circuitos integrados con compuertas OR de dos entradas

En la figura 39 se muestran los diagramas de pines de los circuitos integrados TTL 7432 y 74LS32 y CMOS 74C32 y 4071B. Cada uno de estos dispositivos trae cuatro (4) compuertas OR de dos (2) entradas completamente independientes.

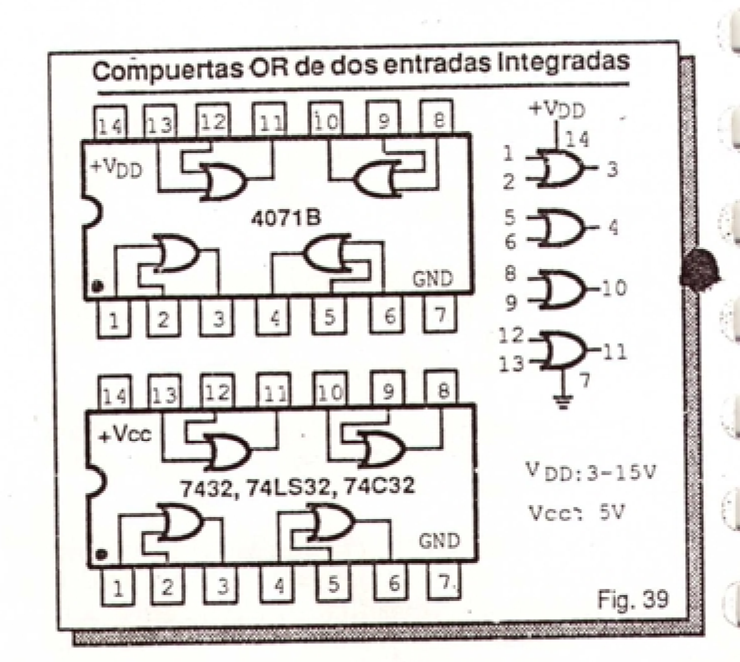


Fig. 39

En el siguiente experimento, usted verificará en la práctica cómo trabaja una de las compuertas OR del circuito integrado 4071B. Este dispositivo es de tecnología CMOS y debe manipularse con cuidado.

EXPERIMENTO 2

Operación de la compuerta OR

Objetivos

- Verificar experimentalmente la operación de una compuerta OR de dos entradas.
- Aprender a utilizar circuitos integrados digitales CMOS.

Materiales y herramientas necesarios

1 Circuito integrado 4071 ó 4071B (4 compuertas OR CMOS de 2 entradas)
3 LED
3 Resistencias de 1 KΩ, 1/4 W
2 Extensiones de caimán, una roja y una negra, o un conector para batería de 9V
12 Puentes de alambre telefónico #22 ó 24 de 8 cm de longitud.
1 Protoboard
1 Fuente de 9V, 300 mA (Kit CEKIT K10) o una batería alcalina de 9V.

ASPECTOS PRACTICOS PREVIOS

Cómo utilizar los circuitos integrados CMOS

Como vimos en la lección 2, los circuitos integrados CMOS son particularmente sensibles al daño por electricidad estática (ESD). Por esta razón deben manipularse con cuidado. De otra forma, pueden destruirse parcial o completamente.

Siga estas recomendaciones cuando manipule circuitos integrados CMOS:

1. Consérvelos almacenados en una funda estática, una espuma conductiva o en papel aluminio. Nunca los guarde en bolsas plásticas, icopor, ó en cualquier otro medio no conductor.

2. No aplique señales a una entrada CMOS mientras el circuito esté apagado.

3. Nunca inserte o retire dispositivos CMOS con la potencia conectada. Esta regla es aplicable a cualquier circuito integrado.

4. Conecte todas las entradas CMOS no utilizadas al positivo de la fuente o a tierra: no las deje flotantes. Si estas entradas se dejan al aire, pueden acumular electricidad estática y originar niveles lógicos impredecibles o su deterioro a corto plazo.

5. El voltaje aplicado a una entrada CMOS nunca debe exceder del valor del voltaje de alimentación.

Procedimiento

En la figura E6 se muestra el circuito de comprobación de una compuerta OR 4071B y la forma de montarlo en el protoboard. Observe que todas las entradas no utilizadas (pines 5, 6, 8, 9, 12 y 13) están conectadas a tierra por seguridad.

El LED D1 indica el estado de la entrada A (pin 1), el LED D2 el de la entrada B (pin 2) y el LED D3 el de la salida Q (pin 3). Un LED encendido indica un nivel **alto** ó **1** lógico y un LED apagado indica un nivel **bajo** ó **0** lógico.

Para obtener un nivel **alto** en cualquiera de las entradas A y B, éstas se deben conectar al positivo de la fuente (+9V) y para obtener un nivel **bajo** se deben conectar al negativo (tierra).

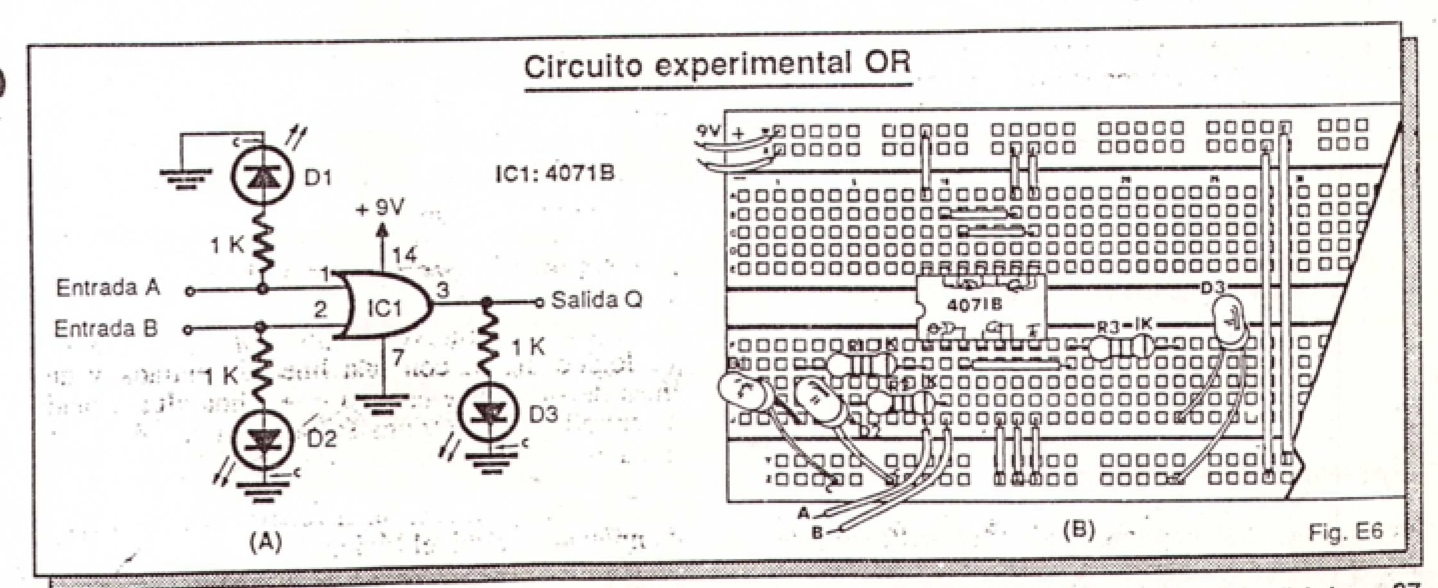


Fig. E6

Paso 1. Arme el circuito que se muestra en la figura E6B sobre el protoboard.

Antes de alimentar el circuito revise muy bien todas sus conexiones verificando la posición correcta del circuito integrado, de los LED y de los cables de prueba.

Paso 2. Encienda la fuente de alimentación. Conecte los alambres A y B a dos puntos cualquiera del bus Z. De este modo estará aplicando un nivel bajo a las entradas A y B. Observe lo que sucede en los tres LED y escriba los resultados en la tabla E2.

Entradas		Salida
A	B	Q = A + B
0	0	
0	1	
1	0	
1	1	

Tabla E2

Paso 3. Desconecte el alambre B del bus Z y conéctelo a cualquier punto del bus Y. De este modo estará aplicando un **bajo** a la entrada A y un **alto** a la entrada B. Observe lo que sucede en los tres LED y escriba los resultados en la tabla E2.

Paso 4. Desconecte el alambre A del bus Z y conéctelo al bus Y. Desconecte el alambre B del bus Y y conéctelo al bus Z. De este modo estará aplicando un **alto** a la entrada A y un **bajo** a la entrada B. Observe lo que sucede en los tres LED y escriba los resultados en la tabla E2.

Paso 5. Desconecte el alambre B del bus Z y conéctelo al bus Y. De este modo estará aplicando un alto a ambas entradas. Observe lo que sucede en los tres LED y escriba los resultados en la tabla E2.

Con este paso finaliza el experimento. Compare los resultados con la teoría y obtenga sus propias conclusiones.

* * *

Compuertas OR de varias entradas

En general, una compuerta OR de dos o más entradas entrega un nivel **bajo** en su salida cuando todas sus entradas están en **bajo** y uno **alto** cuando por lo menos una de ellas, o todas, están en **alto**.

En la figura 40 se muestran el símbolo lógico, la ecuación lógica, la tabla de verdad y la representación eléctrica de una compuerta **OR** de tres entradas

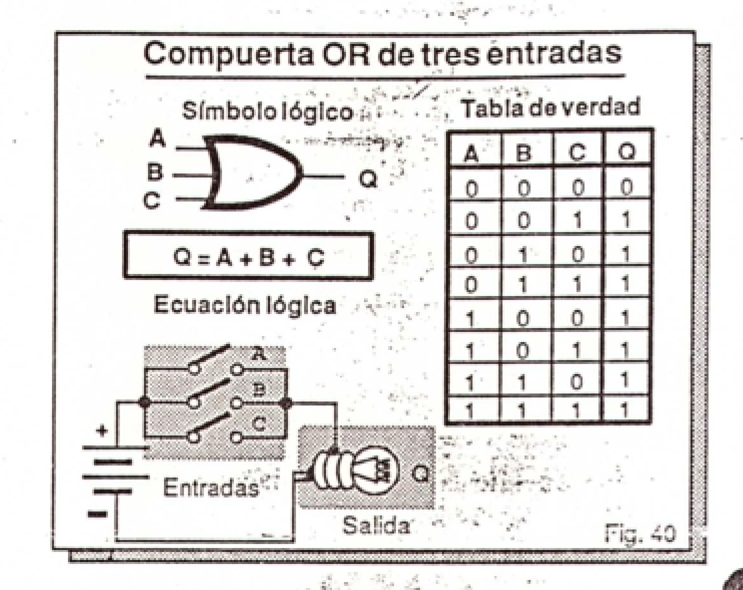


Fig. 40

La expresión "A+B+C=Q" debe leerse como "Q es igual a A o B o C" o "A o B o C es igual a Q".

En la representación del circuito eléctrico, los interruptores A, B y C representan las entradas de la compuerta y la lámpara Q su salida.

La lámpara Q sólo se apaga cuando todos los interruptores están abiertos; permanece encendida mientras cualquiera de ellos esté cerrado.

Circuitos integrados con compuertas OR de varias entradas

Los siguientes son algunos ejemplos de circuitos integrados CMOS que contienen compuertas OR de varias entradas. Todos operan con tensiones de 3 a 15 V.

4072B: 2 compuertas OR de 4 entradas
4075B: 3 compuertas OR de 3 entradas

En la figura 41 se muestran los diagramas de pines de estos circuitos.

COMPUERTAS NOT O INVERSORES

Una compuerta NOT o *inversor* es un dispositivo lógico digital con una línea de entrada y una línea de salida que entrega una salida **alta** cuando su entrada es **baja** y una salida **baja** cuando su entrada es **alta**.

En otras palabras, un inversor invierte, niega o *complementa* el nivel lógico de la señal de entrada. Es una de las compuertas más utilizadas.

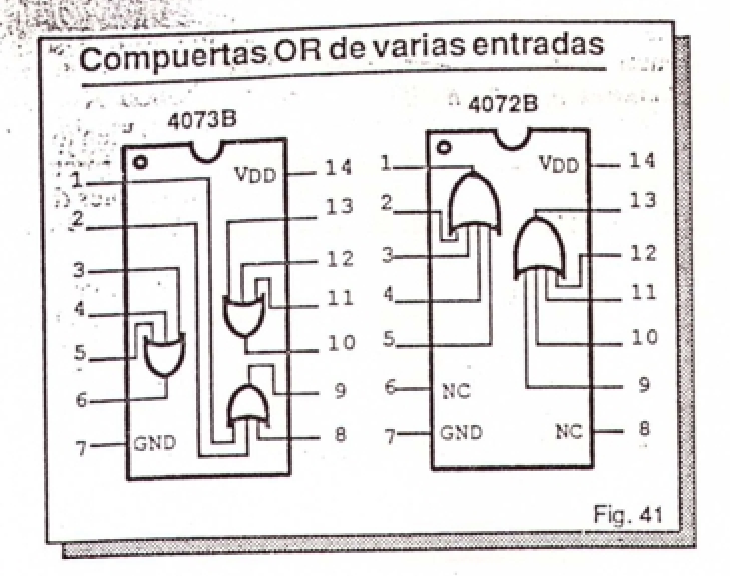


Fig. 41

En la figura 42 se muestran el símbolo lógico, la ecuación lógica y la tabla de verdad de un inversor.

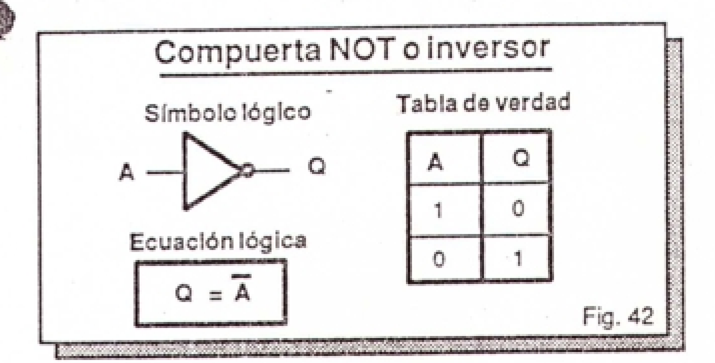


Fig. 42

La expresión "Q = Ā" debe leerse como "Q es igual a no A" o "Q es igual a A negado".

El círculo o burbuja (o) en el símbolo lógico y la barra horizontal (‾) en la ecuación lógica denotan el proceso de inversión realizado por esta compuerta.

La función lógica realizada por un inversor se denomina *inversión* o *complemento lógico*. No existen inversores de dos o más entradas.

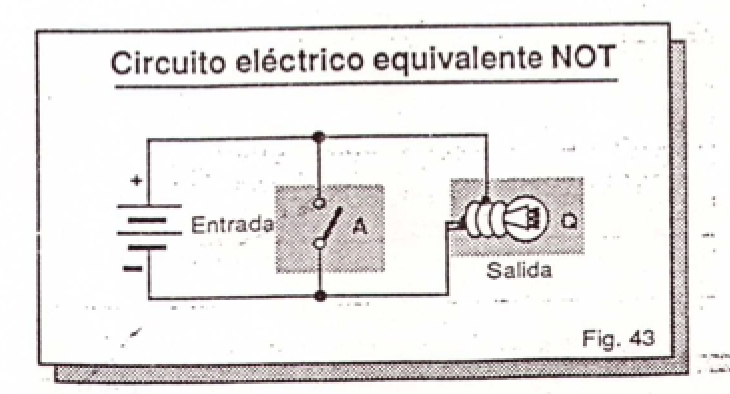


Fig. 43

La operación de un inversor es análoga a la del circuito eléctrico mostrado en la figura 43. El interruptor A representa la entrada de la compuerta y la lámpara Q su salida.

Debido a que el interruptor A está en paralelo con la lámpara Q, esta última se encenderá cuando el interruptor A se abra y se apagará cuando el interruptor se cierre.

Nota importante:

Considere el circuito de la figura 43 solamente como un ejemplo aclaratorio de la operación de una compuerta NOT. No intente montarlo porque al cerrarse el interruptor coloca en cortocircuito la batería. Para su realización práctica, instale una resistencia de protección de valor adecuado en serie con la batería.

Esta misma recomendación se aplica a los circuitos eléctricos equivalentes de las compuertas NAND, NOR y XNOR de las figuras 53, 55,59, 61 y 68.

Circuitos integrados con inversores

En la figura 44 se muestran los diagramas de pines de los circuitos integrados TTL 7404 y 74LS04 y CMOS 74C04 y 4069B. Cada uno de estos dispositivos trae 6 inversores completamente independientes en una misma cápsula.

En esta misma figura se muestra también un circuito típico de aplicación con inversores. Además de su función lógica básica, los inversores se utilizan como osciladores, amplificadores de corriente, eliminadores de rebote, etc.

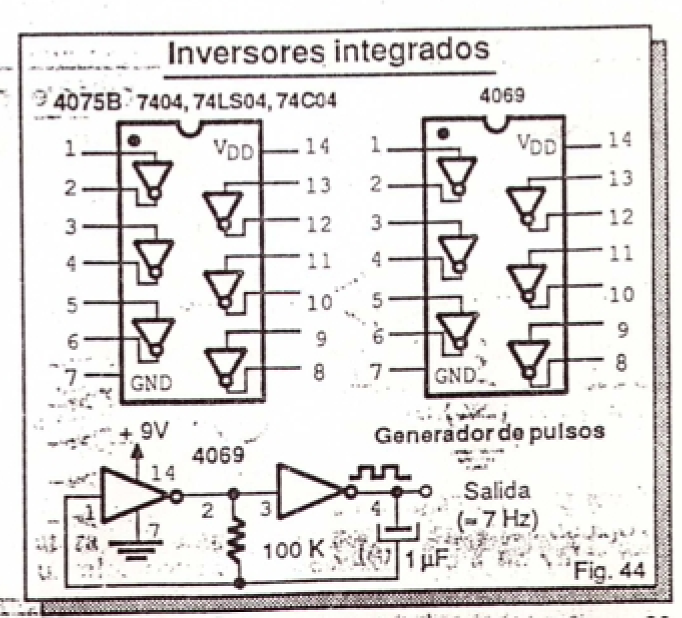


Fig. 44

EXPERIMENTO 3

Operación de un inversor

Objetivos

- Verificar experimentalmente la operación de una compuerta NOT o inversor.

Materiales necesarios

1 CI 4069B ó 74C04 (6 inversores CMOS)
2 LED de 10 ó 20 mA
2 Resistencias de 1 KΩ, 1/4 W
2 Extensiones de caimán, una roja y una negra.
6 Puentes de alambre telefónico #22 ó 24 de 8 cm de longitud
1 Protoboard
1 Fuente de 5V, 1 A (Kit CEKIT K11) o una pila alcalina de 9 V

Procedimiento

En la figura E7 se muestra el circuito que vamos a utilizar en este experimento para comprobar la operación de un inversor 4069B y la forma de montarlo en el protoboard. Observe que todas las entradas sin utilizar (pines 3, 5, 9, 11 y 13) se han conectado a tierra por seguridad.

El LED D1 indica el estado de la entrada A (pin 1) y el LED D2 el de la salida Q (pin 2). Recuerde que un LED encendido indica un **alto** ó **1** lógico y un LED apagado un **bajo** ó **0** lógico.

Obtenemos un **alto** en la entrada A conectándola al positivo de la fuente (+5V ó +9V) y un **bajo** conectándola al negativo (tierra).

Paso 1. Arme en el protoboard el circuito que se muestra en la figura E7B.

Antes de alimentar el circuito revise muy bien todas sus conexiones verificando la posición correcta del circuito integrado, de los LED y de los cables de prueba.

Paso 2. Encienda la fuente de alimentación. Conecte el alambre A a un punto cualquiera del bus Z. De este modo estará aplicando un nivel **bajo** a la entrada A. Observe lo que sucede en los dos LED y escriba los resultados en la tabla E3.

Entrada	Salida
A	Q = $\overline{A}$
0	
1	

Tabla E3

Paso 3. Desconecte el alambre A del bus Z y conéctelo a cualquier punto del bus Y. De este modo estará aplicando un nivel **alto** a la entrada A. Observe lo que sucede en los dos LED y escriba los resultados en la tabla E3.

Con este paso finaliza el experimento. Compare sus resultados con los de la teoría y obtenga sus propias conclusiones. Si tiene dudas acerca de la teoría o el experimento repase el tema o repita el experimento hasta que todo quede bien claro.

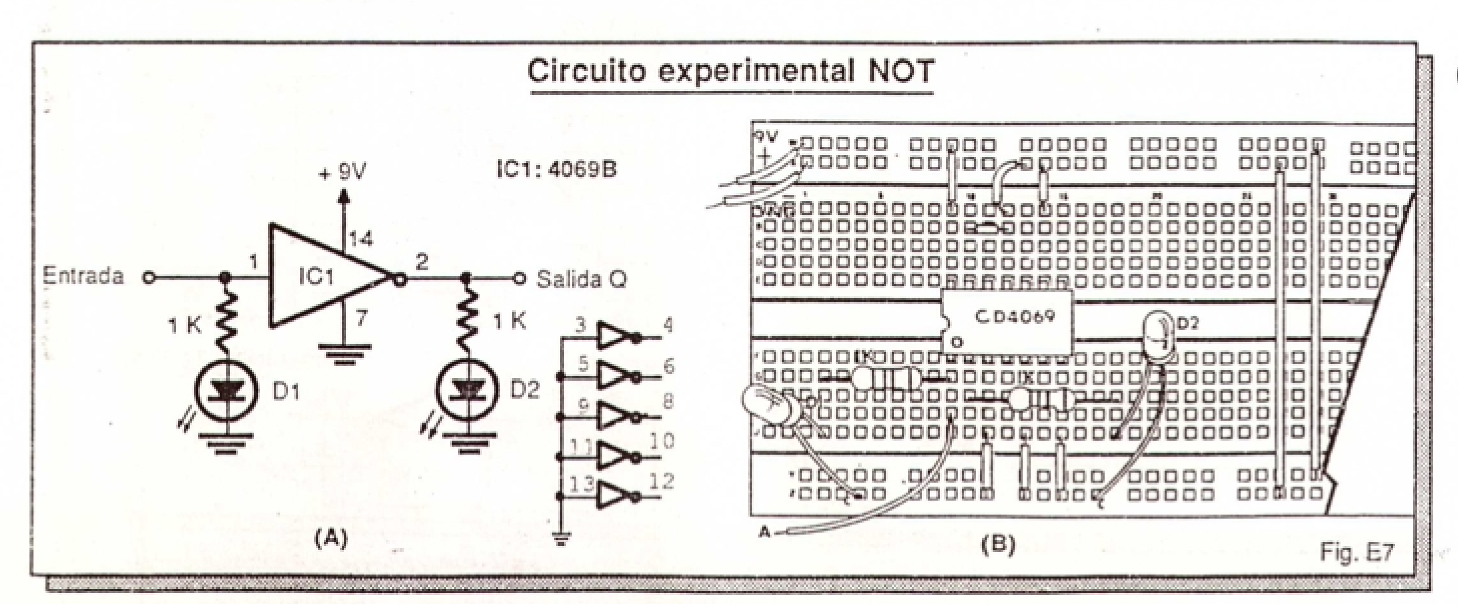
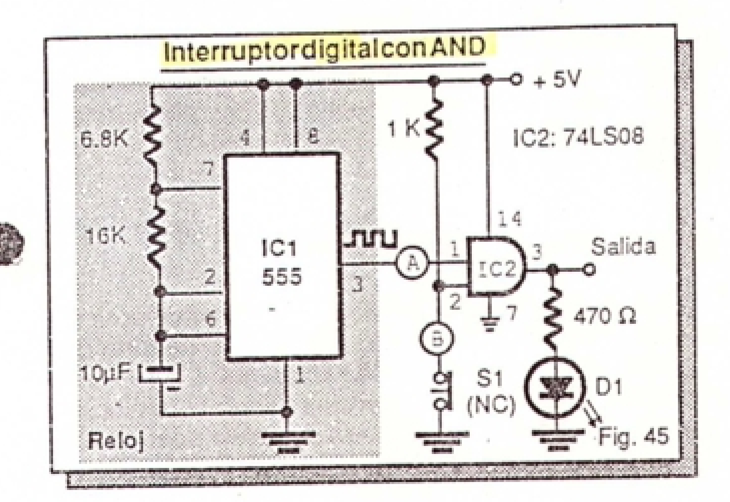


Fig. E7

A continuación se muestran algunos circuitos prácticos de aplicación de las compuertas AND, OR y NOT. Analizaremos un interruptor digital, un control de temperatura, una interface de CMOS a TTL y una alarma antirrobos.

Interruptor digital

Una aplicación muy común de la compuerta AND es como interruptor digital. En la figura 45 se ilustra este concepto utilizando una de las 4 compuertas AND del circuito integrado 7408.



A la entrada A se aplica una señal proveniente de un generador de pulsos (reloj). A la entrada B se aplica una señal de control que puede ser un **0** ó un **1** lógico. El propósito de la señal de control es abrir o cerrar la compuerta, dejando o no dejando pasar la señal de entrada.

Cuando la señal de control es **0**, la compuerta está bloqueada y la salida de la compuerta tiene un nivel **bajo** permanente. En consecuencia, la señal de entrada no se trasfiere a la salida.

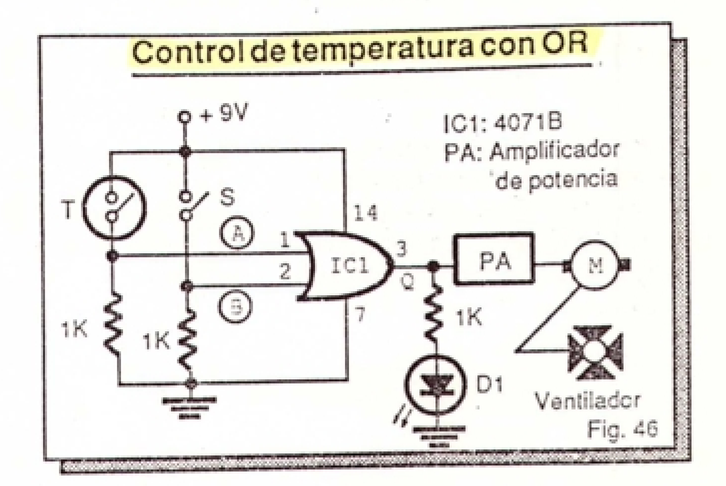
Cuando la señal de control es **1**, la compuerta se abre y la señal de entrada se trasfiere o refleja a la salida. Es decir, si la entrada es **0** la salida también es **0** y si la entrada es **1** la salida es **1**.

En la figura 45, el generador de pulsos está constituido por el circuito integrado 555 y demás componentes asociados. El 555 es uno de los chips más populares en aplicaciones digitales. Lo estudiaremos en detalle en la lección 14.

El LED D1 actúa como visualizador de la acción de la compuerta. El pulsador S1, normalmente cerrado (NC), permite aplicar la señal de control a la entrada B. El circuito corresponde al kit CEKIT K1.

Control de temperatura

El hecho de que una compuerta OR entregue una salida de nivel **alto** mientras cualquiera de las entradas, o ambas, sea de nivel **alto** la hace útil en aplicaciones de control. En la figura 46 se muestra un ejemplo sencillo de control de temperatura de un horno utilizando una de las 4 compuertas OR de un circuito integrado CMOS 4071B.



La salida Q de la compuerta OR controla, a través de un amplificador de potencia o "driver", el motor de un ventilador de enfriamiento. La entrada A recibe información de un interruptor térmico (T) y la entrada B de un interruptor manual (S).

El interruptor T actúa como sensor de temperatura, abriéndose cuando la temperatura disminuye y cerrándose cuando ésta aumenta.

Cuando el interruptor S está abierto, el encendido y apagado del ventilador lo controla el sensor; cuando está cerrado, el ventilador se enciende permanentemente. La temperatura del horno disminuye cuando el ventilador está "on" y aumenta cuando está "off".

Si el interruptor S está abierto y el horno está frío, las entradas A y B reciben ambas un bajo (0V) y la salida Q se hace baja. El ventilador no se energiza y la temperatura del horno aumenta.

Cuando el horno se calienta a su temperatura de trabajo, el sensor se cierra, la entrada A recibe un alto (+V) y la salida se hace **alta**. En consecuencia, el ventilador se prende y el horno se enfría. Cuando la temperatura desciende, el sensor se abre y se repite el ciclo.

Como resultado del proceso anterior, la temperatura del horno fluctúa por encima y por debajo de su valor nominal, manteniéndose a un valor promedio esencialmente constante.

Si se cierra el interruptor S, la entrada B recibe un **alto** y la salida Q se hace **alta**, energizándose el ventilador. Con esta condición, siempre habrá un **alto** a la salida, sin importar el estado del sensor.

Interface de CMOS a TTL

El circuito integrado CMOS 4069B, además de su función básica como inversor lógico, tiene en particular algunas propiedades interesantes. Por ejemplo, sus salidas pueden manejar directamente cargas TTL y sus entradas pueden aceptar voltajes superiores al valor de la fuente de alimentación.

Estas características lo hacen muy apropiado para su utilización como *interface*, es decir, para trasportar señales digitales entre circuitos que operan a diferentes voltajes. En la figura 47 se muestra una aplicación típica de este chip como interface.

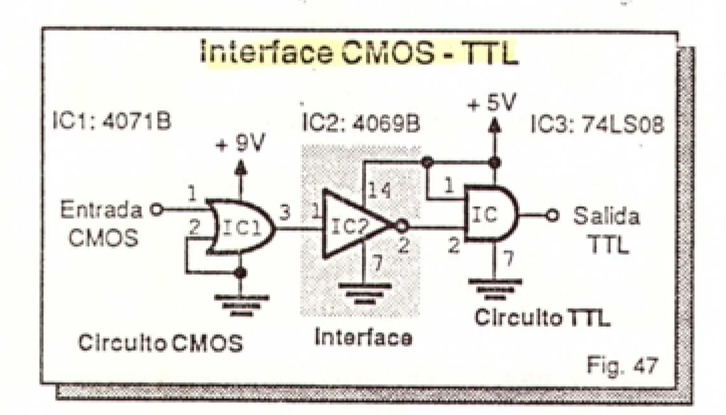


Fig. 47

En este caso necesitamos trasferir la señal de salida de un circuito CMOS que opera a 9V a la entrada de un circuito TTL que opera a 5V. Si realizamos directamente la conexión entre ambos puntos, sin una interface, la entrada TTL recibirá un voltaje mayor de 5V y seguramente se destruirá.

El inversor de interface 4069B evita que esto suceda, convirtiendo niveles lógicos CMOS de 0 ó 9V en niveles lógicos TTL de 0 ó 5V. Si recibe en su entrada un **bajo** de 0V entrega a su salida un **alto** de 5V y si recibe un **alto** de 9V entrega un **bajo** de 0V.

En estas condiciones, la entrada del circuito TTL nunca recibe más de 5V y por tanto no existe el riesgo de que este último se afecte.

Note que aunque el circuito 4069B puede trabajar con tensiones entre +3 y 18V no está conectado a +9V sino a +5V. Si se conectara a +9V entregaría también niveles **altos** de +9V al circuito TTL y la interface no sería eficiente.

Utilice este circuito de interface cuando necesite trabajar con circuitos integrados TTL y CMOS en un mismo proyecto y tenga que emplear diferentes voltajes de alimentación para ambos. Nunca conecte directamente la salida de un circuito CMOS a la entrada de un circuito TTL, excepto si ambos trabajan a +5V.

Alarma antirrobos experimental

En la figura 48 se muestra el circuito de una sencilla alarma antirrobos que activa un zumbador piezoeléctrico (B) cuando se activa cualquiera de dos sensores localizados en una ventana (V) o en una puerta (P). Para que la alarma funcione, debe estar cerrado un interruptor (K) en el interior de la casa.

El zumbador piezoeléctrico o *buzzer* (figura 49), empleado en esta alarma, es un dispositivo que emite un sonido audible distintivo cuando se aplica un voltaje de CC entre sus terminales. Los sensores V y P son de tipo magnético normalmente cerrado.

Normalmente, K, V y P están cerrados. Cuando se abre la ventana o la puerta, el interruptor V o P se abre y envía un **alto** a una de las entradas (A2 ó B2) de la compuerta OR.

La salida de esta compuerta (Q2) aplica a su vez un **alto** a una de las entradas (B3) de la compuerta

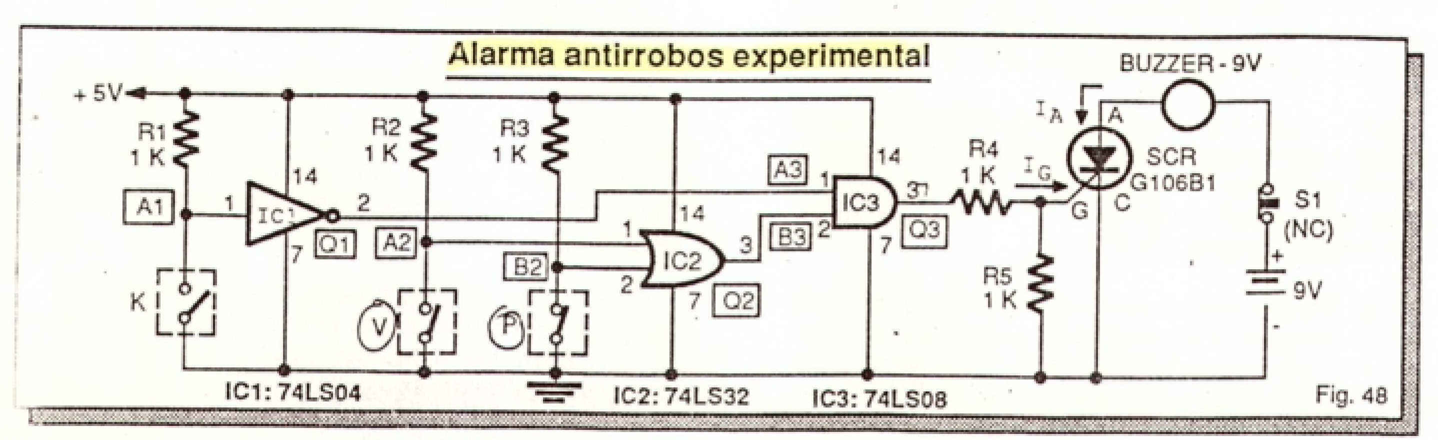


Fig. 48

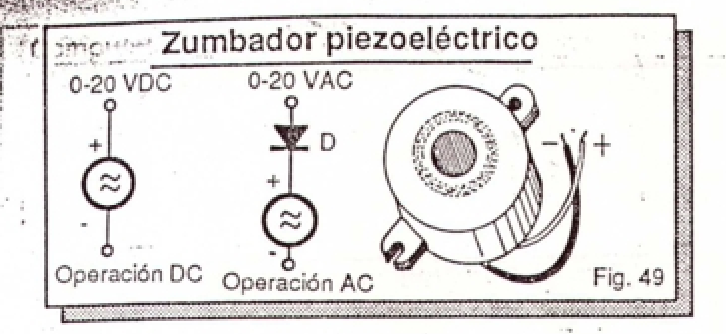


Fig. 49

AND. La otra entrada (A3) la controla el interruptor K a través del inversor.

Cuando K está cerrado, el inversor recibe un **bajo** en su entrada (A1) y aplica un **alto** a la entrada A3 de la compuerta AND. Puesto que la entrada B3 también tiene aplicado un nivel **alto**, la salida Q3 de esta compuerta se hace **alta** y aplica una corriente de disparo a la compuerta (G) del SCR, energizándose el zumbador.

El SCR es un dispositivo electrónico con tres terminales llamados ánodo (A), cátodo (C) y compuerta (G). Trabaja como un interruptor electrónico (figura 50). Al aplicar una corriente a la compuerta, el SCR se cierra o dispara, permitiendo el paso de corriente entre ánodo y cátodo y a través del zumbador.

Una vez disparado, el SCR mantiene energizado el zumbador, incluso si se suspende la corriente de compuerta. Para apagarlo, debe suspenderse la corriente de ánodo pulsando el botón NC.

Si el interruptor V o P retorna a su condición original (cerrado), la salida de la compuerta AND se hace **baja** y suspende la corriente de la compuerta del SCR. Sin embargo, este seguirá conduciendo (y el zumbador seguirá energizado) hasta que se accione el pulsador de apagado.

Cuando el interruptor general K está abierto, la entrada A3 de la compuerta AND recibe un **bajo** y por tanto su salida es **baja**, sin importar el estado de los interruptores V y P. En estas condiciones, el SCR no se dispara y el zumbador no se energiza.

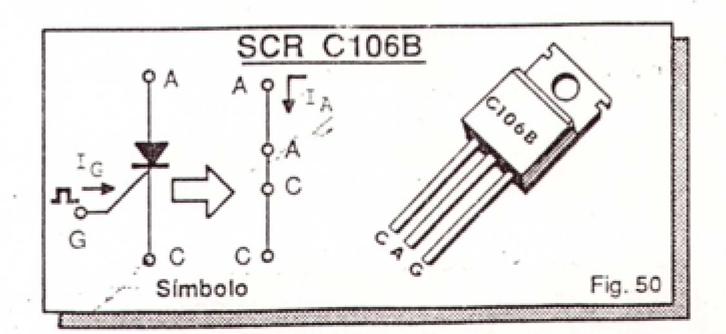


Fig. 50

ACTIVIDAD PRACTICA Nº 3

Construcción del módulo 1. Parte 3

En esta actividad instalaremos la resistencia R2 y el LED D2 del módulo 1. Localice estos componentes en el diagrama esquemático de la figura A1. D2 visualiza el estado lógico (**1** ó **0**) de la señal aplicada a la entrada IN2 y R2 protege la entrada del inversor B contra descargas electrostáticas.

Componentes y herramientas necesarios

1 diodo emisor de luz (LED). D2.
1 resistencia de 1 KΩ. R2.
1 circuito impreso CEKIT ED-1. PC1.
1 cautín de baja potencia (15 a 35 W).
1 cortafríos o pinza de corte.
1 pinza de puntas planas.
Soldadura de estaño 60/40.

Procedimiento

Tome el LED D2 y la resistencia R2. Instale y suelde estos componentes en la tarjeta de circuito impreso ED-1, como se muestra en la figura A4. Conserve los terminales sobrantes de D3 y R3.

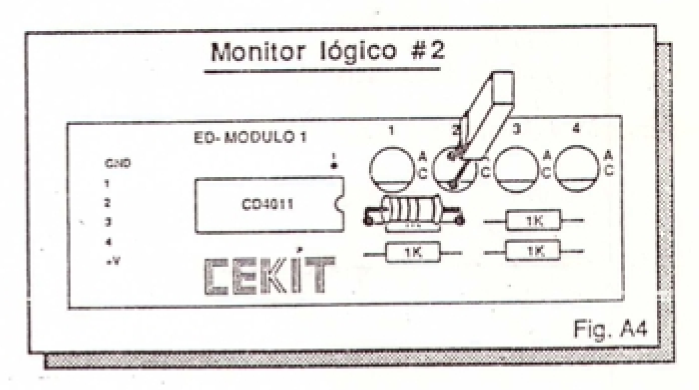


Fig. A4

Para obtener buenas soldaduras, asegúrese de que las superficies por unir estén limpias. Siga el proceso que se resume en la figura A5.

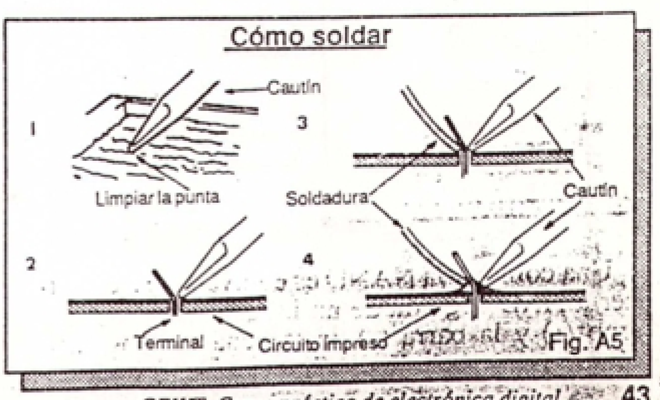


Fig. A5

Compuertas NAND, NOR, XOR Y XNOR

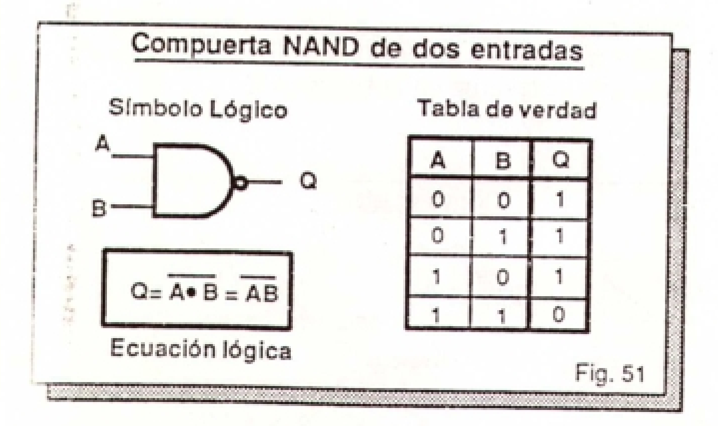
- *Compuertas NAND de dos y varias entradas*
- *Experimento 4. Operación de la compuerta NAND*
- *Compuertas NOR de dos y varias entradas*
- *Experimento 5. Operación de la compuerta NOR*
- *Compuertas OR exclusivas o XOR*
- *Experimento 6. Operación de la compuerta XOR*
- *Compuertas NOR exclusivas o XNOR*
- *Circuitos de aplicación*

Continuando con el estudio de las compuertas lógicas, en esta lección analizaremos las compuertas NAND, NOR, OR exclusiva y NOR exclusiva. Todas se tratarán desde los mismos puntos de vista de las compuertas AND, OR y NOT de la lección 4.

Compuertas NAND de dos entradas

Una compuerta NAND de dos entradas es un dispositivo lógico que opera en forma exactamente contraria a una compuerta AND, entregando una salida **baja** cuando todas sus entradas son altas y una salida **alta** mientras exista por lo menos un bajo en cualquiera de ellas.

En la figura 51 se muestran el símbolo lógico, la ecuación lógica y la tabla de verdad de una compuerta NAND de dos entradas. La expresión "$Q = \overline{A \bullet B}$" puede leerse como " Q es igual a A y B *negado*".



A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

Fig. 51

Una compuerta NAND es equivalente a una compuerta AND seguida de un inversor (figura 52). El signo (•) y la barra (-) en la ecuación lógica y la burbuja en el símbolo confirman esta equivalencia.

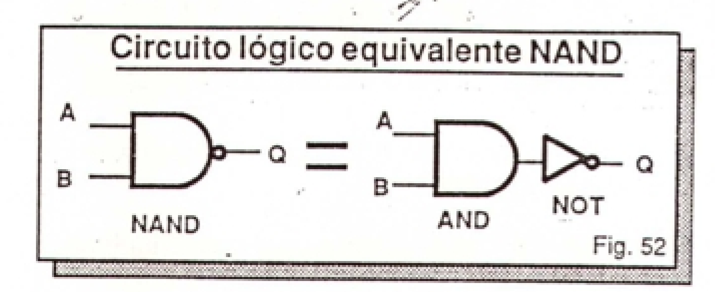


Fig. 52

La operación de una compuerta NAND es análoga a la del circuito eléctrico mostrado en la figura 53. Los interruptores A y B representan las entradas de la compuerta y la lámpara Q su salida.

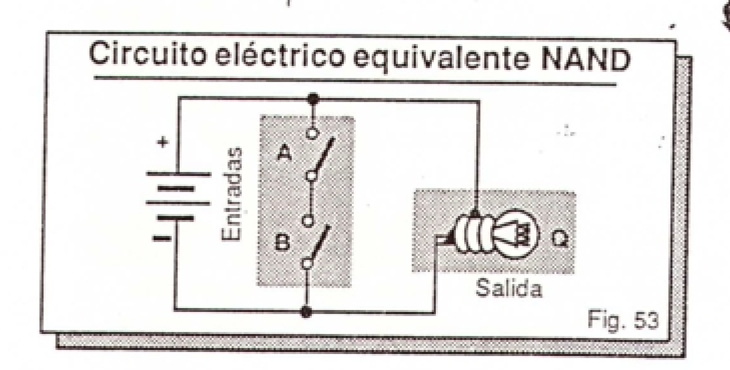


Fig. 53

Debido a que los interruptores A y B están en serie entre sí y en paralelo con la lámpara Q, esta última sólo se apaga cuando ambos interruptores están cerrados y permanece encendida mientras cualquiera de ellos esté abierto (ver nota página 39).

Circuitos integrados con compuertas NAND de dos entradas

En la figura 54 se muestran los diagramas de pines de los circuitos integrados 7400, 74LS00, 74C00 y 4011B. Los dos primeros son de tecnología TTL y los dos últimos de tecnología CMOS. Cada uno incluye 4 compuertas NAND de 2 entradas, completamente independientes, en una misma cápsula de 14 pines.

En el siguiente experimento se comprobará la operación de una compuerta NAND utilizando el circuito integrado 4011B.

La compuerta NAND es uno de los dispositivos digitales más versátiles y útiles. Como veremos en la lección 7, es posible implementar cualquier circui-

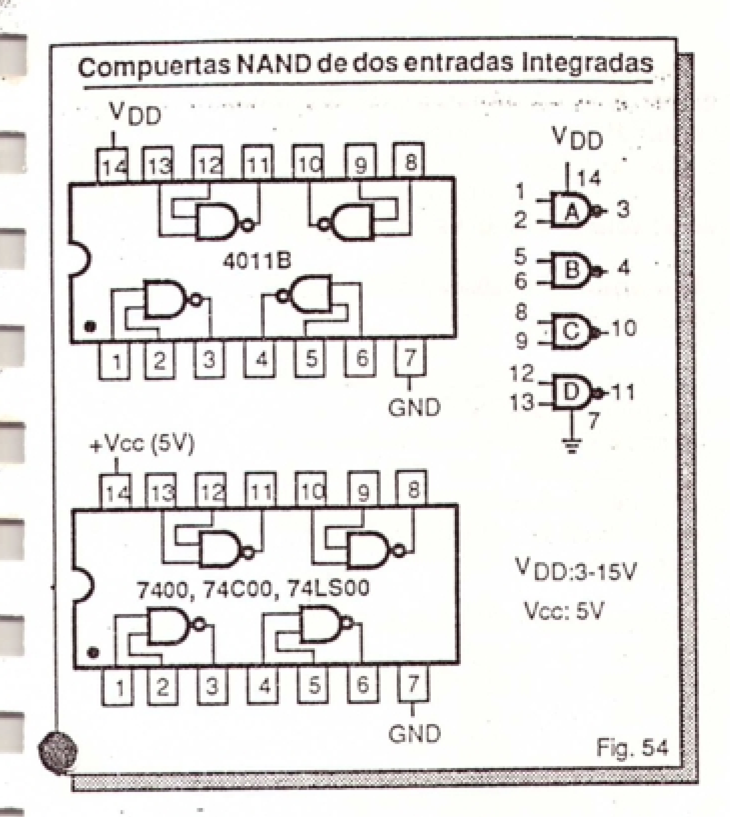


Fig. 54

to lógico utilizando únicamente compuertas NAND como bloques fundamentales.

Con respecto a los circuitos integrados TTL 7400 y 74LS00, los chips CMOS 4011B y 74C00 tienen un rango de voltajes de operación más amplio, consumen menos corriente y poseen una impedancia de entrada más alta. Además, son más inmunes al ruido.

El 7400 y el 74LS00 son, sin embargo más rápidos. Operan a frecuencias hasta de 100 MHz.

EXPERIMENTO 4

Operación de la compuerta NAND

Objetivo

- Verificar experimentalmente la operación de las 4 compuertas NAND del circuito integrado 4011B.

Materiales necesarios

1 Circuito integrado 4011B (4 compuertas NAND CMOS de dos entradas).
3 Diodos emisores de luz o LED.
3 Resistencias de 1KΩ, 1/4 W.
2 Extensiones de caimán, una roja y una negra, o un conector para batería de 9 V.
12 Puentes de alambre telefónico #22 ó # 24 de 8 cm de longitud.
1 Protoboard.
1 Fuente de poder de 9V,300 mA (kit CEKIT K11) o una batería alcalina de 9 V.

Procedimiento

Paso 1. Arme el circuito de la figura E8 sobre su protoboard. Conecte a tierra todas las entradas no utilizadas. Revise el circuito y corrija los posibles errores de montaje antes de conectar la batería o la fuente. Observe todas las precauciones de manipulación de los dispositivos CMOS.

Paso 2. Complete la tabla E4, observando el nivel lógico resultante en la salida Q cuando se aplican las

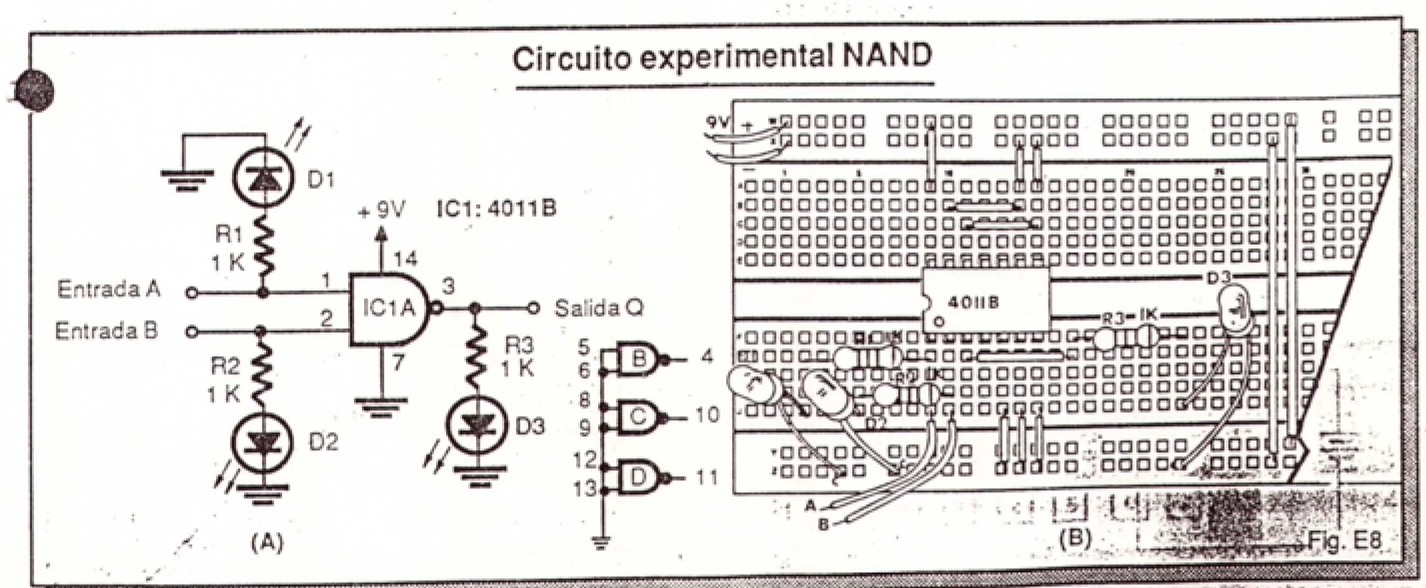


Fig. E8

Entradas		Salida
A	B	$Q=\overline{AB}$
0	0	
0	1	
1	0	
1	1	

Tabla E4

combinaciones de niveles altos (1's) y bajos (0's) en las entradas A y B. Un LED encendido indica la presencia de un 1 lógico en ese punto y un LED apagado la presencia de un **0**.

Paso 3. Compare los resultados de este experimento con los del experimento 1 y obtenga sus propias conclusiones.

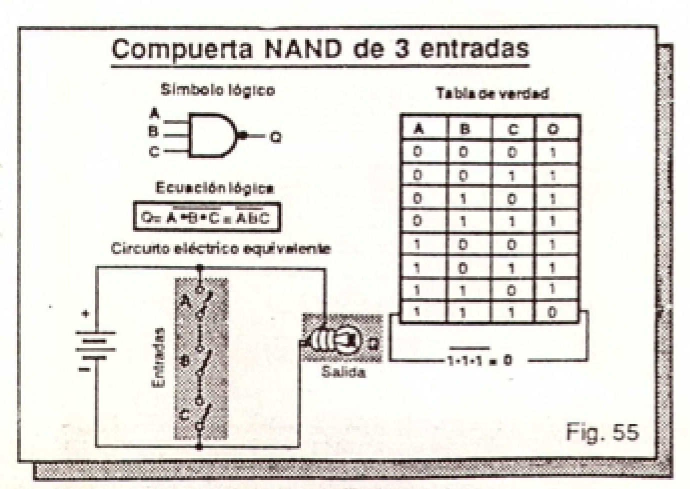
Paso **4**. Desconecte la fuente de alimentación y repita el experimento con cada una de las otras 3 compuertas NAND. No olvide conectar a tierra las entradas no utilizadas. Este último paso le permitirá comprobar si todas las compuertas del circuito integrado 4011B están operando correctamente.

* * *

Compuertas NAND de varias entradas

En general, una compuerta NAND de dos o más entradas entrega un nivel lógico **bajo** en su salida cuando todas sus entradas están en **alto** y un **alto** cuando por lo menos una de ellas está en **bajo**.

En la figura 55 se muestran el símbolo lógico, la ecuación lógica, la tabla de verdad y el circuito eléctrico equivalente de una compuerta NAND de 3 entradas. La expresión "$Q = \overline{A \cdot B \cdot C}$ " debe leerse como "Q es igual a A **y** B **y** C *negado*".



A	B	C	Q
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Fig. 55

En el circuito eléctrico equivalente, los interruptores A, B y C representan las entradas y la lámpara Q la salida de la compuerta. La lámpara sólo se apaga cuando todos los interruptores están cerrados y permanece encendida mientras cualquiera de ellos esté abierto (ver nota de la página 39).

Circuitos integrados con compuertas NAND de varias entradas

A continuación enumeramos algunos de los circuitos integrados CMOS y TTL que contienen compuertas NAND de varias entradas. Los dispositivos de las series 74 y 74LS son de tecnología TTL y operan con una tensión de 5V. Los de las series 40 y 74C son de tecnología CMOS y operan con tensiones de 3 a 15V.

4012B, 74C20, 7420, 74LS20: 2 compuertas NAND de 4 entradas.
4023B, 74C10, 7410, 74LS10: 3 compuertas NAND de 3 entradas.
4068B, 74C30, 7430, 74LS30: 1 compuerta NAND de 8 entradas.
74LS133: 1 compuerta NAND de 13 entradas

En la figura 56 se muestra la configuración de pines de algunos de estos chips.

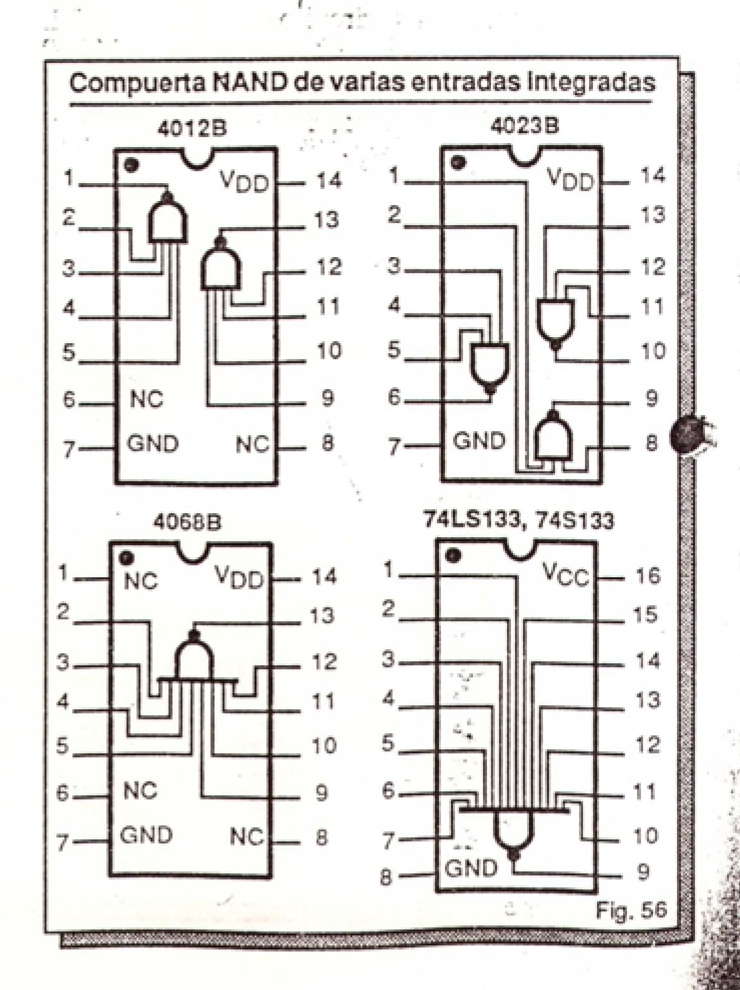
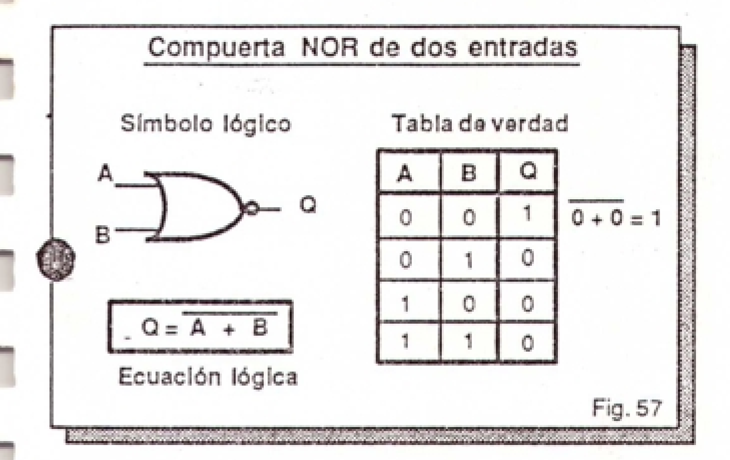


Fig. 56

Compuertas NOR de dos entradas

Una compuerta NOR es un dispositivo lógico que opera en forma exactamente opuesta a una compuerta OR, entregando una salida **alta** cuando todas sus entradas son **bajas** y una salida **baja** cuando existe por lo menos un **alto** en cualquiera de ellas.

En la figura 57 se muestran el símbolo lógico, la ecuación lógica y la tabla de verdad de una compuerta NOR de dos entradas. La expresión "$Q = \overline{A+B}$" puede leerse como "Q es igual a A o B *negado*".



A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 57

Una compuerta NOR es equivalente a una compuerta OR seguida de un inversor (figura 58). El signo (+) y la barra (—) en la ecuación lógica y la burbuja en el símbolo OR confirman esta equivalencia.

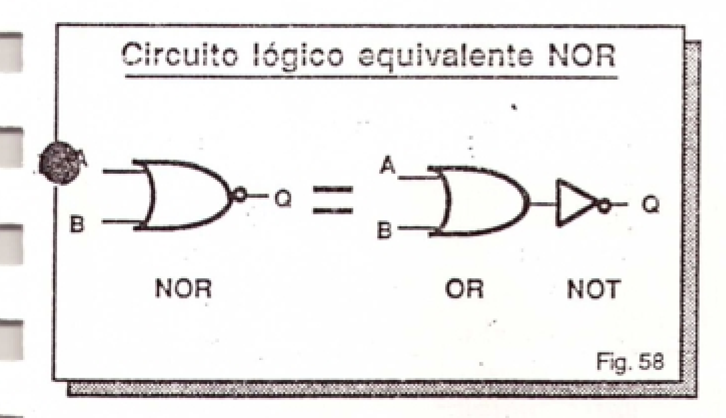


Fig. 58

La operación de una compuerta NOR es análoga a la del circuito eléctrico mostrado en la figura 59. Los interruptores A y B representan las entradas de la compuerta y la lámpara Q su salida.

Debido a que los interruptores A y B están en paralelo entre sí y con la lámpara Q, esta última sólo se enciende cuando ambos interruptores están abiertos y permanece apagada mientras cualquiera de ellos, o ambos, esté cerrado (ver nota página 39).

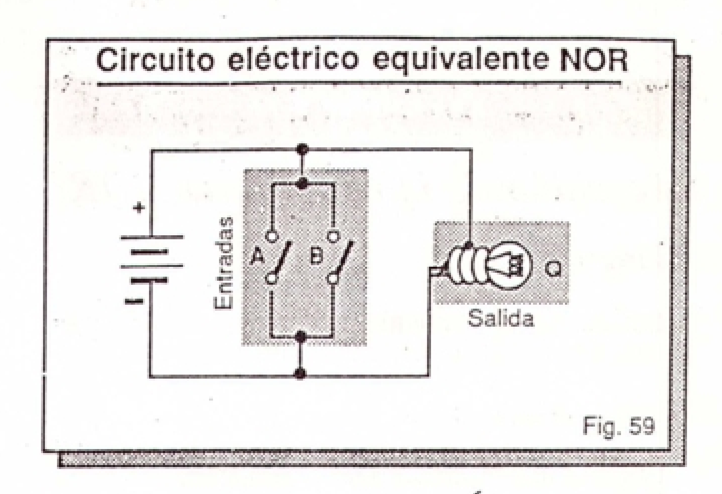


Fig. 59

Circuitos integrados con compuertas NOR de dos entradas

En la figura 60 se muestra la distribución de pines de los circuitos integrados CMOS 4001B y 74C02 y de los TTL 7402 y 74LS02. Cada uno de estos dispositivos tiene 4 compuertas NOR de 2 entradas, completamente independientes, en una misma cápsula de 14 pines.

En el siguiente experimento usted comprobará cómo trabajan las 4 compuertas NOR del circuito integrado CMOS 4001B.

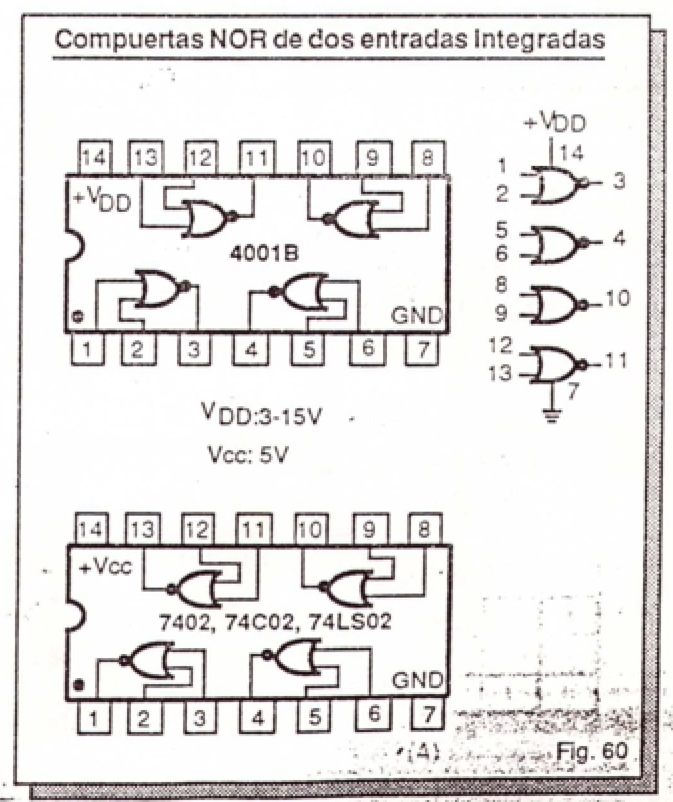


Fig. 60

EXPERIMENTO 5

Operación de la compuerta NOR

Objetivo

• Verificar experimentalmente la operación de las 4 compuertas NOR del circuito integrado 4001B.

Materiales necesarios

1 Circuito integrado 4001B (4 compuertas NOR CMOS de dos entradas).
3 Diodos emisores de luz o LED.
3 Resistencias de 1KΩ, 1/4 W.
2 Extensiones de caimán, una roja y una negra, o un conector para batería de 9 V.
12 Puentes de alambre telefónico #22 ó # 24 de 8 cm de longitud.
1 Protoboard
1 Fuente de poder de 9V, 300 mA (kit CEKIT K11) o una batería alcalina de 9 V.

Procedimiento

Paso 1. Arme el circuito de la figura E9 sobre su protoboard. Conecte a tierra todas las entradas no utilizadas. Revise el circuito y corrija los posibles errores de montaje antes de conectar la batería o la fuente. Observe todas las precauciones de manipulación de dispositivos CMOS.

Paso 2. Complete la tabla E5 observando el nivel lógico resultante en la salida Q cuando se aplican las combinaciones de niveles altos (1's) y bajos (0's) en las entradas A y B. Un LED encendido indica la presencia de un 1 lógico en ese punto y un LED apagado la presencia de un 0.

Entradas		Salida
A	B	$Q = \overline{A+B}$
0	0	
0	1	
1	0	
1	1	

Tabla E5

Paso 3. Compare los resultados de este experimento con los del experimento 2 y obtenga sus propias conclusiones.

Paso 4. Desconecte la fuente de alimentación y repita el experimento con cada una de las 3 compuertas NOR restantes. No olvide conectar a tierra las entradas no utilizadas. Este último paso le permitirá comprobar si todas las compuertas del circuito integrado 4001B están operando correctamente.

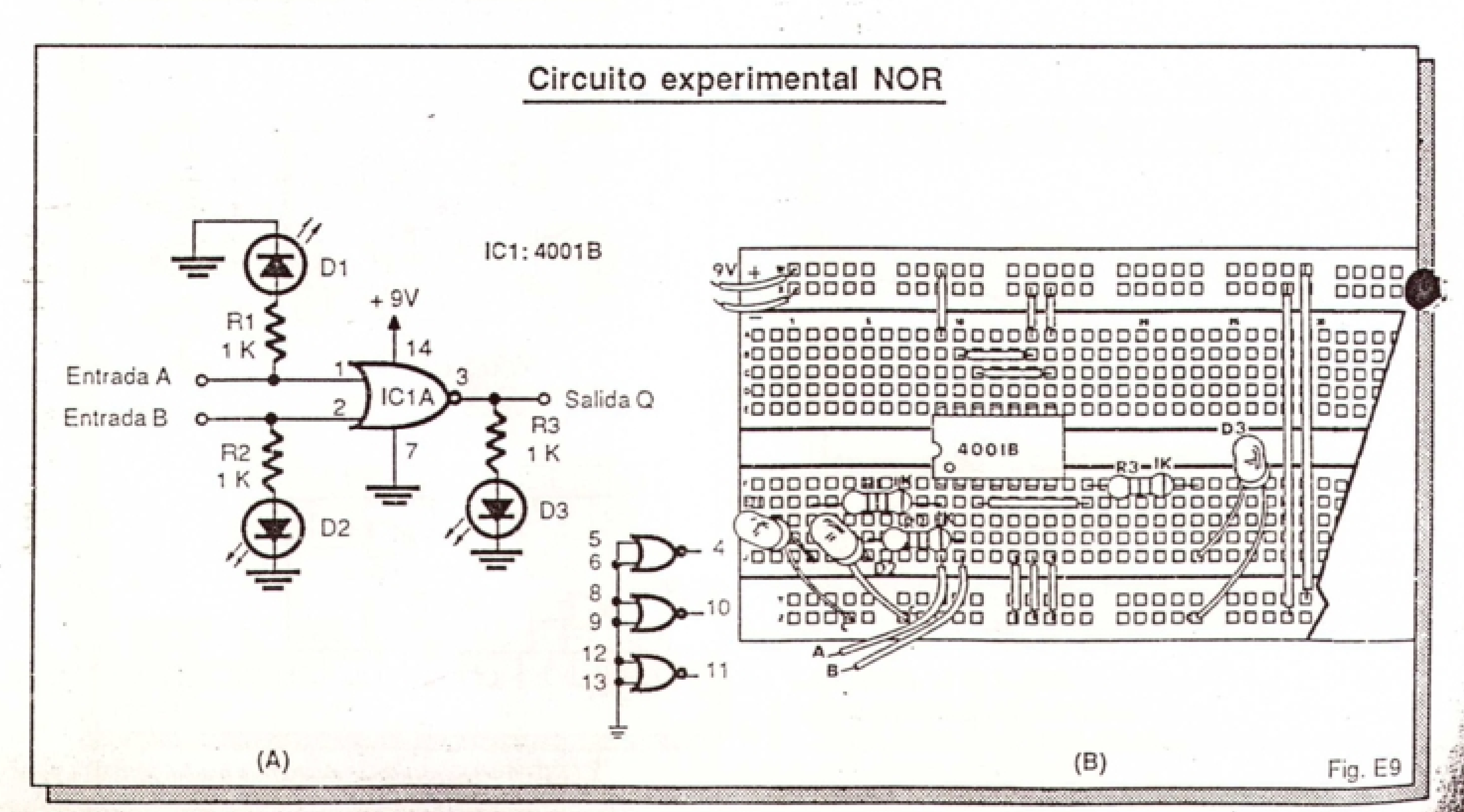
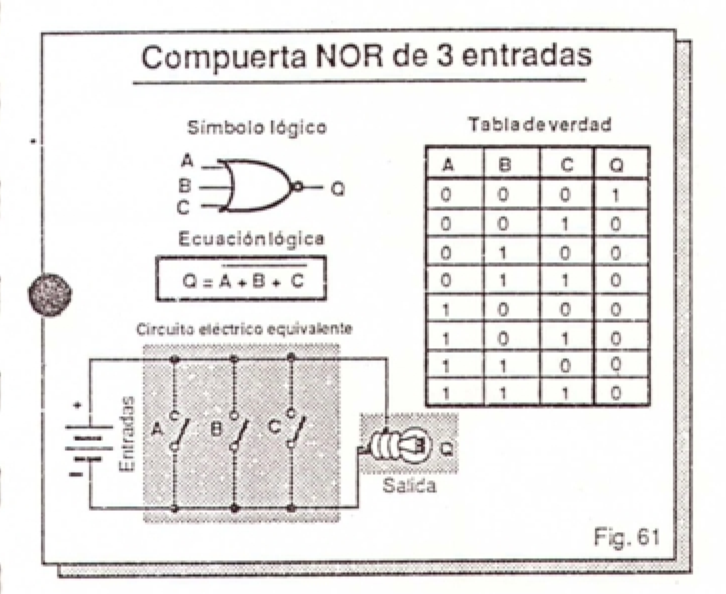


Fig. E9

Compuertas NOR de varias entradas

En general, una compuerta NOR de dos o más entradas entrega un nivel lógico **alto** en su salida cuando todas sus entradas están en **bajo** y un **bajo** cuando por lo menos una de ellas está en **alto**.

En la figura 61, por ejemplo, se muestran el símbolo lógico, el circuito equivalente, la tabla de verdad y la representación eléctrica de una compuerta NOR de tres entradas. La expresión "$Q = \overline{A+B+C}$" puede leerse como "Q es igual a A o B o C *negado*.



A	B	C	Q
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Fig. 61

En el circuito eléctrico equivalente, los interruptores A, B y C representan las entradas de la compuerta y la lámpara Q su salida. La lámpara Q sólo se enciende cuando todos los interruptores están abiertos y permanece apagada mientras cualquiera de ellos esté cerrado (ver nota página 39).

Circuitos integrados con compuertas NOR de varias entradas

Los siguientes son algunos ejemplos de circuitos integrados TTL y CMOS que contienen compuertas NOR de varias entradas. Los dispositivos de las series 40 y 74C son de tecnología CMOS y los de las series 74 y 74LS son de tecnología TTL.

4000: 2 compuertas NOR de 3 entradas y un inversor.
4002: 2 compuertas NOR de 4 entradas.
4025B, 7427, 74LS27: 3 compuertas NOR de 3 entradas.
4078B: 1 compuerta NOR de 8 entradas.
74LS260: 2 compuertas NOR de 5 entradas.

En la figura 62 se muestra la distribución de pines de algunos de estos chips.

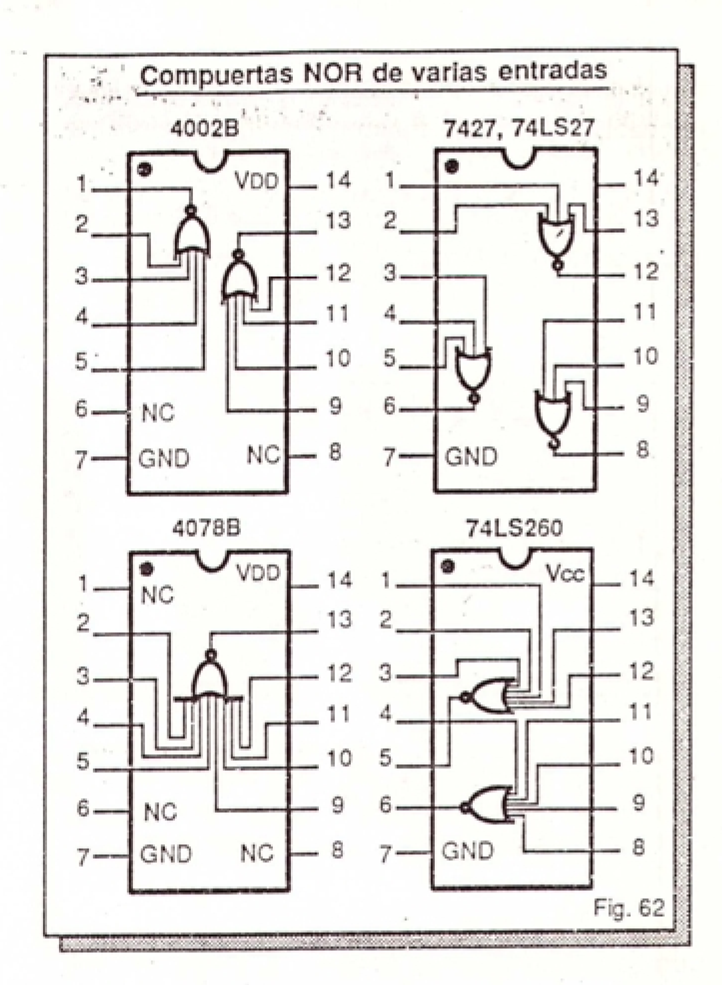
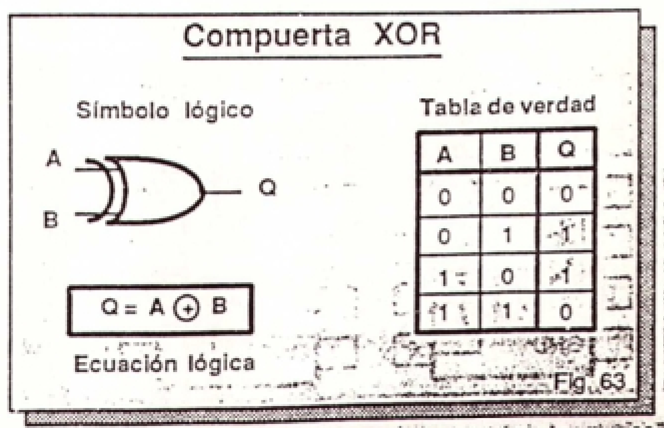


Fig. 62

COMPUERTAS OR EXCLUSIVAS O XOR

Una compuerta OR exclusiva o XOR es un dispositivo digital con dos líneas de entrada y una línea de salida que entrega una salida **alta** cuando una de sus entradas es **baja** y la otra **alta** y una salida **baja** cuando sus entradas son ambas **altas** o ambas **bajas**.

Es decir, una compuerta XOR informa, mediante un **1** en su salida, cuándo las dos entradas tienen estados lógicos diferentes. Esta característica permite que se utilice como verificador de desigualdad en comparadores y otros circuitos aritméticos.



A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Fig. 63

En la figura 63 se muestran el símbolo lógico, la ecuación y la tabla funcional de una compuerta XOR. La expresión "Q=A⊕B" puede leerse como "Q es igual a A o B *exclusiva*". La operación de una compuerta XOR es análoga a la del circuito eléctrico mostrado en la figura 64. Los interruptores A y B simulan las entradas y la lámpara Q la salida.

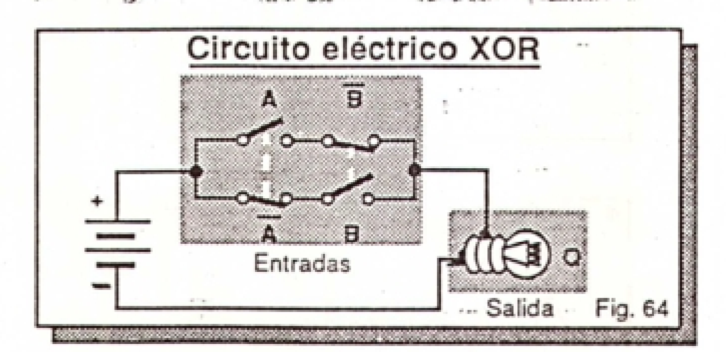


Fig. 64

Los interruptores Ā y B̄ están acoplados mecánicamente a los interruptores A y B de modo que cuando A se cierra entonces Ā se abre y viceversa. Lo mismo puede decirse del interruptor B con respecto al B̄.

Cuando los interruptores A y B están ambos cerrados o ambos abiertos la lámpara no prende. En cambio, cuando uno de ellos, por ejemplo el A, está abierto y el otro, B, está cerrado, entonces la lámpara se enciende.

Circuitos integrados con compuertas XOR

En la figura 65 se muestran los diagramas de pines de los circuitos integrados TTL 7486, 74LS86 y 74LS386 y CMOS 74C86, 4030B y 4070B. Cada uno de estos dispositivos incorpora 4 compuertas XOR independientes en una misma cápsula de 14 pines.

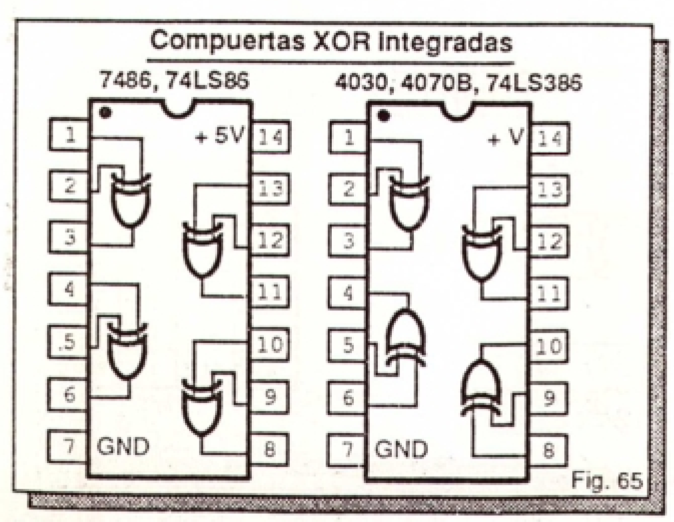


Fig. 65

EXPERIMENTO 6

Operación de la compuerta XOR

Objetivo

- Verificar experimentalmente la operación de las 4 compuertas XOR del circuito integrado 4070B.

Materiales necesarios

1 Circuito integrado 4070B (4 compuertas XOR CMOS de dos entradas).
3 Diodos emisores de luz o LED.
3 Resistencias de 1KΩ, 1/4 W.
2 Extensiones de caimán, una roja y una negra, o un conector para batería de 9 V.
12 Puentes de alambre telefónico #22 ó # 24 de 8 cm de longitud.
1 Protoboard.
1 Fuente de poder de 9V,300 mA (kit CEKIT K11) o una batería alcalina de 9 V.

Procedimiento

Paso 1. Arme el circuito de la figura E10 sobre su protoboard. Conecte a tierra todas las entradas no utilizadas.

Revise el circuito y corrija los posibles errores de montaje antes de conectar la batería o la fuente. Observe todas las precauciones de manipulación de los dispositivos CMOS.

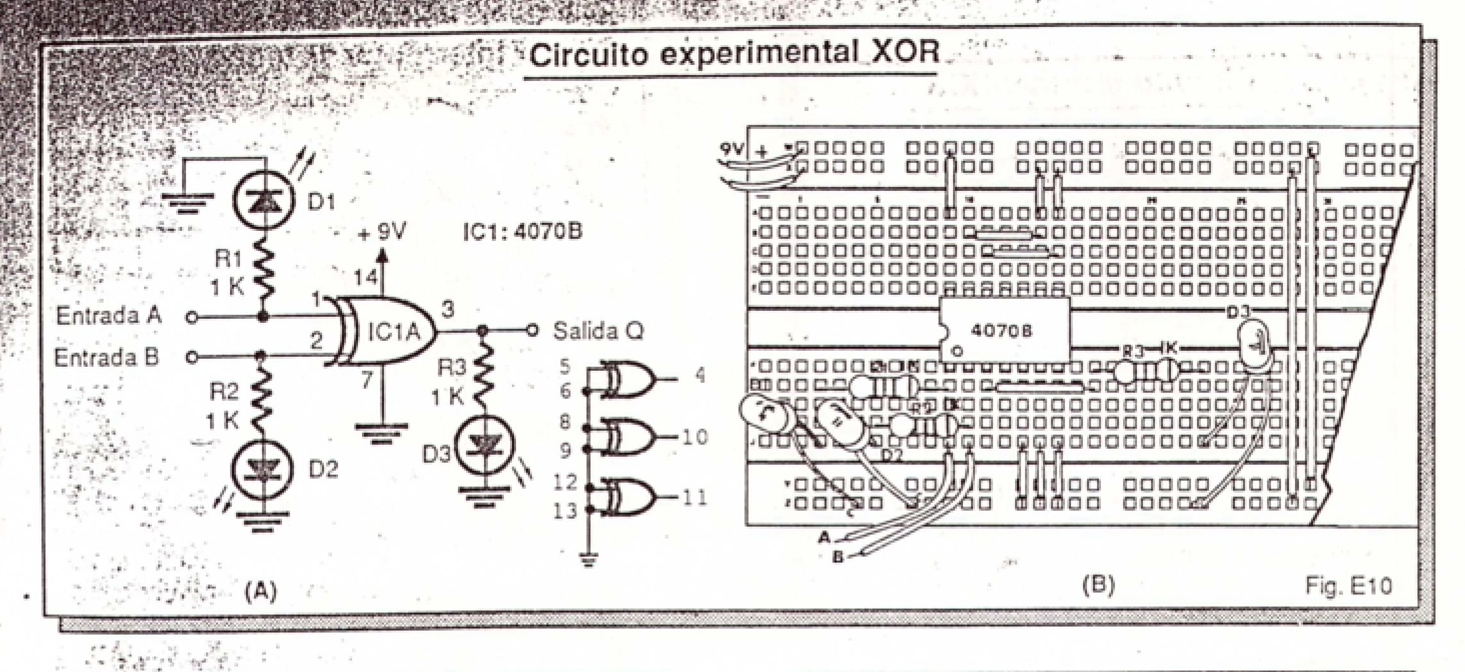
Paso 2. Complete la tabla E6 observando el nivel lógico resultante en la salida Q cuando se aplican las combinaciones de niveles altos (1's) y bajos (0's) en las entradas A y B.

Un LED encendido indica la presencia de un **1** lógico en un punto y un LED apagado la presencia de un **0**.

Paso 3. Compare sus resultados con los obtenidos en experimentos anteriores, relacionados con otras compuertas, y obtenga sus propias conclusiones.

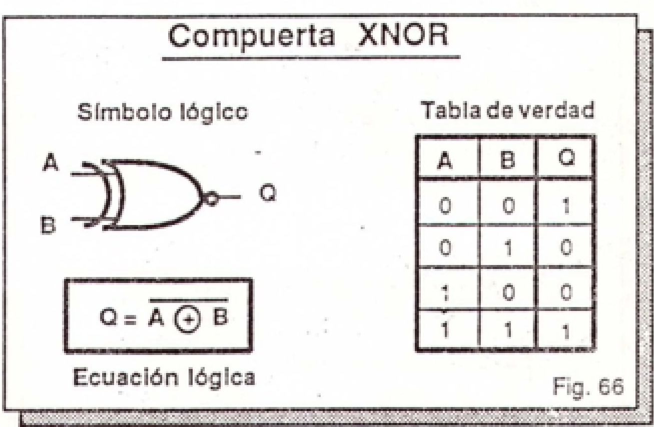
Paso 4. Desconecte la fuente de alimentación y repita el experimento con cada una de las 3 compuertas XOR restantes. No olvide conectar a tierra las entradas no utilizadas.

Este último paso le permitirá comprobar si todas las compuertas del circuito integrado 4070B están operando correctamente.



Entradas		Salida
A	B	Q = A⊕B
0	0	
0	1	
1	0	
1	1	

Tabla E6



COMPUERTAS NOR EXCLUSIVAS O XNOR

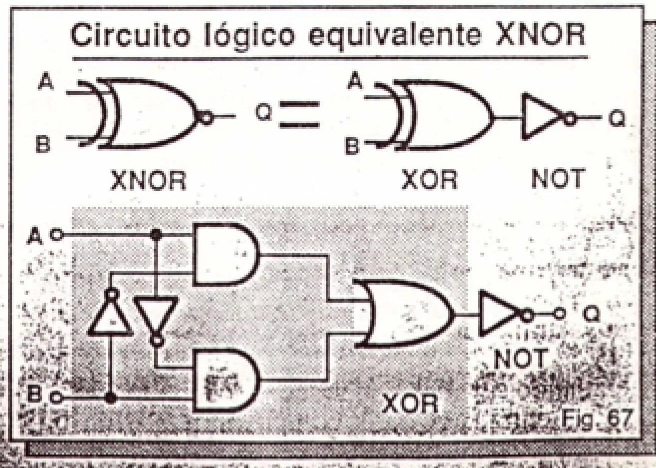
Una compuerta NOR exclusiva o XNOR opera en forma exactamente opuesta a una compuerta XOR, entregando una salida **baja** cuando una de sus entrada es **baja** y la otra **alta**, y una salida **alta** cuando sus entradas son ambas **altas** o ambas **bajas**

Es decir, una compuerta XNOR indica, mediante un **1** lógico en su salida, cuándo las dos entradas tienen el mismo estado. Esta característica la hace ideal para su utilización como verificador de igualdad en comparadores y otros circuitos aritméticos

En la figura 66 se muestran el símbolo lógico y la tabla funcional de una compuerta XNOR. La expresión "Q=A⊕B" puede leerse como "Q es igual a A ó B exclusiva *negada*".

Para efectos prácticos, una compuerta XNOR es igual a una compuerta XOR seguida de un inversor. En la figura 67 se indica esta equivalencia y se muestra un circuito lógico de compuertas AND, OR y NOT que opera exactamente como una compuerta XNOR.

La operación de una compuerta XNOR es análoga a la del circuito eléctrico mostrado en la figura 68. Los interruptores A y B representan las entrada de la compuerta y la lámpara Q su salida. Los interruptores A y B están acoplados de la misma forma que en el circuito XOR (ver nota página 39).



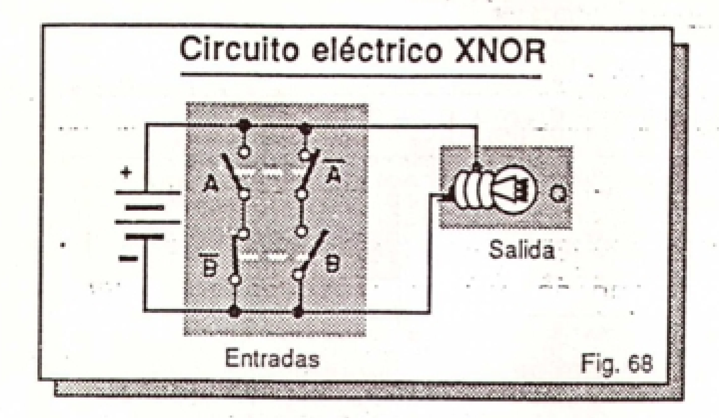


Fig. 68

Cuando los interruptores A y B están ambos cerrados o ambos abiertos, la lámpara se enciende. En cambio, cuando uno de ellos, por ejemplo el A, está abierto y el otro, B, está cerrado, entonces la lámpara no se enciende.

Circuitos integrados con compuertas XNOR

En la figura 69 se muestra la configuración de pines del circuito integrado 4077B. Este dispositivo CMOS contiene 4 compuertas XNOR independientes en una misma cápsula tipo DIP de 14 pines.

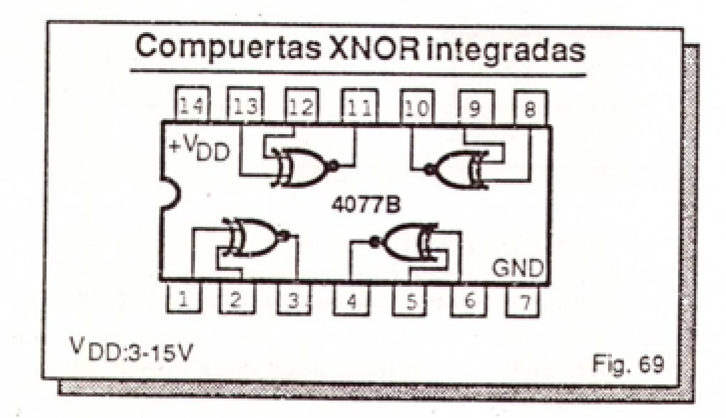


Fig. 69

CIRCUITOS DE APLICACION

A continuación mostraremos algunos circuitos prácticos de aplicación de las compuertas estudiadas en esta lección. Describiremos, entre otros, un interruptor de toque, un oscilador de audio, un amplificador de voltaje y un detector de humedad.

Interruptor de toque

El circuito de la figura 70 permite conectar o desconectar una carga de potencia por contacto de la piel con dos puntos metálicos "a" y "b" muy próximos. Utiliza una compuerta NAND 4011B.

Cuando se tocan con un dedo los puntos de contacto, la entrada A de la compuerta recibe un **bajo** por efecto de una corriente muy débil desarrollada a

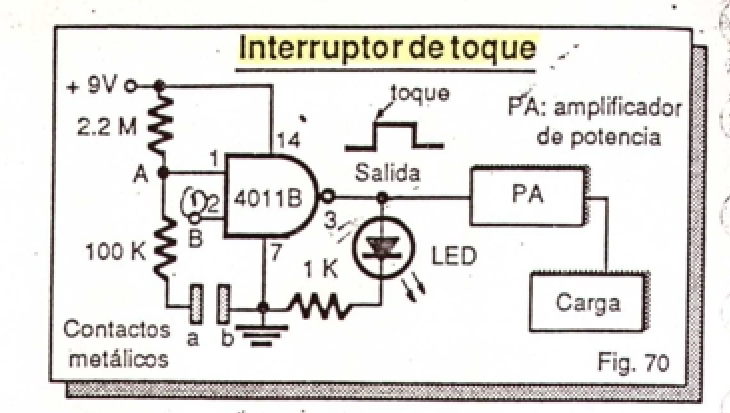


Fig. 70

través de la piel. Como resultado, la salida se hace **alta** y el amplificador de potencia energiza la carga.

La entrada B puede utilizarse para habilitar o inhibir la operación del interruptor. Con la entrada B en **alto**, el circuito opera como un interruptor de toque. Con la entrada B en **bajo**, la carga permanece constantemente energizada.

Esta aplicación se puede implementar en la práctica utilizando como amplificador de potencia un relé de estado sólido (SSR), un triac o una interface similar. La forma de controlar cargas de potencia mediante circuitos lógicos se explica en la lección 8.

Oscilador de audio controlado

En la figura 71 se muestra un circuito que produce un tono audible de 1 KHz en un parlante. Utiliza las 4 compuertas NOR de un circuito integrado 4001B. La frecuencia se puede aumentar disminuyendo el valor de C1 o viceversa. Si el parlante se sustituye por un LED, el circuito se convierte en una luz intermitente.

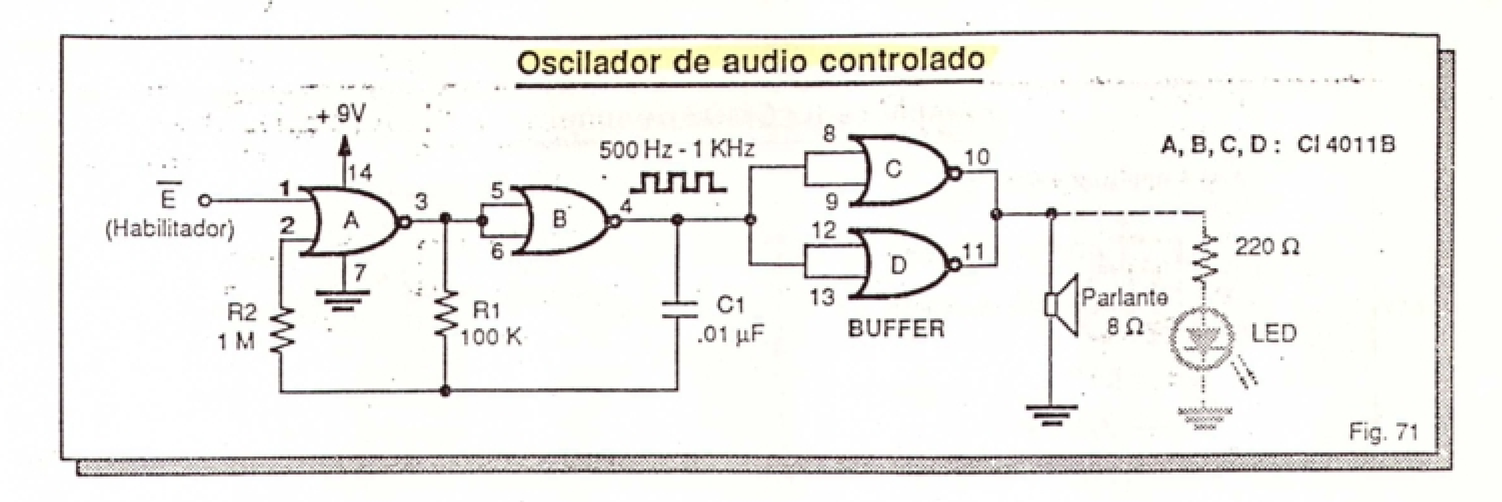
Las compuertas C y D, conectadas en paralelo, configuran lo que se denomina un buffer o amplificador de corriente.

Los *buffer* son necesarios para impulsar cargas que, como el parlante, exigen más corriente de la que una salida lógica puede suministrar.

Importante: No conecte compuertas TTL comunes en paralelo con la intención de obtener mayor capacidad de corriente porque puede destruirlas. La configuración amplificadora de corriente mostrada en la figura 71 sólo es posible con compuertas CMOS o con compuertas TTL de colector abierto.

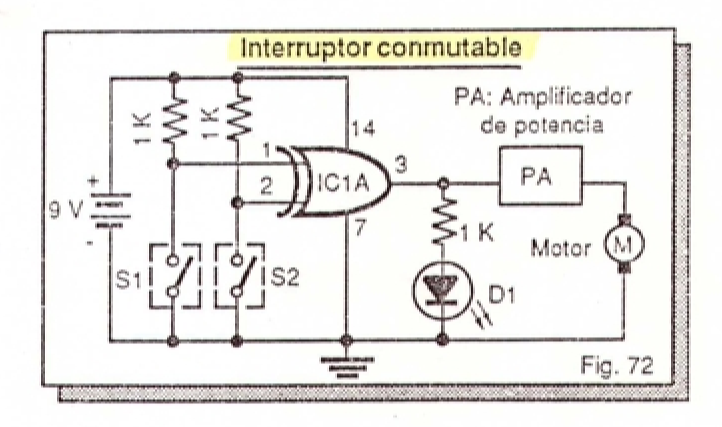
La entrada habilitadora ($\overline{E}$) controla la operación del circuito en forma automática. Cuando $\overline{E}$ es de nivel **bajo** (0V), el oscilador opera y emite un tono. Cuando E es de nivel **alto** (9V), el oscilador se bloquea. Esta característica permite utilizar el oscilador como alarma.





Interruptor conmutable

En la figura 72 se muestra un circuito que permite conectar o desconectar una carga de potencia (por ejemplo el motor de una máquina) desde dos puntos diferentes. Utiliza una de las 4 compuertas XOR de un circuito integrado 4070B.



Con los dos interruptores remotos S1 y S2 cerrados o abiertos, la salida de la compuerta es un alto y el motor no se energiza. Cuando uno de ellos está abierto y el otro cerrado, la salida de la compuerta es alta y el amplificador de potencia energiza el motor.

Amplificador de voltaje CMOS

Además de su función básica, realizar operaciones lógicas y tomar decisiones, las compuertas CMOS se pueden utilizar como amplificadores, osciladores y otras aplicaciones típicamente análogas. Esto no es posible con compuertas TTL, debido a sus características intrínsecas.

En la figura 73A, por ejemplo, se muestra el circuito de un amplificador de voltaje CMOS utilizando una compuerta NAND 4011B. Su configuración es similar a la del amplificador *lineal* o análogo de la figura 73B. Este último utiliza el popular circuito integrado 741, un *amplificador operacional* de bajo costo.

El amplificador operacional es un dispositivo análogo muy versátil que reúne las características de un amplificador ideal: alta ganancia de voltaje, alta impedancia de entrada, baja impedancia de salida y excelente respuesta de frecuencia. Se utiliza como oscilador, comparador, etc., y es el elemento básico de la mayoría de circuitos análogos.

Los amplificadores CMOS sustituyen a los amplificadores operacionales en muchos casos. Las ventajas claves de los amplificadores CMOS son su conveniencia, su simplicidad, su alta impedancia de entrada y su buena respuesta de frecuencia. Esta última se extiende por encima de 1 MHz.

En los circuitos de las figuras 73A y 73B, la ganancia de voltaje AV (cantidad de veces que recibe amplificación la señal de entrada) depende de los valores de las resistencias R1 y R2 como se indica.

Por ejemplo, si R2=10 MΩ y R1=1 MΩ, la ganancia de voltaje es AV=10/1=10: si se aplica a la entrada una señal de 100 mV, se obtiene a la salida una señal de 10x100 mV=1000 mV, es decir de 1V; si se aplica una señal de 200 mV se obtiene una señal de 2V, y así sucesivamente.

El voltaje de entrada (Vin) debe elegirse de modo que el voltaje de salida (Vout) resultante no sea mayor que el voltaje de la fuente porque se produce distorsión. La resistencia R2 se denomina resistencia de *realimentación* porque su función es tomar una parte de la señal de salida y enviarla a la entrada.

CIRCUITOS VARIOS CON COMPUERTAS

A continuación se presentan una serie de circuitos digitales prácticos muy variados que utilizan compuertas lógicas. Cada uno está acompañado de una breve descripción de lo que hace y cómo se utiliza.

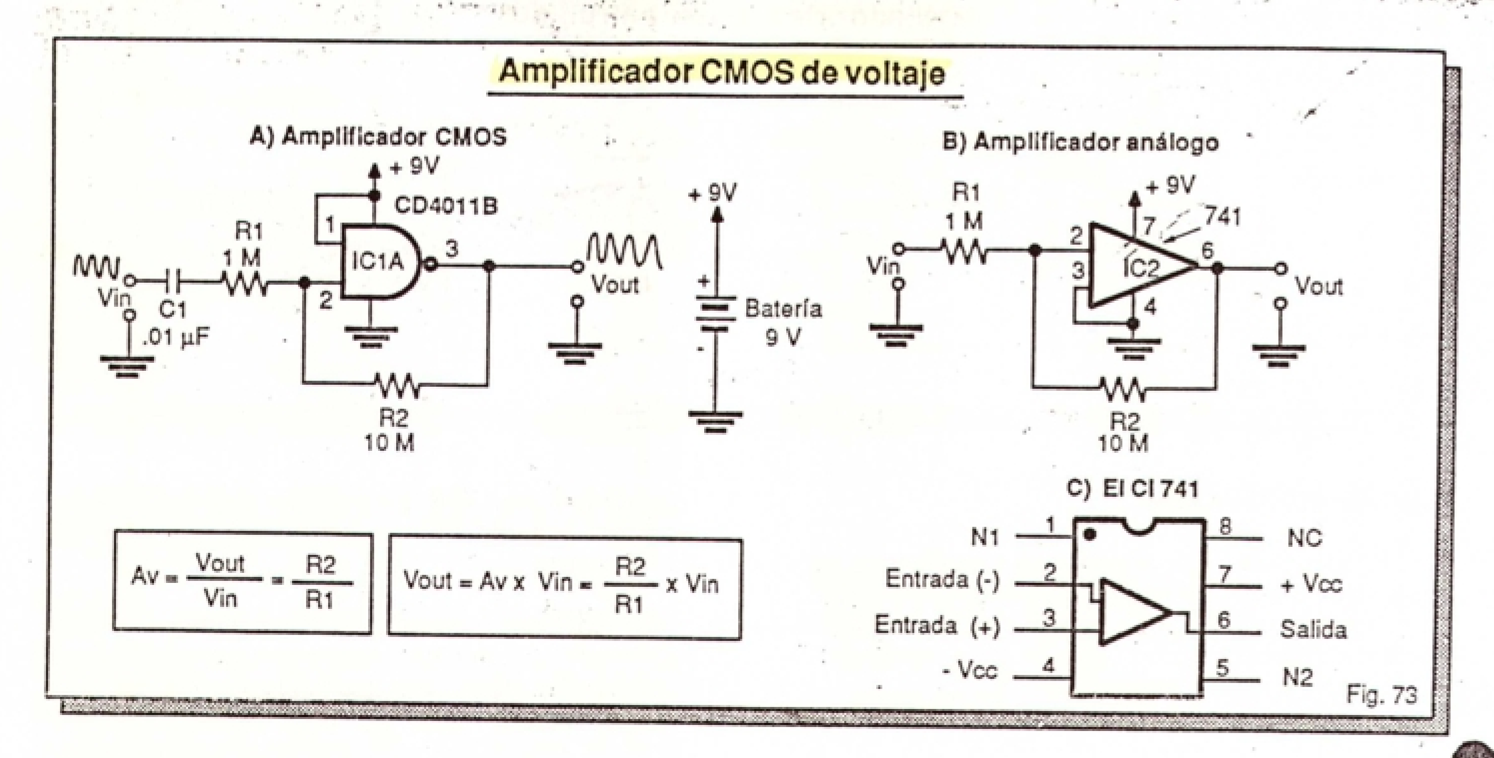


Fig. 73

Todos estos circuitos han sido plenamente comprobados. Armelos en su protoboard, experimente con ellos, aprenda y diviértase.

Luz intermitente

En la figura 74, el LED parpadea a una frecuencia de 1 Hz, determinada por los valores de R1 y C1. Con C1= 0.01 µF, el circuito puede utilizarse como trasmisor óptico de pulsos de 1 KHz.

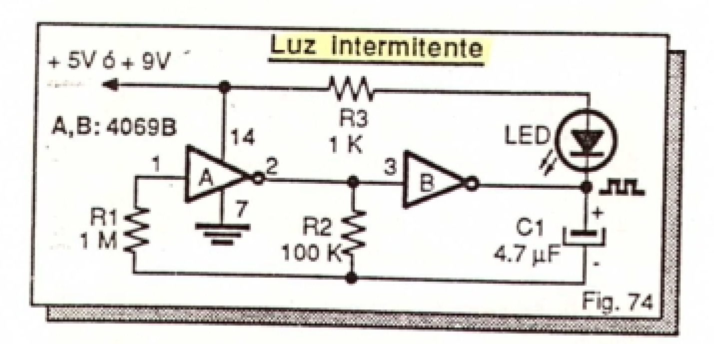


Fig. 74

Interruptor lógico CMOS sin rebote

Dependiendo de la posición de S1, el circuito de la figura 75 entrega un nivel de salida **alto** (H) o bajo (L) limpio, libre de ruido y pulsos de rebote. Muy útil para experimentar con circuitos digitales.

Temporizador de toque

El circuito de la figura 76 proporciona un pulso de 1 segundo de duración cuando se toca momentáneamente con la piel un sensor táctil. Puede utilizar

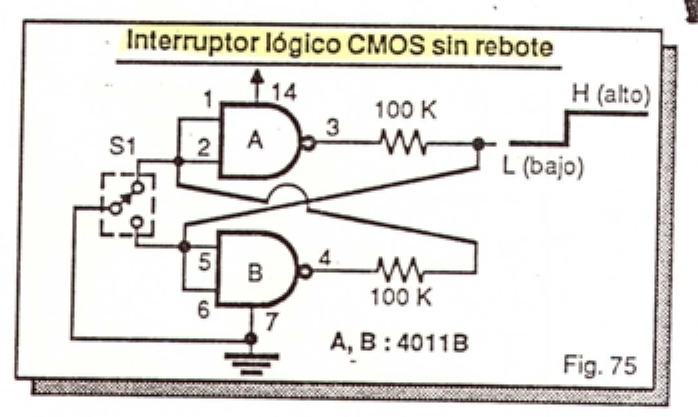


Fig. 75

como sensor dos contactos metálicos muy próximo. Para aumentar la duración del pulso (T), incremente el valor de C1 o de R3.

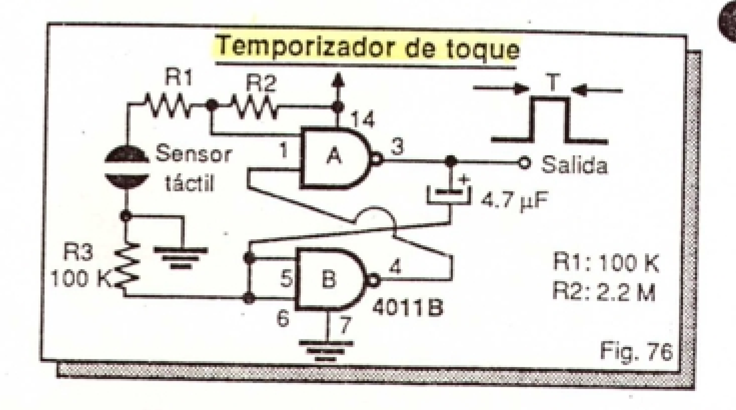


Fig. 76

Regulador de luz (dimmer)

En el circuito de la figura 77, el potenciómetro P controla la luminosidad de la lámpara incandescente

L (9 V, 250 mA). Las dos secciones del 4001 y componentes asociados forman un oscilador. Los transistores Q1 y Q2 pueden ser del tipo 2N3904 y los diodos D1 y D2 del tipo 1N4004 o similares.

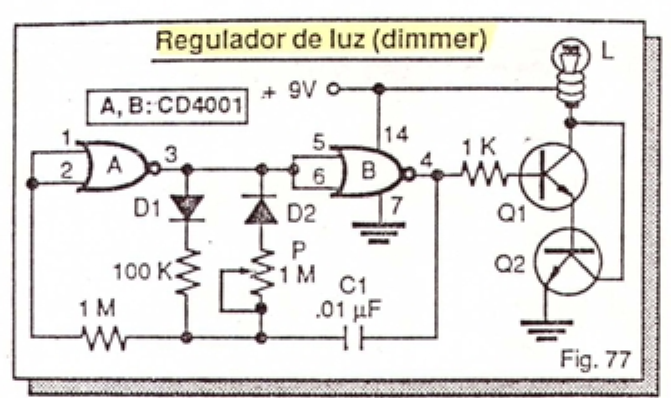


Fig. 77

Detector de humedad de plantas



El circuito de la figura 78 permite determinar cuándo el suelo que rodea una planta está escaso de agua o seco y cuándo tiene la cantidad apropiada (húmedo). Las puntas de prueba pueden ser dos alambres desnudos de cobre de 10 cm de longitud separados 1 cm. El LED1 se prende cuando la planta está seca y el LED2 cuando la planta está húmeda.

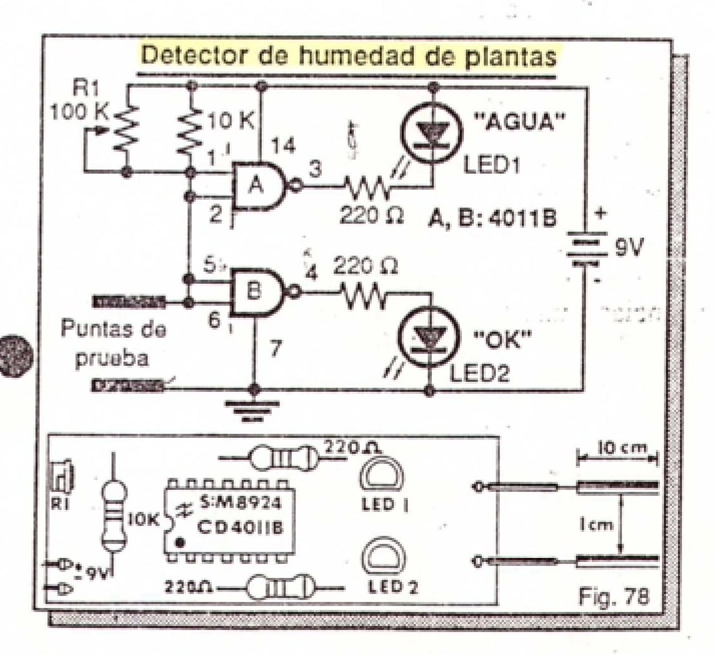


Fig. 78

Para calibrar el circuito, conecte la batería e introduzca suavemente las puntas de prueba en una matera que contenga una planta próxima a necesitar agua. Gire el potenciómetro R1 hasta que el LED2 ("OK") justamente se encienda y retrocédalo un poco hasta que justamente se apague. El LED1 ("AGUA") debe encenderse.

ACTIVIDAD PRACTICA Nº 4

Construcción del módulo 1. Parte 3

En esta actividad instalaremos la resistencia R3 y el LED D3 del módulo 1. Localice estos componentes en el diagrama de la figura A1. D3 visualiza el estado lógico (1 ó 0) de la señal aplicada a la entrada IN3 y R3 protege la entrada del inversor C contra descargas electrostáticas.

Componentes y herramientas necesarios

1 diodo emisor de luz (LED). D3.
1 resistencia de 1 KΩ. R3.
1 circuito impreso CEKIT ED-1. PC1.
1 cautín de baja potencia (15 a 35 W).
1 cortafríos o pinza de corte.
1 pinza de puntas planas.
Soldadura de estaño 60/40.

Procedimiento

Tome el LED D3 y la resistencia R3. Instale y suelde estos componentes en la tarjeta de circuito impreso como se muestra en la figura A6. Identifíquelos de la misma forma que en la actividad 2. Después de cortar los terminales sobrantes de R3 y D3, consérvelos: le servirán para insertar el módulo.

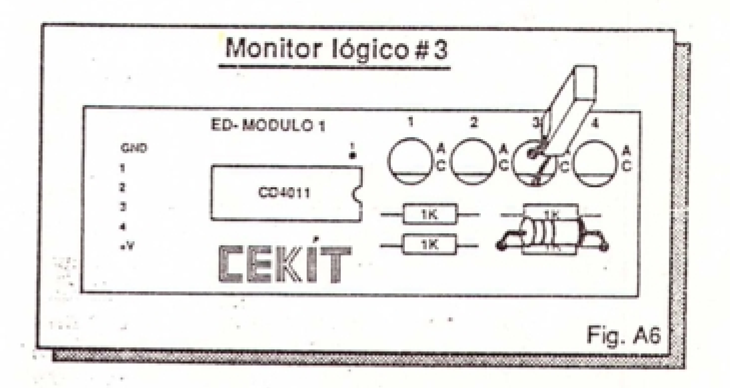


Fig. A6

Tenga siempre presente que soldar bien es un arte. Las causas por las cuales un proyecto no funciona se deben muchas veces a conexiones mal soldadas: demasiada o muy poca soldadura; cautín o soldadura de mala calidad; soldaduras frías, etc.

Las herramientas para soldar componentes electrónicos vienen en una gran variedad de estilos, tamaños y formas. Las más conocidas son las pistolas (para trabajos eléctricos) y los cautines, tanto de temperatura fija como controlada.

Existen varios tipos de puntas para cautín que se adaptan a diferentes necesidades.

Compuertas especiales

- *Compuertas de tres estados*
- *Compuertas de colector abierto*
- *Compuertas Schmitt-trigger*
- *Compuertas buffer*

En esta lección estudiaremos una serie de compuertas especiales desarrolladas por los fabricantes de circuitos integrados para resolver ciertos problemas y algunas necesidades que se presentan con frecuencia en el diseño de sistemas digitales.

Analizaremos principalmente las compuertas con salidas de tres estados, las compuertas con salidas de colector abierto, las compuertas con entradas *Schmitt-trigger*, y los *buffers*. Todos estos dispositivos son ampliamente utilizados en toda clase de equipos digitales.

COMPUERTAS DE TRES ESTADOS

Las compuertas de tres estados son un tipo especial de dispositivos lógicos que además de los dos estados comunes (**alto** y **bajo** ó **1** y **0**) pueden proporcionar un tercer estado de salida llamado Hi-Z o de*alta impedancia*, similar a un circuito abierto.

Como hemos visto hasta el momento, los circuitos lógicos digitales responden a dos estados: el **alto** ó **1** lógico y el **bajo** ó **0** lógico. En un dispositivo TTL, por ejemplo, una entrada o una salida determinada sólo podrá estar a un nivel **alto** entre 2.4 V y 5 V o a un nivel **bajo** entre 0 V y 0.8 V. Cualquier otro nivel de voltaje es inválido.

Existen situaciones donde es deseable desconectar o aislar el terminal de salida del resto de la circuitería interna con el fin de lograr que ese punto quede libre o flotante, es decir, que no esté ni en **alto** ni en **bajo**. La solución a ese problema es la llamada **Lógica de tres estados** o **Lógica** ***tri-state*** ®.

Los dispositivos lógicos de tres estados tienen tres niveles de salida llamados **alto**, **bajo** y *desconectado*. Este último se denomina también estado de **alta impedancia** o estado **Hi-Z**. *Tri-state* es una marca registrada de National Semiconductor.

En la figura 79 se muestran los símbolos utilizados en los circuitos lógicos digitales para representar las compuertas tri-state (léase "triestéit") más comunes y se resume la operación de los inversores de este tipo. Todos los dispositivos tri-state se caracterizan por poseer una entrada de control adicional llamada *habilitador* o línea de *inhibición*.

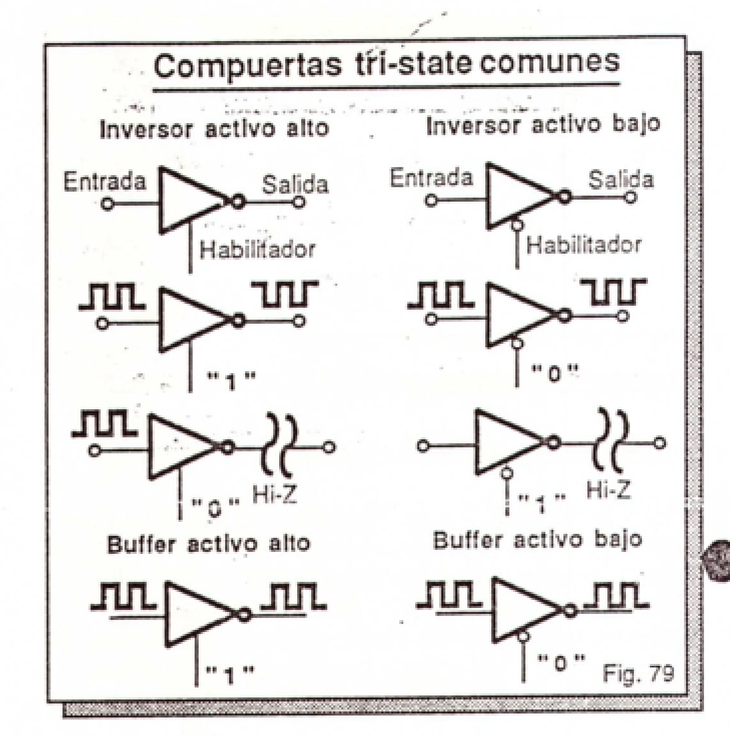


Fig. 79

Cuando la entrada de inhibición se activa, la salida se sitúa en el estado de alta impedancia. Mientras esta entrada no esté activada, el dispositivo desarrolla su lógica normal. La entrada de inhibición se activa con un **0** ó un **1** dependiendo del diseño.

La figura 80 muestra en forma simplificada cómo trabaja un dispositivo lógico de 3 estados. Para afianzar mejor los conceptos que se explican a continuación, le sugerimos montar este circuito sobre su protoboard. Sólo necesita dos interruptores, 4 resistencias y un LED.

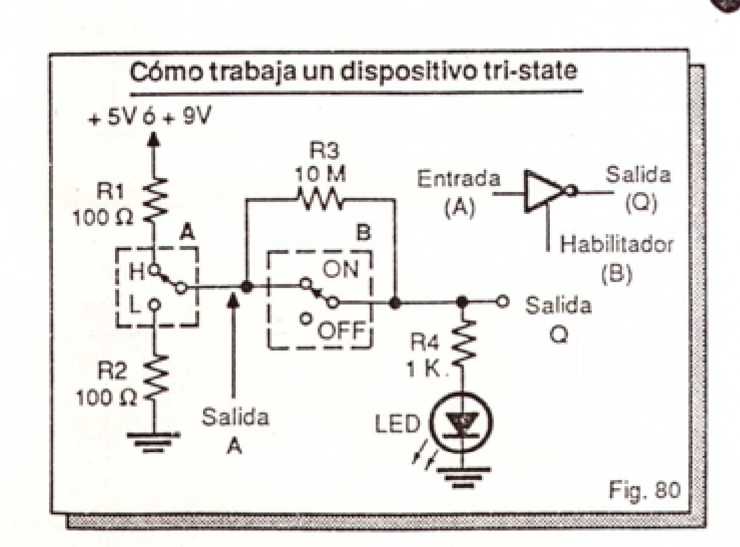


Fig. 80

El interruptor A representa la línea de entrada, el interruptor B la línea de inhibición y el LED Q el estado de la salida. Las resistencias R1 y R2 son de un valor muy bajo. R3 es una resistencia de alto valor. En este caso, R1=R2=100Ω y R3=10 MΩ. R4 limita la corriente a través del LED.

En condiciones normales, con el interruptor B cerrado, el interruptor A suministra un **alto** (+5V) a la salida a través de R1 cuando está en la posición "H", y un **bajo** (0V) a través de R2 cuando está en la posición "L". En el primer caso el LED se enciende y en el segundo se apaga.

La función *tri-state* la provee el interruptor B. Cuando B está cerrado ("on"), el terminal de salida queda conectado a la salida del interruptor A y el circuito opera tal como se ha descrito. El estado de la entrada se refleja a la salida.

Cuando B está abierto ("off"), el terminal de salida queda aislado o desconectado de la entrada a través de una resistencia muy alta, de valor R3. La salida ignora lo que sucede en la entrada y viceversa. El LED no se enciende porque la corriente que circula por él es muy débil o no la hay.

Sin embargo, esto no implica que la salida esté en **bajo**. En realidad, bajo esta condición de *alta impedancia*, la salida no está ni en **alto** ni en **bajo**: está flotando. Podemos aplicar externamente un **alto** o un **bajo** al punto de salida y él adoptará el estado que le impongamos, sin que el resto del circuito se entere ni se produzca una situación anormal.

El LED simplemente indicará el estado lógico de la señal externa. Por ejemplo, si conectamos la salida a +5V (nivel **alto**), el LED se prende y si lo conectamos a tierra (nivel **bajo**) se apaga. En otras palabras, bajo el estado Hi-Z podemos utilizar libremente la salida de un dispositivo *tri-state* sin que se afecte el circuito.

Esta característica hace los dispositivos *tri-state* muy útiles en aplicaciones donde se necesita trasferir permanentemente información entre diversos puntos de entrada y de salida utilizando la mínima cantidad posible de líneas de comunicación. Un ejemplo muy común son los *buses* en los sistemas con microprocesadores (figura 81).

Un *bus* es un conjunto de líneas digitales que transportan una información común. En los sistemas de microprocesador todo el flujo y control de información se realiza a través de tres buses tri-state llamados 'de datos', 'de control' y 'de direcciones'.

El primero intercambia datos entre el microprocesador o CPU, la memoria y los puertos de entrada/salida (I/O); el segundo trae o lleva datos

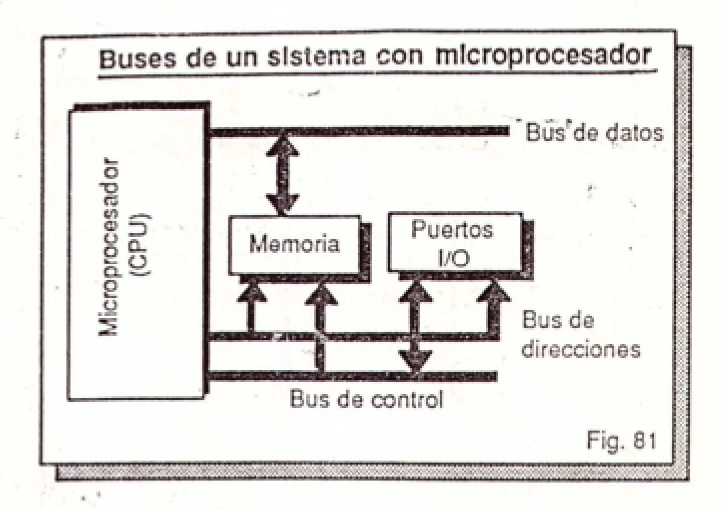


Fig. 81

desde o hacia la memoria y el tercero controla y sincroniza la operación de todo el sistema.

Circuitos integrados con compuertas tri-state.

Los siguientes son algunos ejemplos de circuitos integrados TTL y CMOS que contienen compuertas con salidas *tri-state*. Los dispositivos de las series 40 y 45 son de tecnología CMOS y los de las series 74, 74LS y 74S son de tecnología TTL. Las compuertas *buffer* se estudian más adelante, en esta misma lección.

74125, 74LS125: 4 buffers no inversores activos en **bajo**.
74126, 74LS126: 4 buffers no inversores activos en **alto**.
74S134: 1 compuerta NAND de 12 entradas activa en bajo.
74C240, 74LS240: 8 buffers inversores *Schmitt trigger* activos en **bajo**.
74LS241: 8 buffers no inversores *Schmitt trigger* activos en alto.
74C244, 74LS244: 8 buffers no inversores *Schmitt trigger* activos en **bajo**.
74365, 74LS365, 74367, 74LS367: 6 buffers no inversores activos en **bajo**.
74366, 74LS366, 74368, 74LS368: 6 buffers inversores activos en bajo.

En la figura 82 se muestra la configuración de pines de algunos de estos chips.

Los circuitos integrados 74368 y 74LS368, por ejemplo, contienen 6 inversores con salidas de tres estados comandados por dos líneas de control o inhibición **G1** y **G2**. La línea **G1** controla la operación de los 4 primeros inversores y la línea **G2** la de los 2 restantes (figura 83).

En condiciones normales, con G1 ó G2 en **bajo** (0), cada una de estas compuertas se comporta como un inversor convencional. Cuando G1 ó G2 están en **alto (1)**, las salidas respectivas entran al esta-

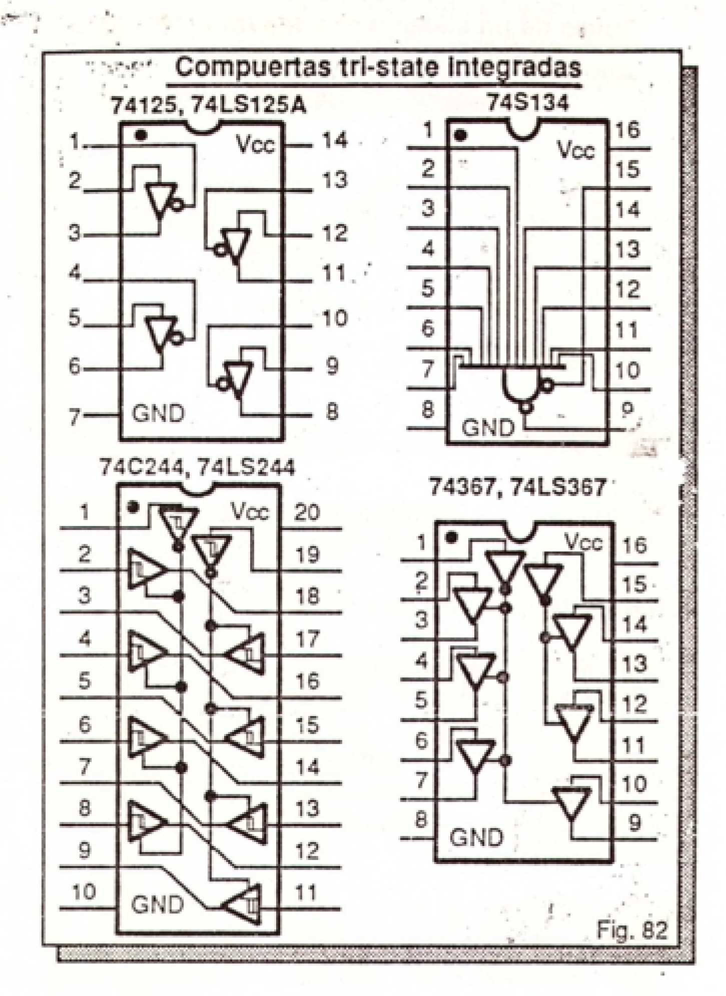
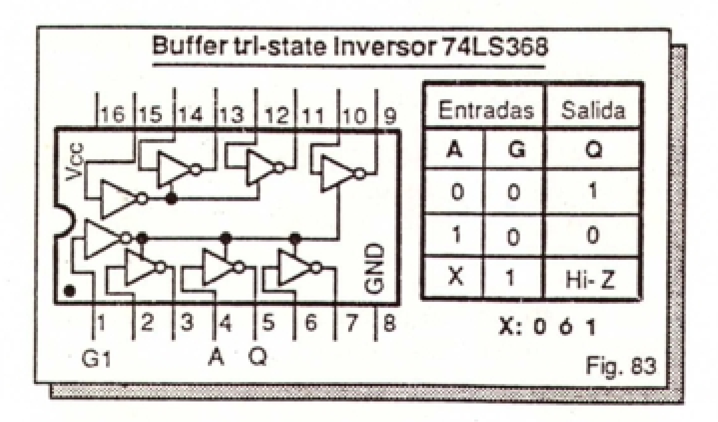


Fig. 82

do de alta impedancia (Hi-Z) y se aíslan eléctricamente del resto del sistema.



Entradas		Salida
A	G	Q
0	0	1
1	0	0
X	1	Hi- Z

Fig. 83

COMPUERTAS DE COLECTOR ABIERTO

Las compuertas de colector abierto son una variante técnica de las compuertas TTL comunes. Se caracterizan, entre otras cosas, por manejar voltajes de salida superiores al de alimentación y porque se pueden conectar en paralelo.

Se utilizan también como amplificadores de corriente y para formar compuertas de varias entradas con compuertas sencillas de una o dos entradas. Esta aplicación se conoce en electrónica digital como lógica alambrada AND.

Para comprender cómo opera una compuerta de colector abierto es importante conocer primero cómo está estructurada internamente una compuerta TTL común. Tomaremos como ejemplo el dispositivo digital más simple: un inversor.

En la figura 84 se muestra el circuito interno de uno de los 6 inversores que constituyen el circuito integrado TTL 7404. Este consiste básicamente de 4 resistencias, 4 transistores NPN y 2 diodos. Los transistores Q3 y Q4 son los transistores de salida del circuito.

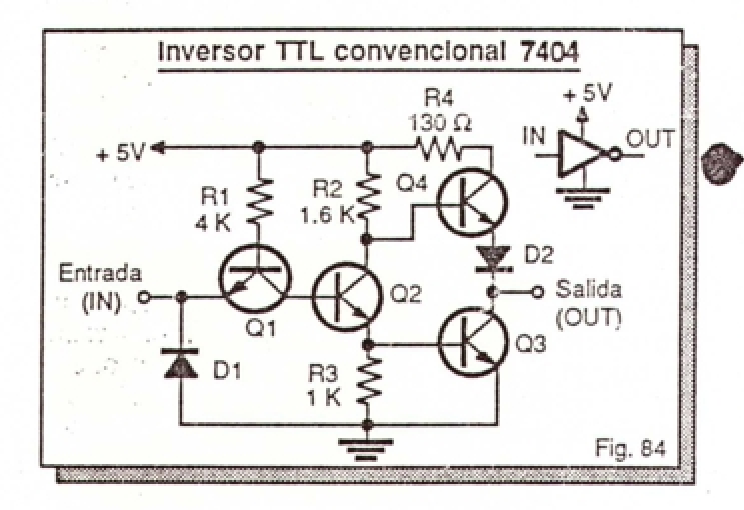


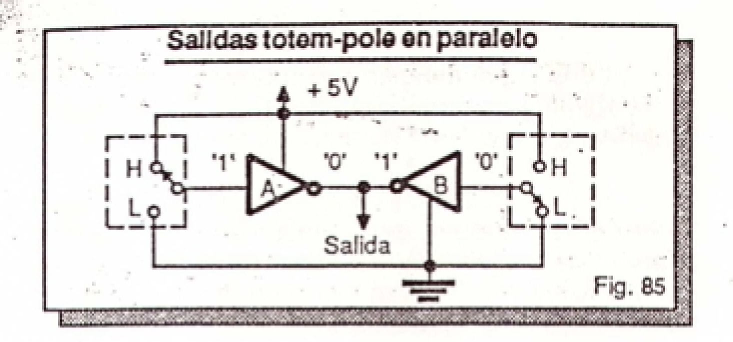
Fig. 84

Observe que Q3 y Q4 están conectados en serie entre el positivo de la fuente y tierra. Cuando uno de ellos conduce ("on") el otro se bloquea ("off") y viceversa. Esta disposición de transistores, típica de la mayoría de dispositivos TTL, se denomina *salida totem-pole* o de poste totémico.

La configuración *totem-pole* es ampliamente utilizada en circuitos integrados digitales porque, entre otras cosas, permite que puedan operar a muy altas velocidades. Sin embargo, presenta un inconveniente: no se pueden conectar dos o más salidas *totem-pole* a un mismo punto porque se puede producir una condición de cortocircuito.

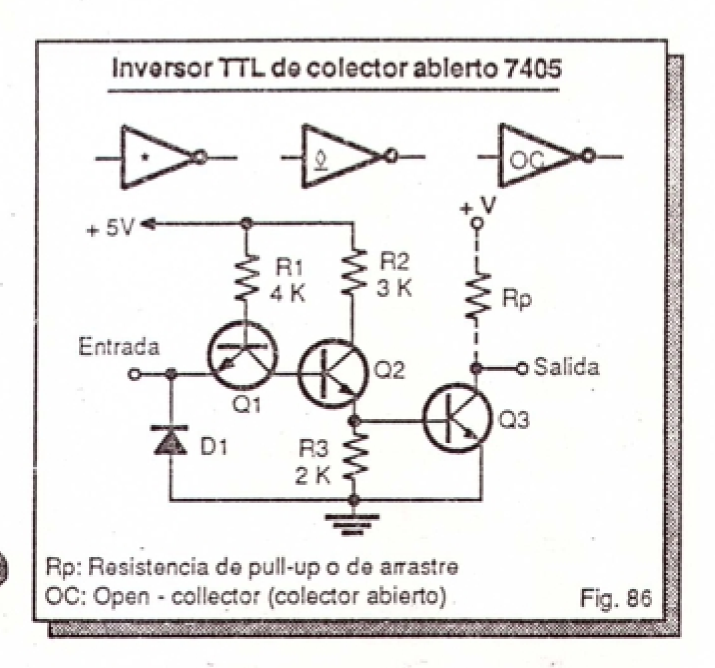
En la figura 85 se ilustra gráficamente lo que sucede. El inversor A tiene aplicado un **alto** en su entrada y por consiguiente tiende a imponer un **bajo** (0V) en la salida. Al mismo tiempo, el inversor B tiene aplicado un **bajo** y tiende a imponer un **alto** (5V). ¿Qué puede resultar de este conflicto?

El resultado neto de lo anterior no es un **alto** ni un **bajo** ni un estado intermedio en la salida: es un cortocircuito entre el positivo de la fuente y tierra.



De esta manera circulará una corriente muy alta a través de los transistores de salida de ambos inversores y lo más probable es que se destruyan.

La solución a este problema es utilizar salidas de *colector abierto*. En la figura 86 se muestra la versión de colector abierto del inversor de la figura 84 y los símbolos utilizados en los circuitos digitales para representar este tipo de dispositivos. Observe que se ha eliminado la etapa de salida superior (R4, Q4 y D2) y el terminal de salida ha quedado al aire.



El diamante subrayado (◊) es el signo gráfico recomendado por el ANSI (Instituto Nacional de Estándares Americano) y el IEEE (Instituto de Ingenieros Eléctricos y Electrónicos) para denotar un dispositivo de colector abierto.

Para que el circuito de la figura 86 pueda operar como un inversor se necesita conectar entre la salida (colector de Q3) y el positivo de la fuente una resistencia externa Rp como se indica.

Este componente se denomina comúnmente resistencia de arrastre o de *pull-up* (léase "pul-ap") y es indispensable para la operación del circuito.

Sin resistencia de *pull-up*, la salida quedaría flotante, es decir no sería **alta** ni **baja**. La función de Rp es permitir que esta salida pueda ser **alta** (+5V) o **baja** (0V) en un momento dado.

El valor de Rp debe elegirse de modo que no se exceda la máxima corriente admisible por Q3 (≈15 mA). Típicamente, Rp fluctúa entre 150Ω y 1 KΩ. Cuánto menor sea su valor mayores son la velocidad de operación y el consumo de potencia.

Aunque en la la mayoría de los casos se prefiere utilizar dispositivos con salidas en *totem-pole*, los dispositivos de colector abierto tienen algunas ventajas notables. Estas son algunas de ellas :

- Pueden manejar directamente LED, displays, relés y otros componentes y circuitos externos que consumen más corriente de la que una compuerta común puede suministrar.

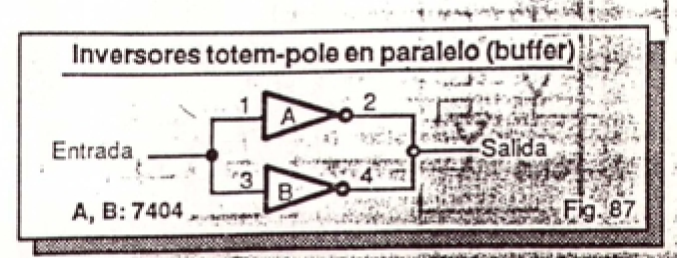
- Pueden conectarse directamente entre sí varias salidas para aumentar la capacidad de corriente.

- Pueden manejar voltajes de salida más altos que el voltaje de alimentación. Las compuertas con esta característica se denominan de *alto voltaje*. Algunas, como el CI 7406, manejan hasta 30 V y otras, como el CI 7416, manejan hasta 15 V.

Importante: todos los dispositivos TTL con salidas de colector abierto requieren resistencias externas de *pull-up* para operar correctamente. Esto no es necesario en las compuertas con salidas totem pole como la mostrada en la figura 84 y las que se han descrito y utilizado en el curso.

Lo anterior no implica necesariamente que dos salidas totem-pole no se puedan conectar entre sí, es decir, en paralelo. Esto se puede hacer mientras las entradas correspondientes también estén conectadas en paralelo. Así se garantiza que las salidas tengan siempre el mismo estado.

En la figura 87 se ilustra el concepto anterior. El circuito así formado es un amplificador de corriente o *buffer*. Permite controlar dispositivos que consumen corrientes altas como parlantes, bobinas de relé, lámparas, etc. Recuerde que el 7404 no es una compuerta de colector abierto



Circuitos integrados con compuertas de colector abierto

Los siguientes son algunos ejemplos de circuitos integrados TTL que contienen compuertas con salidas de colector abierto. Todos operan a +5V pero la mayoría pueden manejar voltajes de salida superiores a este valor. El 7406, por ejemplo, puede manejar hasta 30 V.

7401, 74LS01, 7403, 74LS03, 7409, 7426, 74LS26, 7438, 74LS38, 7439: 4 compuertas NAND de dos entradas.
7405, 74LS05, 7406, 7416: 6 inversores.
7407, 7417: 6 buffers no inversores.
7412, 74LS12: 3 compuertas NAND de 3 entradas.
7415: 3 compuertas AND de 3 entradas.
7422: 2 compuertas NAND de 4 entradas.
7433: 4 compuertas NOR de dos entradas.
74136, 74LS136: 4 compuertas XOR.
74LS266: 4 compuertas XNOR.

En la figura 88 se muestra la configuración de pines de algunos de estos chips. Para los demás, le sugerimos consultar cualquier manual de fabricantes de circuitos integrados digitales (ECG, NTE, RCA, National, Texas, Motorola, etc.).

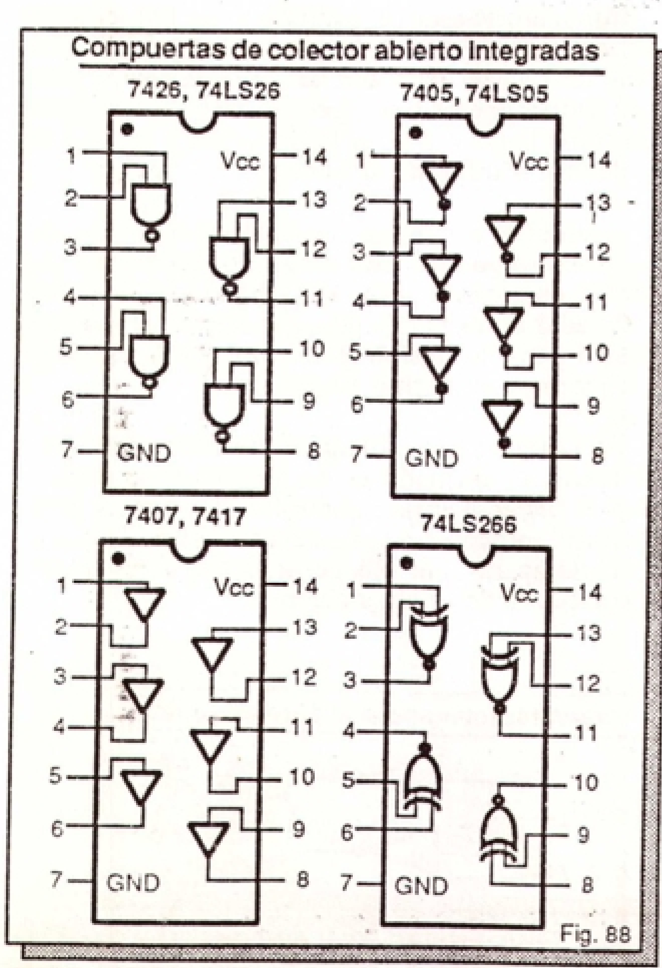


Fig. 88

En el siguiente experimento usted verificará cómo trabajan las compuertas de colector abierto en la práctica, utilizando un circuito integrado 74LS05.

Comprobará además una aplicación muy importante de las compuertas de colector abierto: la lógica alambrada o extendida, una técnica para realizar funciones lógicas relativamente complejas utilizando compuertas de colector abierto. Los principios de la lógica alambrada se explican a continuación.

La operación AND alambrada

Cuando se unen entre sí las salidas de dos o más compuertas de colector abierto, el punto común de interconexión trabaja como una compuerta AND de varias entradas. Este modo de operación de las compuertas de colector abierto se denomina, en lógica positiva, *AND alambrada*.

En la figura 89, por ejemplo, se muestra la forma de obtener una compuerta AND alambrada de seis entradas utilizando tres compuertas AND de dos entradas de colector abierto. En la salida Q se obtiene la operación AND de las salidas Q1, Q2 y Q3. Veámos por qué.

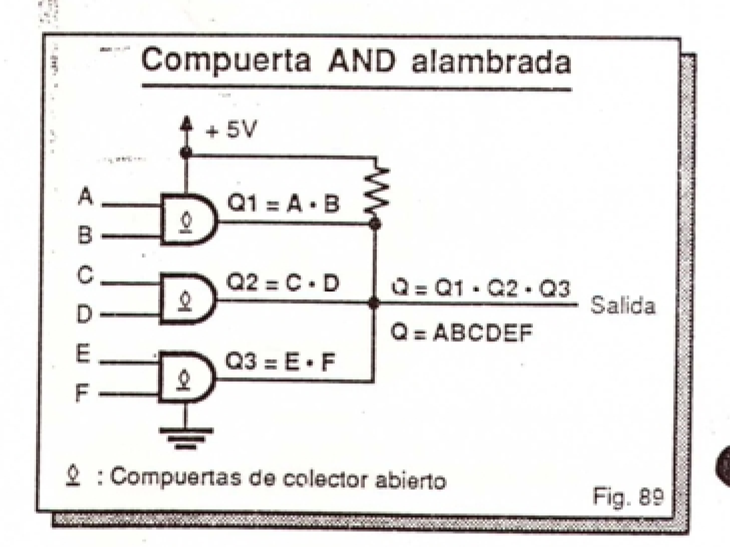


Fig. 89

Cuando las salidas Q1, Q2 y Q3 son todas de nivel **alto,** en el punto común de salida Q tendremos necesariamente un nivel **alto.** Cuando cualquiera de estas salidas es un nivel **bajo,** el punto Q queda conectado a tierra y por tanto es también de nivel **bajo.** Este comportamiento es, por definición, el de una compuerta AND de tres entradas.

Puesto que cada uno de los puntos Q1, Q2 y Q3 corresponde a la salida de una compuerta AND de dos entradas, el circuito en su totalidad opera como una compuerta AND de seis entradas. La conexión AND alambrada se utiliza frecuentemente para realizar operaciones lógicas de varias entradas.

EXPERIMENTO 7

Operación de una compuerta de colector abierto

Objetivos

- Verificar la operación de una compuerta de colector abierto.
- Analizar una compuerta de lógica alambrada, obtenida mediante inversores de colector abierto.

Materiales necesarios

1 Circuito integrado 7405 ó 74LS05 (6 inversores TTL de colector abierto).
2 diodos emisores de luz o LED.
2 Resistencias de 1 KΩ, 1/4 ó 1/2W.
1 Fuente regulada de 5V, 1 A con conectores.
1 Protoboard.
Puentes de alambre telefónico.

Procedimiento

Paso **1.** Arme sobre el protoboard el circuito de la figura E11. R1 actúa como resistencia de *pull-up* y el LED D1 como monitor de la corriente de salida. El circuito formado por la resistencia R2 y el LED D2 es un monitor lógico de voltaje que permite verificar el estado de las entradas A, B y C y de la salida Q.

Paso 2. Complete la siguiente tabla de verdad conectando cada entrada al positivo de la fuente (+5V)

Entradas			Salida
A	B	C	Q
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tabla E7

para obtener un **alto** ó **1**, y a tierra (GND) para obtener un **bajo** ó **0**. Utilice el monitor lógico para verificar el estado de las entradas A, B y C y de la salida Q.

Observe también lo que sucede cuando las entradas A, B y C están al aire. Notará que el LED D1 se enciende indicando la presencia de una corriente de salida. Esto equivale a un 0 lógico en el punto Q.

Paso 3. Si usted ha realizado correctamente el paso anterior y analiza detenidamente la tabla de verdad, notará que es la misma de una compuerta NOR de 3 entradas. Es decir, el circuito de la figura E11 es una compuerta NOR de 3 entradas obtenida por lógica alambrada.

La lógica alambrada es una aplicación muy importante de las compuertas de colector abierto.

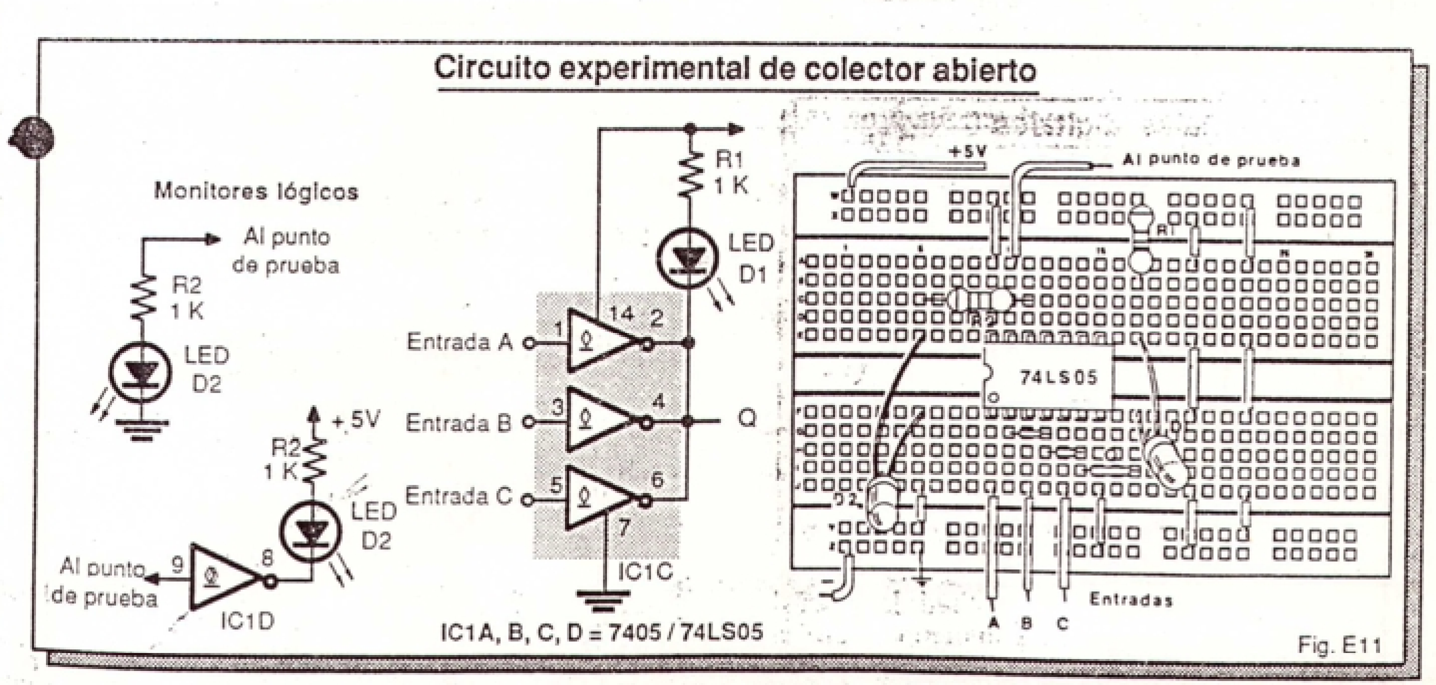


Fig. E11

COMPUERTAS SCHMITT-TRIGGER

Las compuertas *Schmitt-trigger* (léase "esmit-triguer") son dispositivos que se utilizan para convertir señales imperfectas, lentas o con ruido en señales digitales bien definidas, rápidas y sin ruido (figura 90). Realizan las mismas funciones lógicas de las compuertas comunes pero poseen ciertas características distintivas especiales.

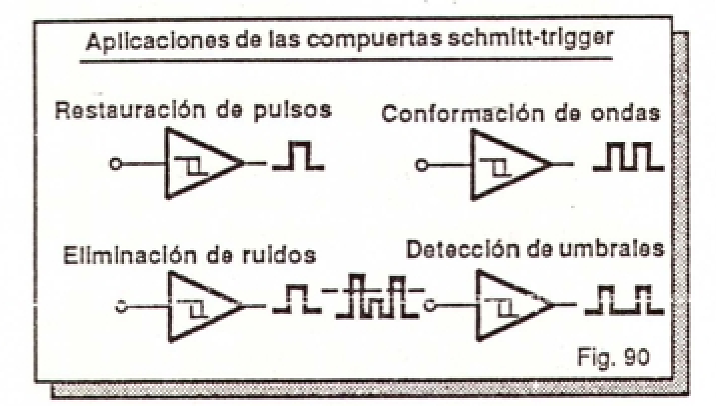


Fig. 90

Las características de las compuertas Schmitt-trigger las hacen muy útiles en numerosas aplicaciones en donde se presentan problemas con señales mal definidas, distorsionadas o ruidosas. Conozcamos entonces por qué se emplean estos dispositivos y cómo operan.

Por su misma naturaleza binaria, los circuitos digitales operan eficientemente cuando son manejadas por señales de entrada perfectamente cuadradas. En una señal digital ideal, los estados **alto** y **bajo** deben estar bien definidos y la transición de un estado al otro debe ser instantánea (figura 91).

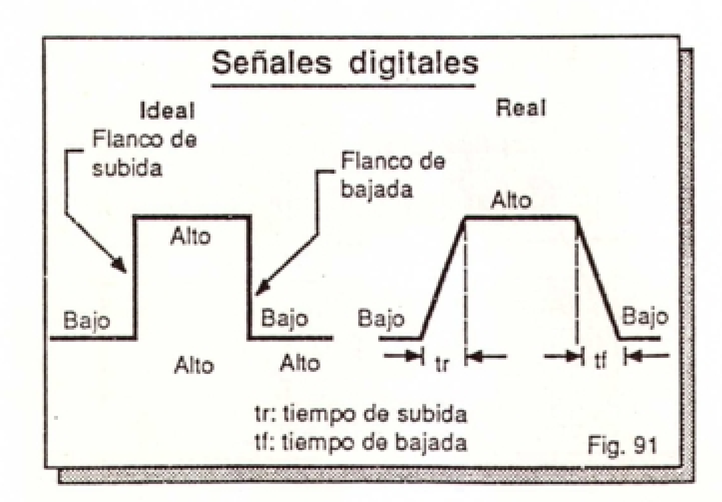


Fig. 91

Si una entrada, debido a la lentitud de la señal aplicada, permanece durante algún tiempo indecisa entre los niveles **alto** y **bajo** válidos, se corre el riesgo de que el circuito se vuelva inestable y genere falsas señales de salida.

Lo mismo puede ocurrir si la señal de entrada no es una onda cuadrada o tiene ruido. La solución a este problema es utilizar compuertas *Schmitt-trigger*.

Las compuertas *Schmitt-trigger* operan como compuertas comunes, pero se caracterizan por poseer una propiedad llamada *histéresis* que las hace inmunes al ruido y les permite trabajar con señales digitales no ideales. Una compuerta *Schmitt-trigger* entrega siempre una onda cuadrada a la salida, sin importar la forma de onda de la señal de entrada.

En la figura 92 se muestran los símbolos utilizados en los circuitos lógicos digitales para representar los dispositivos *Schmitt-trigger* más comunes. El signo (⊓) dentro del símbolo de una compuerta significa siempre que se trata de un dispositivo *Schmitt-trigger*.

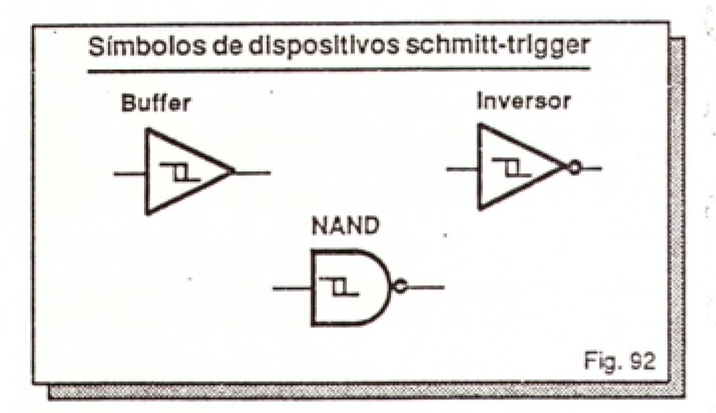


Fig. 92

La característica de histéresis significa que los dispositivos *Schmitt-trigger* sólo responden cuando los voltajes aplicados a sus entradas superan unos valores límites prestablecidos, llamados *umbrales*. En la figura 93 se muestra en forma simplificada cómo trabaja un inversor *Schmitt-trigger*.

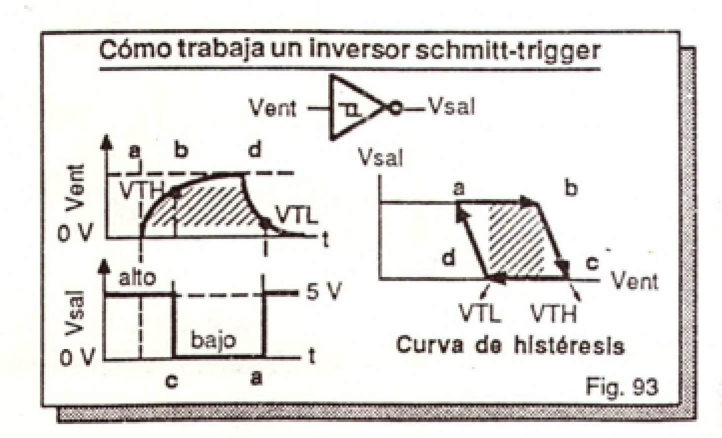


Fig. 93

La *curva de histéresis* muestra cómo se comporta el voltaje de salida de la compuerta con respecto al voltaje de entrada. Supongamos que la entrada está en bajo (0V), en consecuencia, la salida está en alto (5V). Esta situación corresponde al punto "a" en la curva.

A medida que aumenta el voltaje de entrada, el voltaje de salida permanece constante, es decir en alto (5V), hasta que alcanza un valor V_{TH} en el punto "b". Cuando esto sucede, el voltaje de salida comienza a descender, haciéndose bajo (0V) cuando el voltaje de entrada supera ligeramente el valor límite V_{TH} (punto "c").

A medida que disminuye el voltaje de entrada, el voltaje de salida permanece constante en bajo (0V) hasta que alcanza un valor V_{TL} en el punto "d". Cuando esto sucede, el voltaje de salida comienza a aumentar, haciéndose alto (5V) cuando el voltaje de entrada cae ligeramente por debajo del valor límite V_{TL} (punto "a").

En resumen, la salida sólo cambia de estado cuando el voltaje de entrada supera el umbral superior (V_{TH}) o cae por debajo del umbral inferior (V_{TL}). La diferencia de voltaje entre V_{TH} y V_{TL} se denomina *voltaje de histéresis* (V_H).

Los valores típicos de V_{TH} y V_{TL} para dispositivos TTL y CMOS son los siguientes:

Series TTL 74 y 74LS :

$$V_{TH}= 1.6V \text{ y } V_{TL}= 0.8V.$$

Series CMOS 40, 45 y 74C (utilizando una tensión de alimentación de +9V):

$$V_{TH}= 5.8V \text{ y } V_{TL}= 3.8V$$

Circuitos integrados con compuertas Schmitt-trigger

Los siguientes son algunos ejemplos de circuitos integrados TTL y CMOS que contienen compuertas con entradas *Schmitt-trigger*. Los dispositivos de las series 40 y 74C son de tecnología CMOS y los de las series 74 y 74LS son de tecnología TTL.

4093B, 74132, 74LS132: 4 compuertas NAND de 2 entradas.
40106B, 7414, 74C14, 74LS14: 6 inversores.
7413, 74LS13: 2 compuertas NAND de 4 entradas.

En la figura 94 se muestra la configuración de pines de estos chips y algunos circuitos de aplicación típicos. Las compuertas Schmitt-trigger se utilizan en conformadores de formas de onda, detectores de flancos, temporizadores, circuitos de retardo, osciladores, etc.

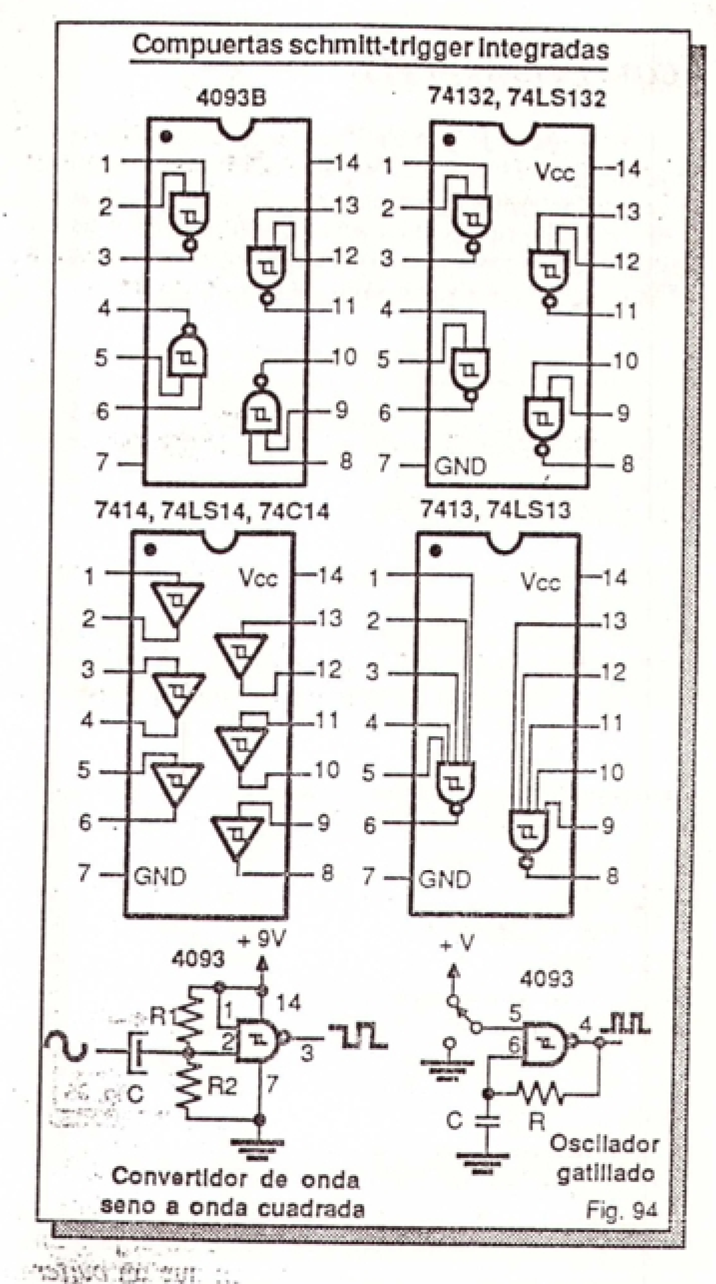


Fig. 94

El circuito integrado 4093B, por ejemplo, contiene 4 compuertas NAND Schmitt trigger independientes en una misma cápsula de 14 pines. Con una tensión de alimentación de 5V, el voltaje de histéresis (V_H) es, típicamente, de 0.6 V. El umbral superior o positivo (V_{TH}) se localiza en 2.6 V y el inferior o negativo (V_{TL}) en 2.0 V.

Con un voltaje de alimentación de 10 V, estos valores son, respectivamente: V_H=1.7 V, V_{TH}=5.2 V y V_{TL}=3.5 V. El CI 4093 es compatible pin por pin con el CI 4011B. Tiene tiempos de retardo muy cortos, consume muy poca corriente y es altamente inmune al ruido. Al final de esta lección analizaremos varias de sus aplicaciones.

COMPUERTAS BUFFER

Los *buffers* o separadores son esencialmente compuertas con una alta capacidad de corriente de salida. Esta característica les permite manejar directamente LED, relés de estado sólido, relés electromecánicos y otras cargas que no pueden ser impulsadas directamente por compuertas comunes.

Los *buffers* se utilizan principalmente como amplificadores de corriente. Un *buffer* a la salida de un circuito integrado digital aumenta su *fan-out*, es decir, la máxima corriente de salida que éste puede suministrar. El concepto de *fan-out* o abanico de salida se explicó en la lección 2.

Existen básicamente dos clases de *buffers* : inversores y no inversores. En la figura 95 se muestran los símbolos utilizados en los circuitos digitales para representar estos dispositivos. El triángulo representa la circuitería electrónica de amplificación.

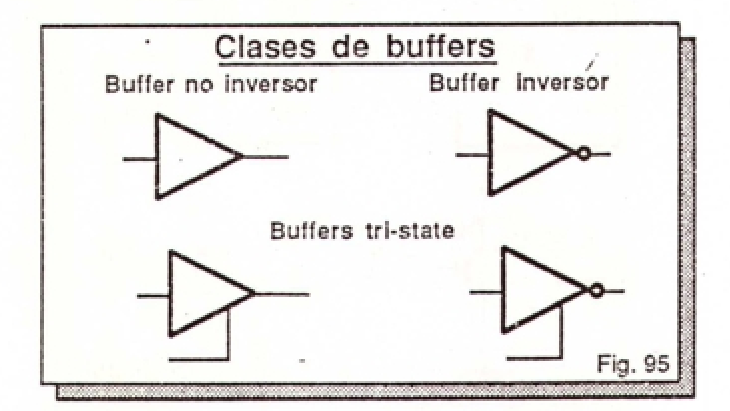


Fig. 95

Desde el punto de vista lógico, los *buffers* inversores operan como inversores convencionales: un **alto** o un **bajo** a la entrada provoca un **bajo** o un alto a la salida. La diferencia está en que un *buffer* no inversor es más potente; esto es, puede manejar más corriente de salida, que un inversor común.

Los *buffers* no inversores entregan el mismo nivel lógico que reciben. Es decir, si se aplica un **alto** o un **bajo** a la entrada entonces suministra un **alto** o un **bajo** a la salida. Los *buffers* no inversores se denominan también compuertas YES.

En la figura 96 se resume el símbolo, la ecuación lógica, la tabla de verdad y el circuito eléctrico equivalente de una compuerta YES. La lámpara Q se enciende cuando el interruptor A se cierra y se apaga cuando este último se abre.

Un *buffer* se puede conectar a una carga de dos formas: como disipador de corriente (modo "*sink*") o como fuente de corriente (modo "*source*"). En el modo *sink* la carga se conecta entre la salida y el positivo de la fuente; y en el modo source la carga se conecta entre la salida y tierra.

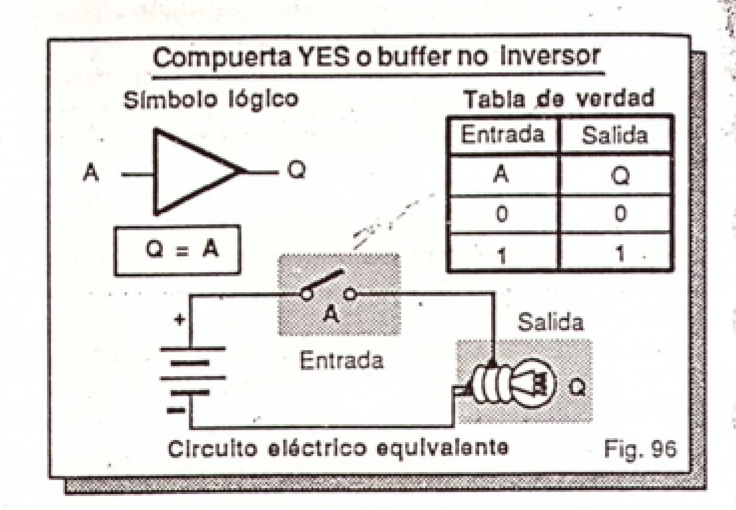


Fig. 96

En la figura 97 se ilustran estos dos modos de operación. El modo sink es el más adecuado para suministrar altas corrientes de salida. El modo *source* se utiliza para impulsar cargas de baja corriente.

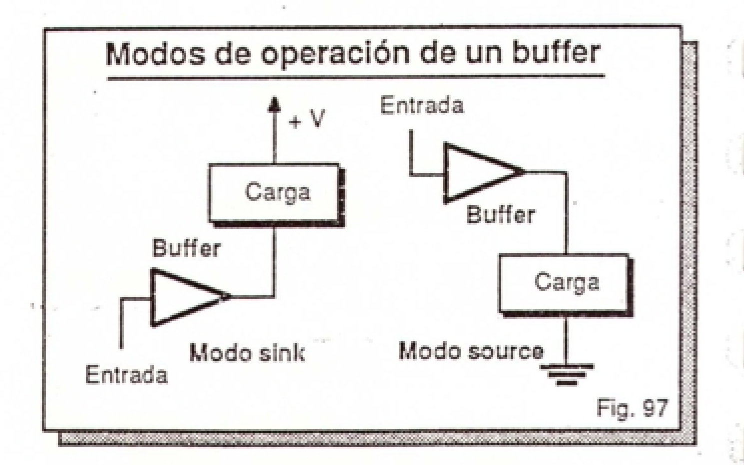


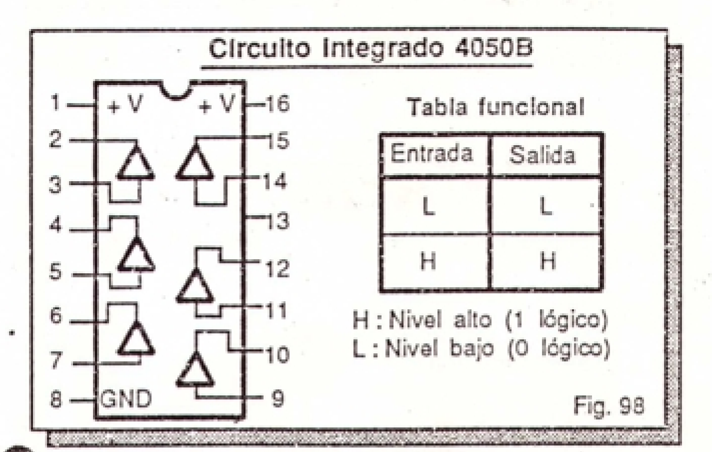
Fig. 97

Circuitos integrados con compuertas buffer

Los siguientes son algunos ejemplos de circuitos integrados TTL y CMOS que contienen compuertas tipo *buffer*. Los dispositivos de la serie 40 son de tecnología CMOS y los de las series 74 y 74LS son de tecnología TTL. Estos últimos pueden manejar corrientes de salida superiores a 50 mA.

4049B: 6 buffers inversores.
4050B: 6 buffers no inversores.
7428, 74LS28: 4 buffers NOR de 2 entradas.
7437, 74LS37: 4 buffers NAND de 2 entradas.
7440, 74LS40: 2 buffers NAND de 4 entradas.
74125, 74LS125, 74126, 74LS126: 4 buffers no inversores tri-state.
74LS540: 8 buffers inversores tri-state.
74LS541: 8 buffers no inversores tri-state.

En la figura 98 se muestra la distribución de pines y la tabla funcional del circuito integrado CMOS 4050B. Este dispositivo contiene 6 *buffers* no inversores, completamente independientes, en una misma cápsula de 16 pines. Note que los pines de alimentación son el 1 (+VDD) y el 8 (tierra).

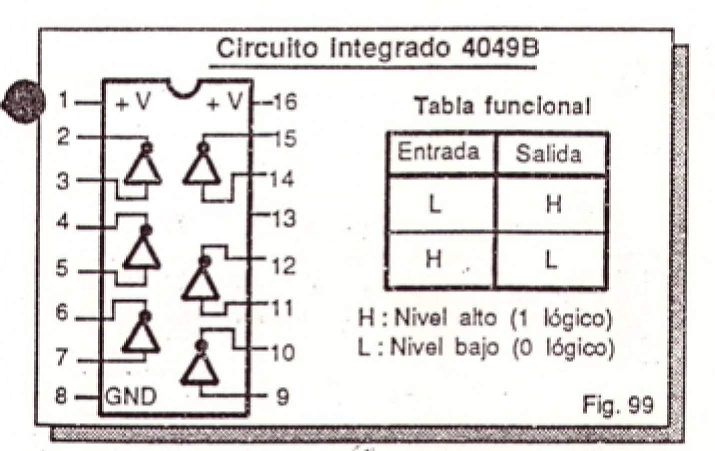


Entrada	Salida
L	L
H	H

Fig. 98

Utilizando una tensión de alimentación de +5V, cada uno de los 6 *buffers* de este chip puede manejar hasta 2.5 mA en el modo source o hasta 6 mA en el modo sink. Con una fuente de +15V, estos valores aumentan a +10 mA y 40 mA, respectivamente.

En la figura 99 se muestra la distribución de pines y la tabla funcional del circuito integrado CMOS 4049B. Este dispositivo contiene 6 *buffers* inversores independientes en una misma cápsula de 16 pines. Sus características eléctricas son las mismas del circuito integrado 4050B, pero opera como un inversor.



Entrada	Salida
L	H
H	L

Fig. 99

En el siguiente experimento usted trabajará con el circuito integrado 4049B y comprobará en la práctica la diferencia entre los modos de conexión *sink* y *source* de un *buffer*. También aprenderá a utilizar relés en aplicaciones digitales.

EXPERIMENTO 8

Operación de un buffer

Objetivos

- Verificar la operación de una compuerta *buffer*.
- Comprobar la diferencia entre los modos de operación *sink* y *source* de un *buffer*.
- Aprender a utilizar relés en aplicaciones digitales.

Materiales necesarios

1 circuito integrado 4049B (6 buffers inversores) ó 4050B (6 buffers no inversores).
1 circuito integrado 555 (generador de pulsos).*
1 condensador electrolítico de 10 µF/16V.*
1 resistencia de 6.8K, 1/4 ó 1/2W.*
1 resistencia de 16K, 1/4 ó 1/2W.*
4 resistencias de 220 Ω, 1/2 W.
4 LED
1 relé miniatura de 9V, 500 Ω o similar.
1 batería de 9V con conector o una fuente del mismo valor (kit CEKIT K10 ó similar).
1 Protoboard.
Puentes de alambre telefónico.

Nota*: Estos componentes pueden ser sustituidos por el kit CEKIT K1 ("Luz Intermitente").

ASPECTOS PRACTICOS PREVIOS

Cómo utilizar relés

El relé es un dispositivo electromecánico muy utilizado en aplicaciones de control. Lo constituyen una bobina y varios contactos, unos normalmente abiertos (NA) y otros normalmente cerrados (NC). Ver figura E12.

Cuando se aplica un voltaje a la bobina, circula a través de ella una corriente, la cual crea un campo

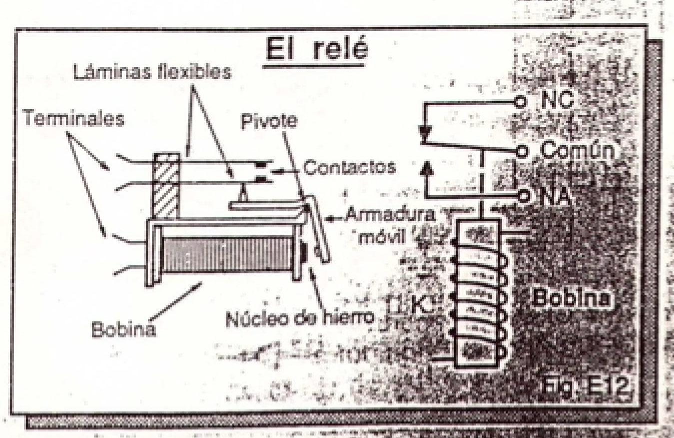


Fig. E12

electromagnético que cambia el estado original de los contactos: los normalmente abiertos se cierran y los normalmente cerrados se abren. Cuando se suspende la corriente, los contactos vuelven a sus posiciones originales.

Los contactos de un relé vienen dispuestos en una gran variedad de configuraciones. En la figura E13 se muestran las más comunes.

K se energiza, los contactos 1-2 y 4-5 se cierran y los contactos 1-3 y 4-6 se abren.

Los dos tipos más comunes de relés son el de propósito general descrito anteriormente y el *reed*. En la figura E14 se muestra el aspecto típico y la configuración interna de este último. Los relés *reed* son parecidos a un circuito integrado. Se caracterizan por su tamaño reducido y por ser muy rápidos.

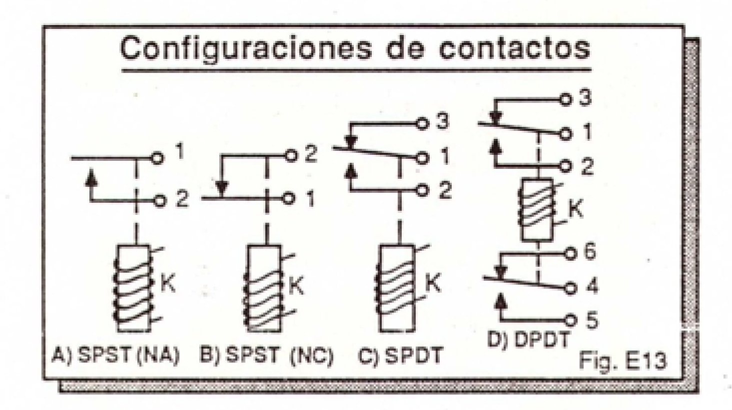


Fig. E13

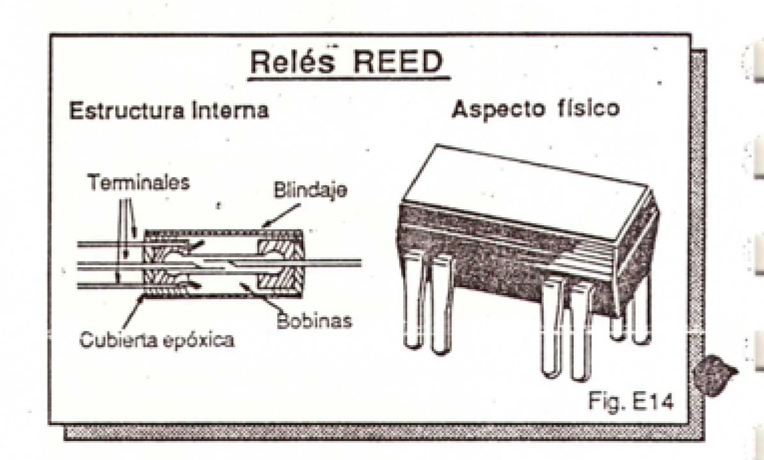


Fig. E14

En el relé A, el contacto 1-2 es normalmente abierto (NA) y se cierra cuando se energiza la bobina K; en el relé B el contacto 1-2 está normalmente cerrado (NC) hasta que la bobina K lo abre.

En el relé C, el contacto 1-2 es NA y el contacto 1-3 es NC. Cuando se energiza la bobina K, el contacto 1-2 se cierra y el 1-3 se abre. Este es un ejemplo de relé de 1 polo, 2 posiciones (SPDT).

En el relé D, los contactos 1-2 y 4-5 son NA y los contactos 1-3 y 4-6 son NC. Cuando la bobina

Procedimiento

Paso 1. Arme sobre el protoboard el circuito de la figura E15. Conecte el positivo de la fuente (+9V) al pin 1 y el negativo (tierra) al pin 8 del 4049B. Envíe todas las entradas no utilizadas (pines 7, 9, 11 y 14) a tierra o a +9V. Los pines 13 y 16 están internamente desconectados y no se utilizan.

El circuito integrado 555 (IC2) y sus componentes asociados (R3, R4 y C1) configuran un reloj o

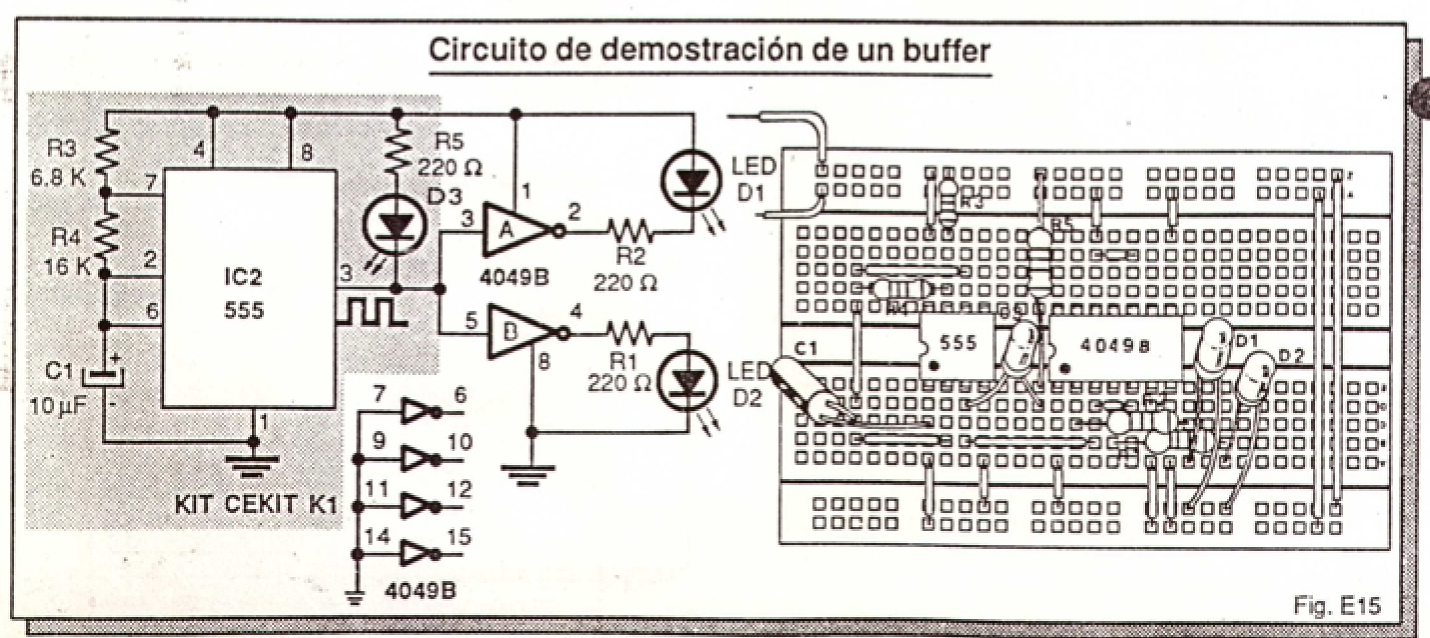


Fig. E15

generador de pulsos de baja frecuencia. El LED D1 actúa como carga del *buffer* IC1A, conectado en el modo *sink*. El LED D2 es la carga del *buffer* IC1B, conectado en el modo *source*.

Antes de encender la fuente revise bien el circuito y realice las correcciones necesarias.

Paso 2. Conecte la fuente de alimentación y observe lo que pasa en los LED D1 y D2. Si utiliza un 4049B notará que cuando la salida del reloj (pin 3 del 555) está en **alto**, se enciende el LED D1 y se apaga el LED D2 y cuando está en **bajo** esta situación se invierte.

Notará también que el brillo del LED D1 es más intenso que el del LED D2. Esto es así porque el LED D1 está conectado en el modo *sink* y el LED D2 lo está en el modo *source*

Paso 3. Apague la fuente de alimentación. Conecte en paralelo las secciones C, D y E del 4049, como se muestra en la figura E16, y envíe el punto común de entrada a la salida del 555 (pin 3). Conecte el relé, el LED y la resistencia de 220 Ω restantes como se indica. Las demás conexiones no cambian.

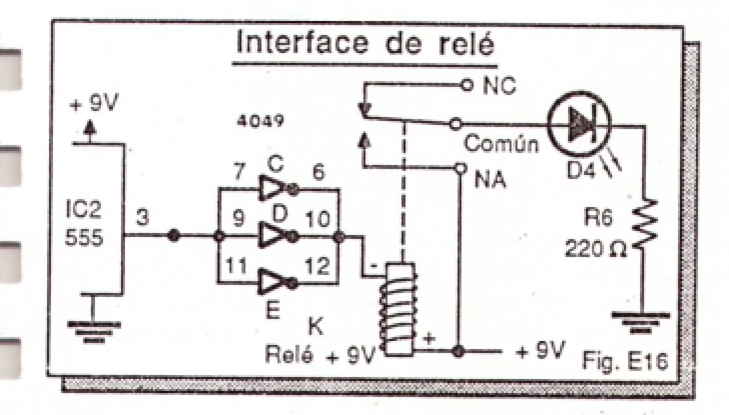


Fig. E16

Paso 4. Encienda la fuente de alimentación. Observará que el relé y el LED se energizan y desenergizan alternativamente a la misma frecuencia de la señal de reloj. El buffer debe manejar la bobina del relé sin problema porque está en el modo *sink*

Paso 5. Apague la fuente. Desconecte el extremo b de la bobina del relé del positivo de la fuente y conéctelo a tierra. Encienda la fuente. Observará que el buffer maneja la bobina con cierta dificultad o no logra energizarla. Esto puede suceder porque el buffer está trabajando en el modo *source*

Los contactos de un relé como el utilizado en este experimento pueden manejar corrientes hasta de 1A y voltajes hasta de 125 VAC. ¿Le sugiere esto alguna aplicación?. En la lección 8 conoceremos muchas de ellas.

CIRCUITOS DE APLICACION

A continuación se describen algunos circuitos prácticos de aplicación de las compuertas especiales estudiadas en esta lección. Analizaremos una luz intermitente, un eliminador de rebote para pulsador, un bus bidireccional y una sirena policíaca.

Luz intermitente

En el circuito de la figura 100, el LED se ilumina de manera intermitente una vez cada segundo. Los buffers A y B constituyen un oscilador o generador de pulsos. El buffer C es la etapa de salida. El circuito puede manejar directamente dos entradas TTL. Entre menores sean los valores de R1 o de C1 mayor es la frecuencia de los destellos.

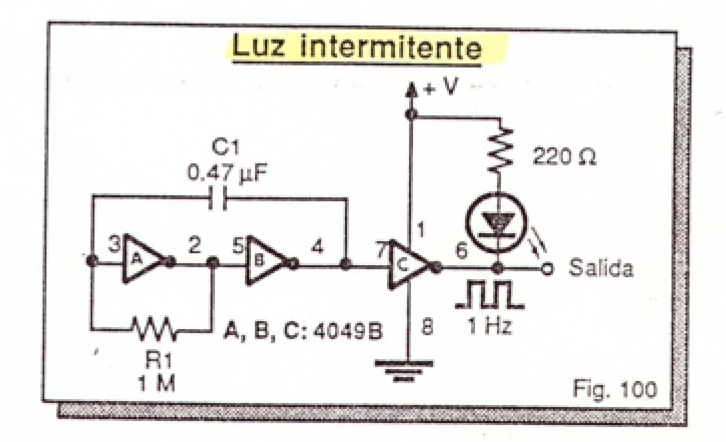


Fig. 100

Para calcular la frecuencia aproximada de salida, utilice la siguiente fórmula:

$$f=1/(2.2xR_1xC_1)$$

En esta expresión, **f** es la frecuencia en Hz, R_1 es la resistencia en MΩ y C_1 la capacitancia en µF. Por ejemplo, si C_1=0.47 µF y R_1=100 KΩ=0.1 MΩ, la frecuencia de oscilación resultante será:

$$f\ (Hz) = 1/(2.2x0.1x0.47) \approx 1/(0,1) \approx 10\ Hz$$ tasa.

En consecuencia, el LED trabajará a una rata de 10 destellos por segundo. El tema de los osciladores o relojes se estudia en detalle en la lección 17.

Eliminador de rebote para pulsador

El circuito de la figura 101 genera un pulso de salida de nivel **bajo**, libre de ruidos y rebotes, cuando se presiona el interruptor normalmente abierto S1. Para obtener un pulso de salida de nivel **alto**, conecte un segundo inversor como se indica.

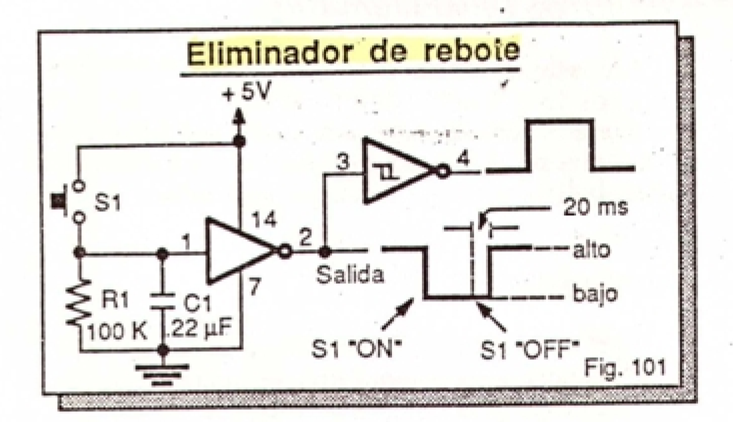


Fig. 101

El circuito aprovecha la característica de histéresis de las compuertas Schmitt trigger y opera en términos generales como sigue:

En condiciones normales, sin pulsar S1, la entrada del inversor está puesta a tierra a través de la resistencia R1. En consecuencia, su salida es de nivel alto. La resistencia R1 actúa como camino de descarga del condensador C1.

Cuando se cierra S1, el condensador C1 se carga de inmediato al valor de la fuente de alimentación (+5V), enviando un nivel **alto** a la entrada del inversor. La salida de este último se hace entonces baja.

Al liberar S1, el condensador C1 se descarga lentamente a través de R1. Cuando el voltaje en sus terminales cae ligeramente por debajo del umbral inferior (V_{TL}) del inversor, la salida retorna a su nivel alto original. Esto sucede aproximadamente 20 milisegundos después de soltar el pulsador S1.

Bus de datos bidireccional

El circuito de la figura 102 ilustra el uso de las compuertas tri-state en sistemas digitales. Las líneas D, C, B y A constituyen lo que se denomina un *bus de datos*. Cada una lleva un *dato* que puede ser un **0** lógico o un **1** lógico. El circuito trasfiere los datos D1, C1, B1 y A1 desde las entradas hasta las salidas pasando por el bus de datos.

Las líneas $\overline{WR}$ y $\overline{RD}$ son las entradas de habilitación de los buffer tri-state IC1 e IC2 y se denominan, respectivamente, líneas de *escritura* y de *lectura* . Cuando $\overline{WR}$ y $\overline{RD}$ están en alto, las salidas de IC1 e IC2 adoptan el estado de alta impedancia y liberan el bus de datos, permitiendo que pueda ser usado por circuitos externos.

Cuando se aplica un **bajo** (0) en la entrada $\overline{WR}$ (pin 1 de IC1), los datos (1's y 0's) de las entradas D1, C1, B1 y A1 se trasfieren, en su orden, a las líneas D, C, B y A del bus de datos. Este proceso se denomina *escritura.*

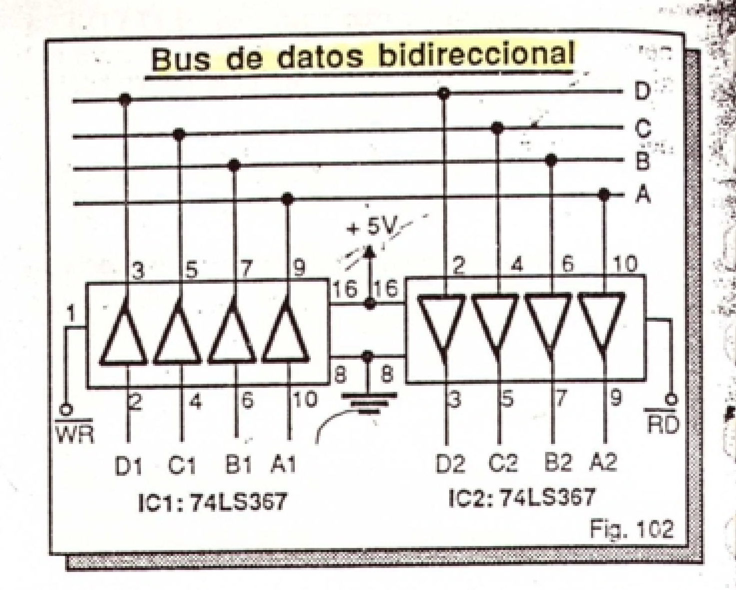


Fig. 102

Cuando se aplica un **bajo** (0) en la entrada $\overline{RD}$ (pin 1 de IC2), los datos (1's y 0's) de las líneas D, C, B y A del bus de datos se trasfieren, en su orden, a las salidas D2, C2, B2 y A2. Este proceso se denomina *lectura.*

Por ejemplo, si D1=0, C1=**1**, B1=**1** y A1=**0** y se activa la línea de escritura ($\overline{WR}$=0), la información de entrada pasa al bus de datos (D=0, C=**1**, B=1 y A=0). Si se activa la línea de lectura ($\overline{RD}$=0), la información del bus de datos pasa a las líneas de salida. Por tanto, D2=**0**, C2=**1**, B2=**1** y A2=0.

Sirena policíaca

El circuito de la figura 103 genera un sonido similar al emitido por una ambulancia o una patrulla de policía. El tono de la sirena aumenta cuando se presiona el pulsador S1 y disminuye cuando este interruptor se libera.

La frecuencia de salida depende de los valores de R1 y C1 y de los umbrales de voltaje de la compuerta. Para el 4093, V_{TH}=5.8V (umbral superior) y V_{TL}=3.8 V (umbral inferior). El efecto propio de la sirena lo proporcionan R2, R3 y C3.

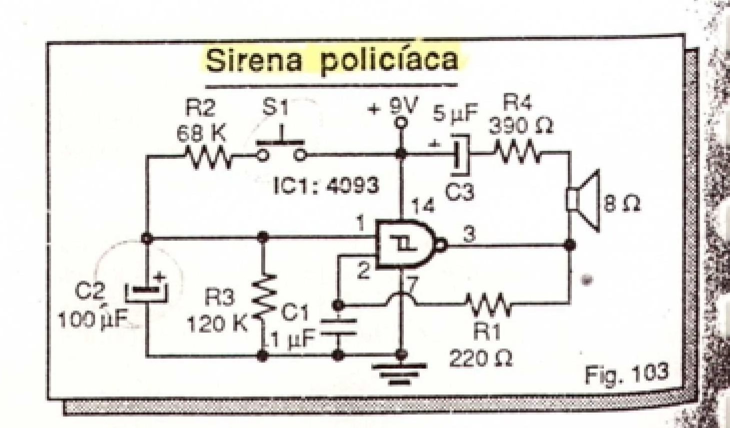


Fig. 103

RESUMEN DE COMPUERTAS DIGITALES

La siguiente tabla resume los símbolos lógicos, las ecuaciones lógicas, las tablas de verdad y los circuitos eléctricos equivalentes de las compuertas AND, OR, NOT, YES, NAND, NOR, XOR y XNOR. También se incluyen los símbolos de las compuertas especiales tipos Schmitt-trigger, colector abierto y tri-state así como la simbología ANSI/IEEE, de gran aceptación.

	AND	OR	NOT	YES	NAND	NOR	XOR	XNOR
Símbolo lógico								
Ecuación lógica	$Q = A \bullet B = AB$	$Q = A + B$	$Q = \overline{A}$	$Q = A$	$Q = \overline{A \cdot B}$	$Q = \overline{A + B}$	$Q = A \oplus B$	$Q = \overline{A \oplus B}$
Tabla de verdad	A B Q 0 0 0 0 1 0 1 0 0 1 1 1	A B Q 0 0 0 0 1 1 1 0 1 1 1 1	A Q 0 1 1 0	A Q 0 0 1 1	A B Q 0 0 1 0 1 1 1 0 1 1 1 0	A B Q 0 0 1 0 1 0 1 0 0 1 1 0	A B Q 0 0 0 0 1 1 1 0 1 1 1 0	A B Q 0 0 1 0 1 0 1 0 0 1 1 1
Circuito eléctrico equivalente								
SIMBOLOS ESPECIALES								
Schmitt trigger								
Colector abierto								
Tri-state								
ANSI/IEEE (*)	&	≥1	1	1	&	≥1	=1	=1

(*): Simbología del ANSI o Instituto Nacional de Estándares Americanos (American National Standards Institute) y el IEEE o Instituto de Ingenieros Eléctricos y Electrónicos (Institute of Electrical and Electronics Engineers).

ACTIVIDAD PRACTICA Nº 5

Construcción del módulo 1. Parte 4

En esta actividad instalaremos la resistencia R4, el LED D4 del módulo 1 y los terminales para la inserción del mismo en el *protoboard*. Continuaremos también con nuestro curso de soldadura.

Localice los componentes por instalar en el diagrama general del módulo que se muestra en la figura A1 (página 19). El LED D4 visualiza el estado lógico (0 ó 1) de la señal aplicada a la entrada IN4 y la resistencia R4 protege la entrada del inversor D contra descargas electrostáticas de voltaje eventualmente presentes en la entrada.

Componentes y herramientas necesarios

1 diodo emisor de luz (LED). D4.
1 resistencia de 1 KΩ. R4.
1 circuito impreso CEKIT ED-1. PC1.
6 terminales para inserción. *
1 cautín de baja potencia (15 W a 35 W).
1 cortafríos o pinza de corte lateral.
1 pinza de puntas planas.
Soldadura de estaño 60/40

* Nota. Los 6 terminales para la inserción del módulo son los terminales que han sobrado de los LED D1 a D4. En las actividades anteriores le hemos recomendado conservarlos después de soldar y cortar los distintos componentes instalados. En esta actividad veremos para qué sirven.

Procedimiento

Paso 1. Tome el LED D4 y la resistencia R4 e instálelos en la tarjeta de circuito impreso ED-1, como se muestra en la figura A7. Debido a un error involuntario de dibujo, el LED D1 de la actividad práctica Nº 2 (página 26, figura A3) quedó instalado en la posición que le corresponde al LED D4. Por esta razón, en el circuito de la figura A7, el LED D4 ocupará la posición del LED D1.

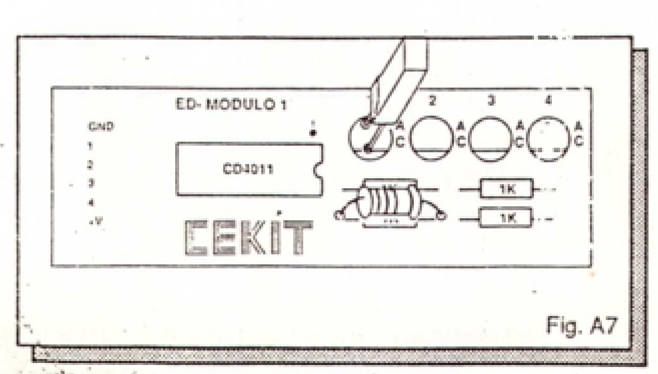


Fig. A7

Identifique el cátodo del LED de la misma forma que lo ha hecho en las actividades anteriores; es decir, guiándose por la marca en forma de bisel inscrita en la cápsula. La resistencia de 1 KΩ debe tener las bandas de colores "café, negro, rojo, dorado" sobre su cuerpo, indicando que su valor nominal es 1 KΩ, con una tolerancia del 5%.

Al soldar, tenga presentes las recomendaciones suministradas en las actividades 3 y 4. El siguiente es un resumen de este importante proceso. Guíese por la figura A5 (página 43). Aplique estas reglas para soldar cualquier componente a una tarjeta de circuito impreso.

Provéase primero de una esponja húmeda. Caliente el cautín y limpie la punta con la esponja (1). A continuación estañe la punta, aplicándole soldadura, para evitar su oxidación. Comience entonces a soldar el terminal del componente sobre la película de cobre de la tarjeta de circuito impreso.

Coloque la punta del cautín en contacto firme con el cobre y el terminal (2). A continuación aplique soldadura por el lado opuesto (3), permitiendo que el calor derrita la soldadura y asegurándose de que ésta fluya libre y uniformente sobre el punto de contacto, formando un pequeño montículo (4).

Retire entonces la soldadura y a continuación el cautín. Asegúrese de no mover el componente hasta que la soldadura se enfríe. De este modo habrá obtenido un punto de soldadura firme y profesional.

Paso 2. Tome los 6 terminales sobrantes de LED e instálelos en la tarjeta de circuito impreso ED-1, como se muestra en la figura A8. Observe que estos terminales deben montarse y soldarse por el lado del cobre. Una vez soldados, córtelos todos a una misma longitud, por ejemplo de 1 cm.

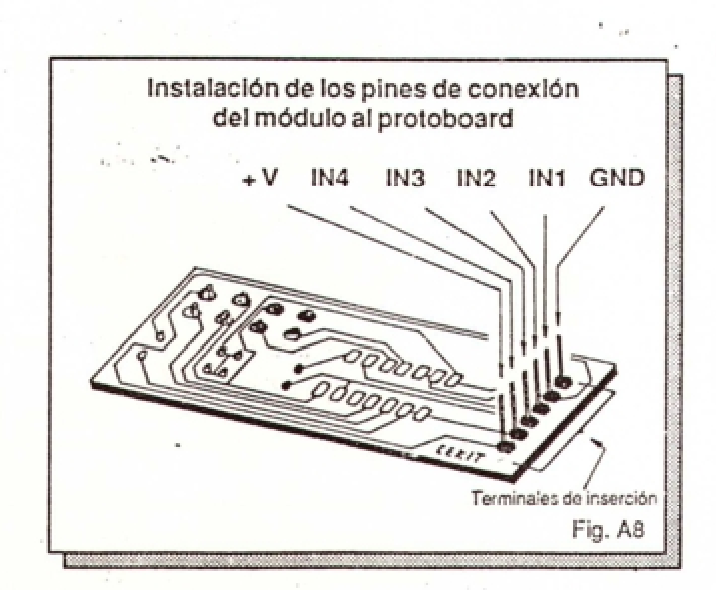


Fig. A8

Análisis y diseño de circuitos digitales

Introducción

En esta lección trataremos el tema del análisis y diseño de circuitos lógicos, uno de los aspectos más importantes y básicos de la electrónica digital. Aprenderemos métodos y recursos muy sencillos que nos permitirán crear nuestros propios circuitos digitales y comprender técnicamente cómo trabajan.

En el estudio y práctica de la electrónica en general, y de la electrónica digital en particular, existen diferentes categorías de individuos, cada una con objetivos propios. Entre estas categorías podemos mencionar: aficionados, experimentadores, técnicos, tecnólogos e ingenieros.

Los aficionados, experimentadores y técnicos se inclinan por la parte práctica de la electrónica digital, relacionada con el montaje de circuitos y aparatos y su reparación. Los tecnólogos reciben una formación teórico-práctica dirigida que los capacita para analizar, construir y reparar circuitos digitales.

Los ingenieros enfocan la electrónica digital desde el punto de vista del análisis y diseño de circuitos y sistemas de aplicación. El desenvolvimiento exitoso en esta profesión implica tener un conocimiento y un dominio profundos de los conceptos y de las técnicas digitales y sus aspectos prácticos.

La tarea del diseñador de circuitos lógicos o digitales consiste en interconectar, de manera apropiada, bloques funcionales como compuertas, decodificadores, multiplexores, etc., para que el conjunto resultante realice una función específica, de la forma más económica y confiable posible.

El reparador de circuitos lógicos debe conocer cómo trabajan estos circuitos y las técnicas que se han empleado en su diseño, para encontrar la causa o causas de una falla de una manera sistemática y metódica; es decir, para "ir a la fija", más que por intuición o presentimiento.

Es importante conocer cómo se diseñan circuitos digitales por una razón muy simple: no todas las funciones digitales posibles se encuentran disponibles en forma de circuitos integrados. Para su realización práctica deben interconectarse varias funciones digitales conocidas. La forma de hacerlo depende del método de diseño adoptado.

Muchos circuitos lógicos, como los que hemos visto hasta el momento, pueden diseñarse en forma intuitiva o empírica. Sin embargo, a medida que aumenta la complejidad de los mismos, los métodos de diseño basados en la intuición y el procedimiento empírico de ensayo y error se hacen cada vez más laboriosos, difíciles e imprecisos.

Es entonces cuando debe recurrirse a métodos de diseño más formales que prescindan de la intuición y el empirismo y ahorren tiempo, esfuerzo y dinero. Conocer esos métodos y la forma de utilizarlos eficientemente es el propósito de esta lección. Las técnicas aprendidas se utilizarán frecuentemente en el curso.

Mientras se dominan las técnicas de armado de circuitos digitales en *protoboards*, circuitos impresos y otros medios, es conveniente familiarizarse primero con los procedimientos empíricos de diseño y luego pasar a los métodos formales, que son más rápidos y seguros.

Contrariamente a lo que sucede con frecuencia en el diseño de circuitos análogos como amplificadores, osciladores, mezcladores, etc., en electrónica digital es casi fijo que un diseño en el papel funciona en la realidad tal como fue previsto. La confiabilidad de los métodos digitales de diseño es muy alta, por su misma simplicidad.

Si su interés en la electrónica digital no es el diseño sino el ensamble de circuitos para su experimentación, usted puede utilizar la información de los proyectos centrales y la gran cantidad de diagramas que aparecen como circuitos de aplicación en este curso. La realización de estos proyectos no requiere conocimientos de diseño lógico.

El tema de diseño de circuitos digitales lo hemos incluido en este curso porque somos conscientes del interés que despierta y porque estamos convencidos que el diseño de circuitos digitales es muy fácil. Sin embargo, su conocimiento no es necesario para continuar con el curso.

El diseño lógico por el método booleano, aunque parezca un tema difícil al principio, realmente no lo es. Sus conceptos son muy simples y en él no se tratan aspectos matemáticos avanzados sino de *lógica* , que es la base de la electrónica digital.

Si después de leer la segunda parte de esta lección considera que realmente no la comprende, no se preocupe. Considérela, por ahora, como una lectura informativa, pero no la omita. Después de estudiar otros temas puede volver a estudiarla y seguramente la entenderá mejor que ahora.

El dominio de las técnicas de análisis y diseño lógico se asemeja al proceso de aprender a leer y escribir. Todo aprendizaje es difícil y demorado al comienzo, pero una vez superada esta etapa los conceptos se tornan muy obvios y de las dificultades iniciales sólo queda el recuerdo.

Convénzase de esto: usted no tiene que ser un ingeniero o un científico para llegar a ser un buen diseñador de circuitos digitales. Sólo se requiere constancia, interés y optimismo.

DIAGRAMAS DE TEMPORIZACION

Como vimos en la lección 4, además de las ecuaciones lógicas y las tablas de verdad, otra forma de describir la operación de un circuito digital es utilizando *diagramas de tiempo*. En éstos se muestra cómo se comporta la salida cuando recibe en sus entradas señales que cambian de un estado a otro con el tiempo. Este caso se presenta con mucha frecuencia en la práctica.

En la figura 104 se muestra un ejemplo de diagrama de tiempo, cuya función es analizar circuitos de pulsos y secuenciales. En esta sección analizaremos únicamente los diagramas de tiempo de las tres compuertas básicas (AND, OR y NOT). Los demás los estudiaremos en detalle en la lección 13.

Las señales mostradas en un diagrama de tiempo corresponden generalmente a su forma de onda *ideal*. Esto es, se supone que las transiciones entre un estado y otro ocurren en un tiempo de 0 (cero) segundos y que la respuesta del circuito a cualquier cambio de estado de las entradas es instantánea.

En el mundo real, las señales digitales no son perfectas y los circuitos lógicos no toman decisiones instantáneamente, aunque sí muy rápidamente.

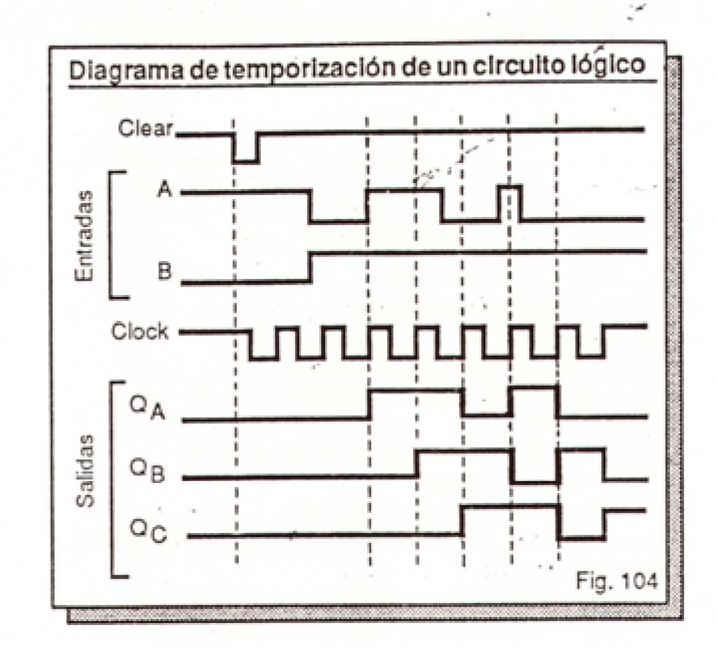


Fig. 104

Sin embargo, para efectos prácticos, supondremos que estamos trabajando con señales ideales.

Diagrama de temporización de una compuerta AND

En la figura 105 se muestra un diagrama de temporización de una compuerta AND de dos entradas.

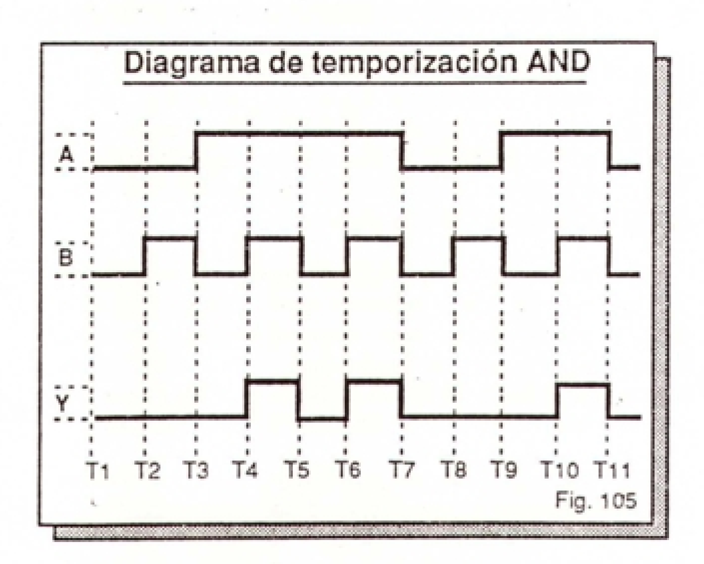


Fig. 105

Observe que entre T1 y T2, la entrada **A** está en **bajo** y la entrada **B** está en **bajo**. En consecuencia, la salida **Y** es de nivel **bajo**. Entre T2 y T3, **A** está en **bajo** y **B** está en **alto**. En consecuencia, **Y** es de nivel **bajo**.

Entre T3 y T4, **A** está en **alto** y **B** está en **bajo**. En consecuencia, **Y** es de nivel **bajo**. Entre T4 y T5, **A** está en **alto** y **B** está en **alto**. En consecuencia, **Y** es de nivel **alto**. Del mismo modo se analizan los demás intervalos.

Diagrama de temporización de una compuerta OR

En la figura 106 se muestra el diagrama de temporización de una compuerta OR de dos entradas.

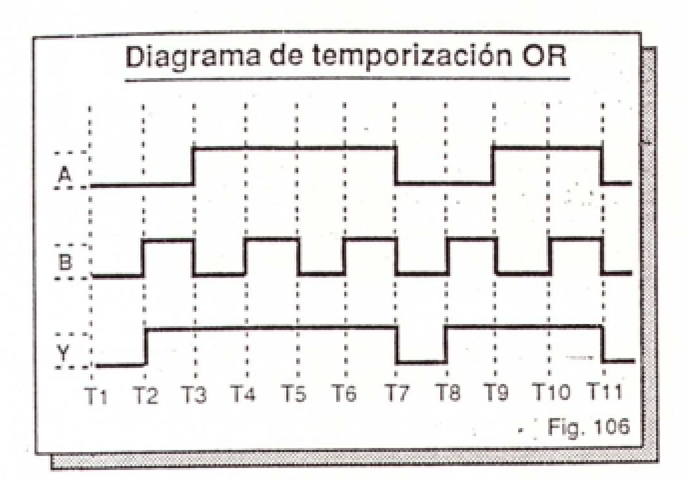


Fig. 106

Entre T1 y T2, la entrada A está en bajo y la entrada B está en bajo. En consecuencia, la salida Y es de nivel bajo. Entre T2 y T3, A está en bajo y B está en alto. En consecuencia, Y es de nivel alto.

Entre T3 y T4, A está en alto y B está en bajo. En consecuencia, Y es de nivel alto. Entre T4 y T5, A está en alto y B está en alto. En consecuencia, Y es de nivel alto. Del mismo modo se analizan los demás intervalos.

Diagrama de temporización de un inversor

En la figura 107 se muestra el diagrama de temporización de un inversor. Entre T1 y T2, la entrada A está en bajo. En consecuencia, la salida Y es de nivel alto. Entre T2 y T3, A está en alto. En consecuencia, Y es de nivel bajo. Del mismo modo se analizan los demás intervalos.

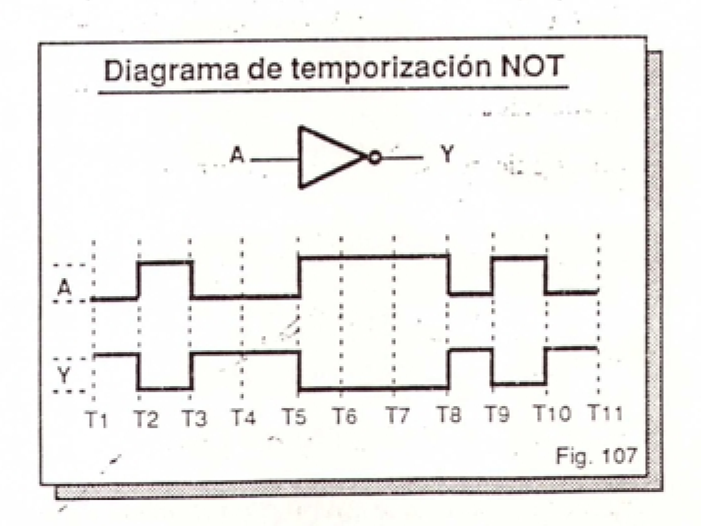


Fig. 107

ALGEBRA BOOLEANA

Qué es el álgebra booleana

El álgebra booleana es un método muy sencillo para expresar, en forma de lenguaje matemático, la lógica digital esbozada en la lección 3. La lógica digital adquiere su dimensión práctica a través de las compuertas estudiadas en las lecciones 4, 5 y 6 y se consolida como una ciencia estructurada mediante el álgebra booleana.

El método booleano permite fácilmente representar, analizar y diseñar circuitos digitales. Sus principios teóricos fueron desarrollados por el matemático inglés George Boole en su obra "Análisis matemático de la lógica" publicada en 1847. Sin embargo, sólo hasta 1938 se descubrió su real utilidad.

En este año, Claude E. Shannon, estudiante de posgrado del MIT (Instituto Tecnológico de Massachusetts, EE.UU) presentó un trabajo en el cual describía cómo el álgebra booleana se adaptaba perfectamente a la representación y al diseño de circuitos de conmutación, basados en relés e interruptores.

Con el advenimiento de los tubos de vacío, los transistores y los circuitos integrados y la fabricación de compuertas, circuitos y sistemas digitales con estas tecnologías, el álgebra booleana adquirió un papel determinante en el desarrollo de la electrónica digital moderna y sus aplicaciones.

El álgebra booleana proporciona el método más compacto y conveniente de representar, analizar y diseñar circuitos lógicos. La operación completa de un circuito digital se puede describir mejor por álgebra booleana que utilizando complicados diagramas lógicos y extensas tablas de verdad.

Cuando se diseña un circuito por métodos booleanos, el primer paso consiste generalmente en obtener su *tabla de verdad* de acuerdo con las condiciones de entrada y de salida. A partir de esta tabla se deriva entonces una *ecuación booleana* que se simplifica y conduce al circuito lógico deseado.

El circuito obtenido por este método es el óptimo porque requiere de un número mínimo de compuertas para su realización. Esto reduce el costo, el tamaño físico y el consumo de potencia del mismo y mejora su confiabilidad y velocidad. Todas estas consideraciones son importantes cuando se diseñan circuitos digitales.

Le advertimos: el álgebra booleana es muy fácil. Libérese de los prejuicios que la palabra *álgebra* sugiere. En álgebra booleana no encontrará raíces cuadradas, logaritmos, números imaginarios, progresiones geométricas, series, etc.

En álgebra booleana usted sólo tiene que aprender a manejar tres operaciones básicas (AND, OR y NOT) y aplicar unas pocas reglas muy elementales.

Si usted conoce los procedimientos del álgebra tradicional, no encontrará mayores dificultades en utilizar los del álgebra booleana. Si éste no es el caso, no se preocupe: el álgebra booleana, aunque es muy fácil, puede producir un desconcierto inicial cuando no se está familiarizado con la manipulación de conceptos algebraicos.

Pero no se desanime por esto. Si usted no está interesado por ahora en el diseño de sistemas digitales, pero sí en aprender electrónica digital, tampoco se preocupe. Los fabricantes de circuitos integrados cada día facilitan el trabajo para usted y ya han realizado toda la labor de diseño para que tenga en sus manos un producto sencillo de utilizar.

Es más: para emplear dispositivos digitales como codificadores, decodificadores, multiplexores, *flip-flops*, etc., usted no necesita saber álgebra booleana. A lo largo de este curso se ha buscado, en lo posible, reducir la necesidad del álgebra booleana para explicar cómo funciona un determinado circuito o una función digital específica.

Lo anterior no implica que el álgebra booleana no sea importante o sea una cuestión puramente académica. El álgebra booleana es la herramienta más importante de que disponen los diseñadores de circuitos digitales para crear funciones nuevas o simplificar las ya existentes.

Conceptos básicos

En álgebra booleana, las entradas y salidas de un circuito digital se representan mediante caracteres alfabéticos llamados *variables booleanas* o lógicas. Generalmente, aunque no es una regla inflexible, las entradas se designan por las primeras letras del alfabeto y las salidas por las últimas (figura 108).

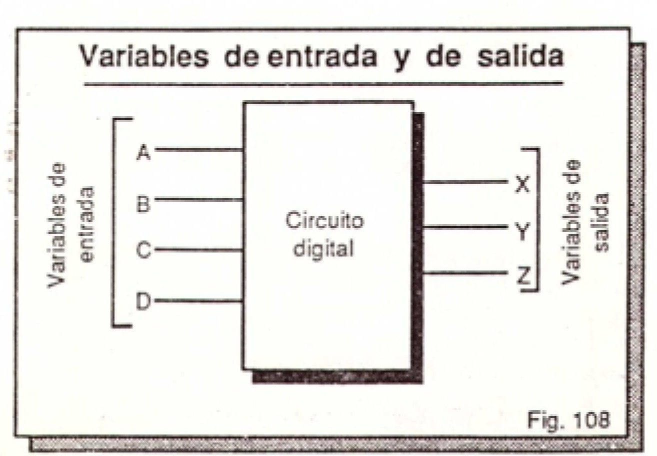


Fig. 108

Las variables booleanas se caracterizan por ser binarias, es decir, porque sólo pueden adoptar uno de dos valores o estados posibles: **0** ó **1**. En electrónica digital, una variable booleana representa el nivel de voltaje presente en un punto de un circuito. El **0** designa el nivel **bajo** y el **1** el nivel **alto**.

Las variables booleanas se combinan para formar *ecuaciones booleanas* o lógicas. Una ecuación booleana es una expresión matemática que sintetiza la función de un circuito digital. En la figura 109 se resumen las ecuaciones booleanas de las compuertas lógicas estudiadas hasta el momento.

Ecuaciones Booleanas

AND: $Q = A \bullet B = AB$	OR: $Q = A + B$
NOT: $Q = \overline{A}$	YES: $Q = A$
NAND: $Q = \overline{A \bullet B} = \overline{AB}$	NOR: $Q = \overline{A + B}$
XOR: $Q = A \oplus B$	XNOR: $Q = \overline{A \oplus B}$

Fig. 109

Una ecuación booleana consta de tres elementos: *variables de entrada*, *variables de salida* y *operadores lógicos*. Los operadores lógicos ("•", "+" y "–") son signos que relacionan entre sí las variables de entrada y establecen su relación con la(s) variable (s) de salida.

Los siguientes son algunos ejemplos de ecuaciones booleanas:

$$P = A$$

$$Q = \overline{A \bullet B \bullet C \bullet D} + \overline{B} \bullet C$$

$$X = (A+B+\overline{C}) \bullet (A+B+C) + (A+\overline{B}+C)$$

En estas expresiones, A, B, C y D son variables de entrada, P, Q y X son variables de salida y "•"

(AND), "+" (OR) y "‾" (NOT), son operadores lógicos. El signo "=" (igual) establece la equivalencia entre el estado de la salida y el de las entradas

En el caso de la ecuación **P=A**, por ejemplo, la salida P tiene siempre el mismo valor de la entrada A: si la entrada es **0**, la salida es **0** y si la entrada es **1**, la salida también es **1**. Recuerde: una variable booleana, de entrada o de salida, sólo puede tener dos valores: **0** ó **1**.

Para aprender a interpretar y manejar ecuaciones booleanas es indispensable conocer las operaciones básicas del álgebra booleana y las reglas que la rigen. En las siguientes secciones desarrollaremos estos temas y sus implicaciones.

Operaciones básicas y derivadas

El álgebra booleana maneja tres operaciones básicas, llamadas **AND** o producto lógico, **OR** o suma lógica y **NOT** o complemento lógico. Estas operaciones son realizadas en la práctica por las compuertas AND, OR y NOT, respectivamente. A continuación las definiremos en detalle.

La operación **NOT** de una variable A se denota $\overline{A}$ y produce una variable de salida que es **0** cuando A = **1** y es **1** cuando A = **0**. En resumen:

$$\overline{A} = Q$$
$$\overline{0} = 1$$
$$\overline{1} = 0$$

Otras formas de denotar el complemento de A son A' y A*; es decir, sustituyendo la barra por una comilla o un asterisco. La expresión $\overline{A}$=Q debe leerse como "no A es igual a Q" y no como "menos A es igual a Q".

La operación NOT sólo está definida para una variable: no existen inversores de dos o más entradas. La barra se utiliza también para indicar el complemento de una expresión lógica. Por ejemplo, $\overline{A+B}$ es el complemento de A+B; $\overline{A \cdot B}$ es el complemento de A•B, etc.

La operación **AND** de dos variables A y B se denota **A•B** y produce una variable de salida que es **1** cuando A=**1** y B=**1** y es **0** mientras cualquiera de las entradas sea igual a **0**. En resumen:

$$A \cdot B = Q$$
$$0 \cdot 0 = 0$$
$$0 \cdot 1 = 0$$
$$1 \cdot 0 = 0$$
$$1 \cdot 1 = 1$$

Otras formas de expresar la operación AND de A y B son AB y A(B); es decir, se omite el punto o se utiliza paréntesis. La expresión **A•B=Q** debe leerse como "A y B es igual a Q" y no como "A por B es igual a Q".

La operación AND es extensiva a más de dos variables. Por ejemplo, A•B•C sólo es igual a 1 cuando **A=1, B=1** y **C=1**.

La operación **OR** de dos variables A y B se denota **A+B** y produce una variable de salida que es **0** cuando A=**0** y B=**0** y es **1** mientras cualquiera de las entradas sea igual a **1**. En resumen:

$$A + B = Q$$
$$0 + 0 = 0$$
$$0 + 1 = 1$$
$$1 + 0 = 1$$
$$1 + 1 = 1$$

La expresión **A+B=Q** debe leerse como "A o B es igual a Q" y no como "A más B es igual a Q". La operación OR es extensiva a más de dos variables. Por ejemplo, A+B+C sólo es igual a **0** cuando A=0, B=0 y C=0.

A partir de las tres operaciones básicas descritas anteriormente se derivan las operaciones NAND, NOR, XOR y XNOR, realizadas por las compuertas del mismo nombre.

La operación **NAND** de A y B es un producto lógico (AND) seguido de una inversión (NOT). Se denota $\overline{A \cdot B}$ y produce una variable de salida que es **0** cuando A=**1** y B=**1** y es **1** mientras cualquiera de las entradas sea igual a **0**.

La operación **NOR** de A y B es una suma lógica (OR) seguida de una inversión (NOT). Se denota $\overline{A+B}$ y produce una variable de salida que es **1** cuando A=**0** y B=**0** y es **0** mientras cualquiera de las entradas sea igual a **1**.

Las operaciones NAND y NOR son extensivas a más de dos variables. Por ejemplo: $\overline{A \cdot B \cdot C}$ sólo es igual a **0** cuando A=**1**, B=**1** y C=**1**; $\overline{A+B+C}$ sólo es igual a **1** cuando A=**0**, B=**0** y C=**0**.

La operación XOR (OR exclusiva) de A y B combina las operaciones AND, OR y NOT. Se denota A⊕B y se define mediante la siguiente ecuación booleana:

$$A \oplus B = A\overline{B} + \overline{A}B$$

En la figura 110 se muestra el circuito lógico correspondiente a esta ecuación. En el experimento 9 verificaremos esta equivalencia. La operación XOR de A y B produce un **1** cuando A es diferente de B y un **0** cuando A es igual a B. La operación XOR se denomina también función de *anticoincidencia*.

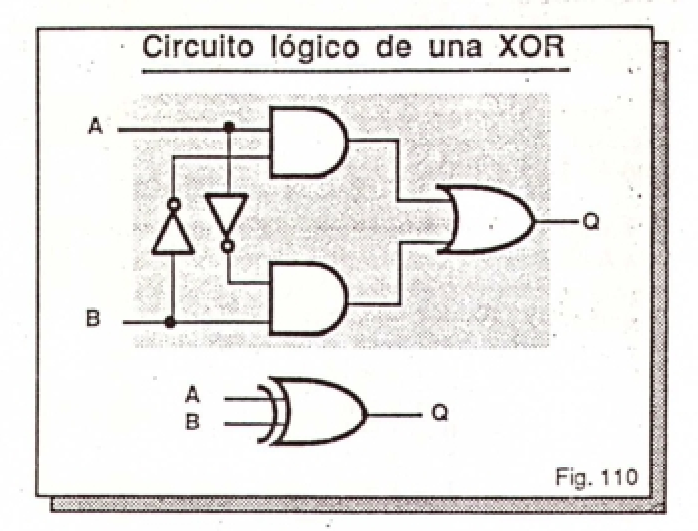


Fig. 110

La operación XNOR (NOR exclusiva) de A y B es una operación XOR seguida de una inversión. Se denota $\overline{A \oplus B}$ y se define mediante la siguiente ecuación booleana:

$$\overline{A \oplus B} = A \cdot B + \bar{A} \cdot \bar{B}$$

En la figura 111 se muestra el circuito lógico correspondiente a esta ecuación. La operación XNOR de A y B produce un 0 cuando A es diferente de B y un 1 cuando A es igual a B.

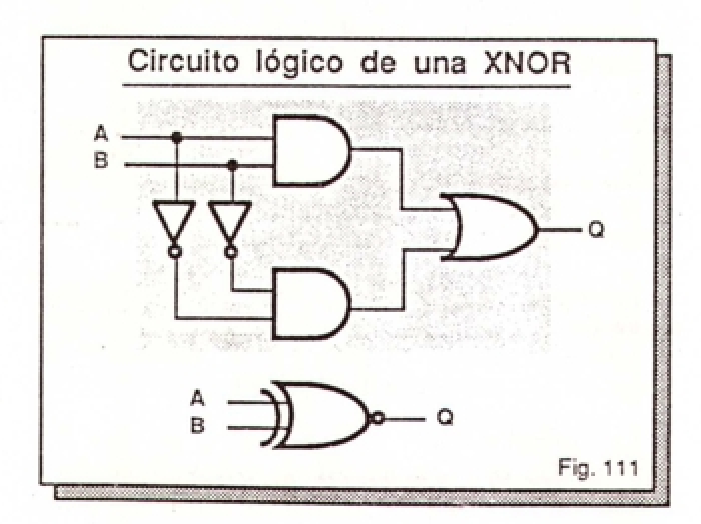


Fig. 111

Aunque originalmente sólo están definidas para dos variables, las operaciones XOR y XNOR se pueden extender a más de dos variables. Por ejemplo: $A \oplus B \oplus C$ sólo es igual a 0 cuando A=0, B=0 y C=0 ó cuando A=1, B=1 y C=1.

En el siguiente experimento usted comprobará la validez de la ecuación que describe la compuerta XOR, uno de los circuitos digitales más populares, y comenzará a familiarizarse con la interpretación y el significado práctico de las ecuaciones booleanas.

EXPERIMENTO 9

Ecuación booleana de la compuerta XOR

Objetivos

- Comprobar que la ecuación booleana $A\bar{B} + \bar{A}B$ describe la operación de una compuerta XOR.
- Aprender a describir un circuito lógico mediante una ecuación booleana.
- Familiarizarse con los métodos de análisis de circuitos digitales por álgebra booleana.

Materiales necesarios

1 Circuito integrado 7404 ó 74LS04 (6 inversores).
1 Circuito integrado 7408 ó 74LS08 (4 compuertas AND de dos entradas).
1 Circuito integrado 7432 ó 74LS32 (4 compuertas OR de dos entradas).
1 Fuente de 5V, 1A (kit CEKIT K11 ó similar) con conectores.
1 punta lógica (kit CEKIT K17 ó similar).
1 Protoboard.
Puentes de alambre telefónico.

Nota. Puede utilizar como fuente de 5 V la descrita en el proyecto central Nº 1 y como punta lógica la descrita en el proyecto central Nº 2.

Si aún no ha montado estos proyectos, sustituya la fuente por una batería de 6 V con un diodo en serie y la punta lógica por un monitor lógico de LED y resistencia, como se muestra en la figura E17.

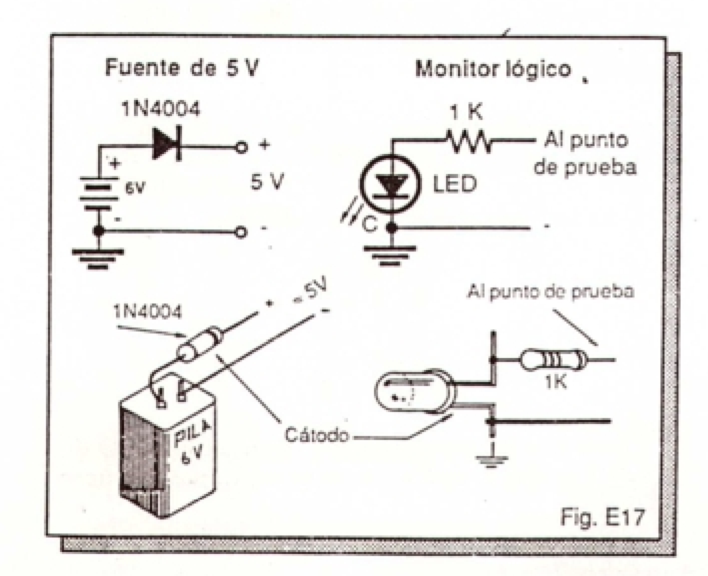


Fig. E17

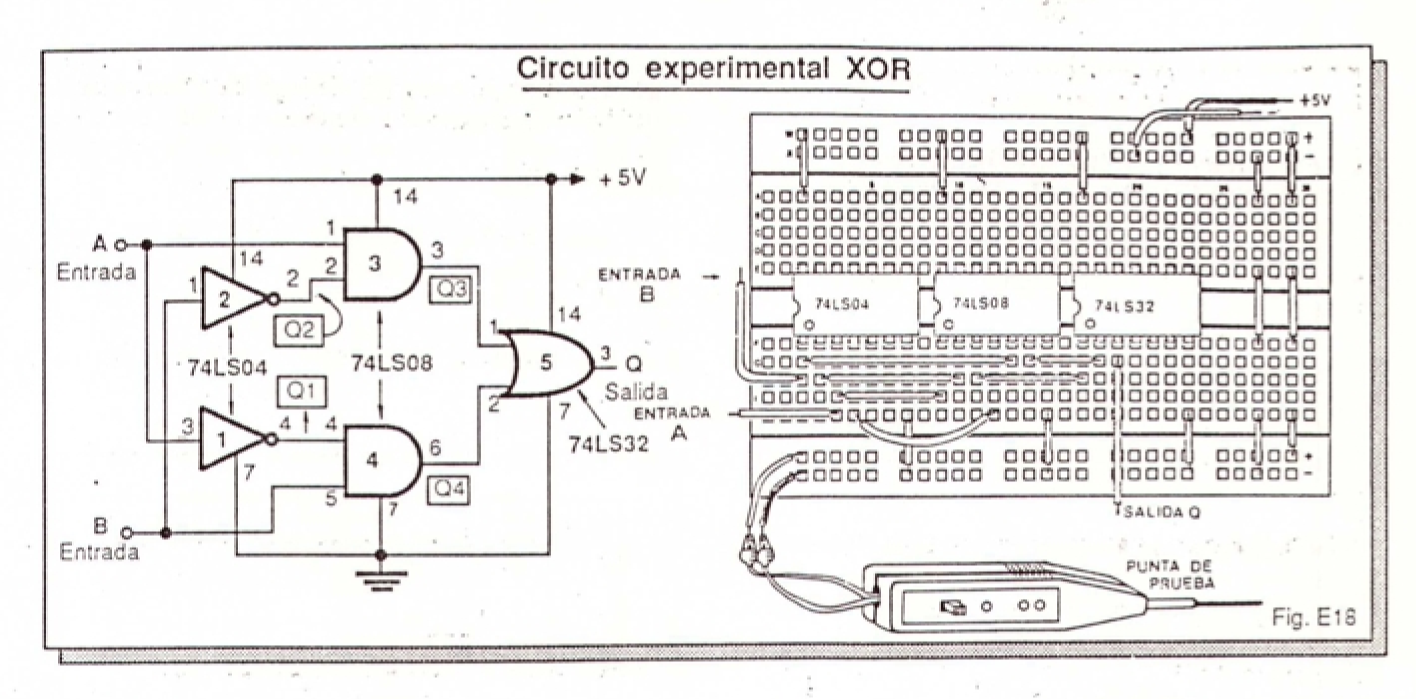


Fig. E18

Procedimiento

Paso 1. Monte sobre el protoboard el circuito de la figura E18, correspondiente a una compuerta OR exclusiva (XOR) implementada con inversores y compuertas AND y OR. A y B son los terminales de entrada del circuito y Q el terminal de salida.

Los puntos Q1, Q2, Q3 y Q4 son puntos intermedios de prueba. Específicamente, Q1 es la salida de la compuerta #1, Q2 la salida de la compuerta #2, Q3 la salida de la compuerta #3 y Q4 la salida de la compuerta #4. La salida Q del circuito es la salida de la compuerta #5.

No conecte aún la fuente de alimentación. Siga detenidamente este análisis. Es muy importante. Su propósito es ilustrar el método general que debe seguirse para representar un circuito lógico mediante una ecuación booleana.

La compuerta #1 es un inversor cuya entrada está conectada al terminal de entrada A del circuito. Su salida, Q1, se puede describir mediante la siguiente ecuación booleana:

$$Q_1=\overline{A}$$

La compuerta #2 es un inversor cuya entrada está conectada al terminal de entrada B del circuito. Su salida, Q2, se puede describir mediante la siguiente ecuación booleana:

$$Q_2=\overline{B}$$

La compuerta #3 es una compuerta AND. Una de sus entradas está conectada al terminal de entrada A y la otra a la salida Q2 del inversor #2. Su salida, Q3, se puede describir mediante la siguiente ecuación booleana:

$$Q_3=A\cdot Q_2$$

Teniendo en cuenta que $Q_2=\overline{B}$, el estado de la salida Q3 se puede describir también mediante la siguiente ecuación booleana:

$$Q_3=A\cdot\overline{B}$$

La compuerta #4 es una compuerta AND. Una de sus entradas está conectada a la salida Q1 del inversor #1 y la otra al terminal de entrada B. Su salida, Q4, se puede describir mediante la siguiente ecuación booleana:

$$Q_4=Q_1\cdot B$$

Teniendo en cuenta que $Q_1=\overline{A}$, el estado de la salida Q4 se puede describir también mediante la siguiente ecuación booleana:

$$Q_4=\overline{A}\cdot B$$

La compuerta #5 es una compuerta OR. Una de sus entradas está conectada a la salida Q3 de la compuerta AND #3 y la otra a la salida Q4 de la compuerta AND #4. Su salida, Q, que es la salida final del circuito, se puede describir mediante la siguiente ecuación booleana:

$$Q = Q_3 + Q_4$$

Teniendo en cuenta que $Q_3 = A\cdot\overline{B}$ y $Q_4 = \overline{A}\cdot B$, la salida Q se puede describir también mediante la siguiente ecuación booleana:

$$Q = A \cdot \overline{B} + \overline{A} \cdot B$$

La expresión $Q = A \cdot \overline{B} + \overline{A} \cdot B$ es la ecuación booleana del circuito de la figura E18 y describe, en forma concisa, la operación del mismo. El estado de la salida Q es el resultado de una serie de operaciones lógicas AND, OR y NOT internas con los estados de las entradas A y B.

A partir de esta ecuación podemos extraer mucha información sin necesidad de elaborar una tabla de verdad o ensamblar el circuito. Por ejemplo: ¿cuál será el estado de la salida Q si la entrada A está en **alto (1)** y la entrada B está en **bajo (0)**?

Para resolver esta inquietud, remplazamos A y B por sus valores correspondientes y realizamos las operaciones lógicas indicadas por la ecuación booleana. En nuestro caso, A=**1** y B=**0**. Por tanto:

$$Q = A \cdot \overline{B} + \overline{A} \cdot B$$
$$Q = 1 \cdot \overline{0} + \overline{1} \cdot 0$$

Puesto que $\overline{0}=1$ y $\overline{1}=0$ (operación NOT), entonces:

$$Q = 1 \cdot 1 + 0 \cdot 0$$

Puesto que **1•1=1** y **0•0=0** (operación AND), entonces:

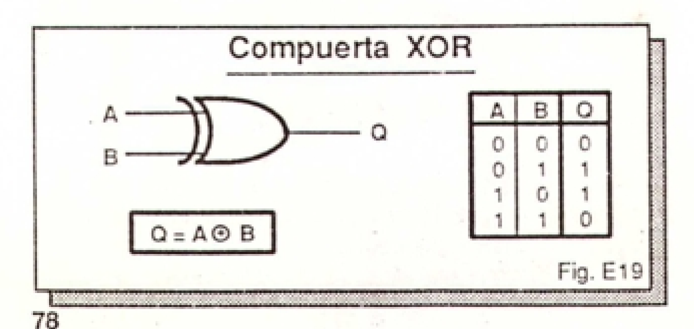
$$Q = 1 + 0$$

Puesto que **1+0=1** (operación OR), entonces:

$$Q = 1$$

En consecuencia, el estado de salida resultante de la combinación de entradas A=**1** y B=**0** es Q=**1**. Del mismo modo se procede para evaluar la salida correspondiente a cualquier otra combinación de entradas.

Una vez comprendido este análisis, vamos a verificarlo en forma práctica y a demostrar que el circuito de la figura E18 opera como una compuerta OR exclusiva (XOR). En la figura E19 se recuerda el símbolo lógico y la tabla de verdad de este dispositivo.



A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Fig. E19

Paso 2. Antes de conectar la fuente de alimentación, verifique que todas las conexiones estén bien. Realice las correcciones que sean necesarias. Después de esta verificación, conecte la fuente.

Aplique un **bajo (0)** a las entradas A y B, conectándolas al negativo o tierra de la fuente (-). Con la punta lógica verifique el estado de las entradas A y B, de los puntos de prueba Q1, Q2, Q3 y Q4 y de la salida Q. Escriba sus resultados en la tabla E8.

Entradas		Puntos de prueba				Salida
A	B	Q1	Q2	Q3	Q4	Q
0	0					
0	1					
1	0					
1	1					

Tabla E8

Paso 3. Repita el paso anterior con las demás combinaciones de entrada (A=**0** y B=**1**; A=**1** y B=**0**; A=**1** y B=**1**). Para aplicar un **alto (1)** en cualquier entrada conéctela al positivo de la fuente (+5V) y para aplicar un **bajo** conéctela al negativo (tierra).

Paso 4. Compare los resultados obtenidos en cada una de las columnas Q1, Q2, Q3 y Q4 y explíquelos en términos booleanos. Por ejemplo: "el estado del punto Q2 es siempre contrario al de la entrada B porque $Q2=\overline{B}$". Registre sus observaciones.

Paso 5. Compare los resultados obtenidos en la columna Q y relaciónelos con el estado de las entradas A y B correspondientes. Observe lo que pasa en la salida Q cuando las entradas A y B son iguales y lo que pasa cuando son diferentes.

Si usted ha realizado correctamente este experimento, el estado de los puntos Q1, Q2, Q3 y Q4 debe ser el determinado por las ecuaciones booleanas de los mismos según el análisis previo. El circuito, en su conjunto, desde el punto de vista de las entradas A y B y de la salida Q, debe comportarse como una compuerta OR exclusiva o XOR.

Repita este experimento cuantas veces sea necesario para que todos los conceptos queden claros en su mente. Esta primera aproximación al análisis y diseño de circuitos digitales es muy importante. Asocie cada punto del circuito con su ecuación booleana pero tenga en cuenta que está trabajando con niveles **altos (1's)** y **bajos (0's)** de voltaje.

Deducción de circuitos lógicos a partir de ecuaciones booleanas

En el experimento anterior aprendimos a describir un circuito lógico mediante una ecuación booleana. En esta sección ilustraremos, mediante un ejemplo, el proceso contrario; es decir, la forma de obtener el circuito lógico asociado a una ecuación booleana dada.

Suponga que se desea determinar el circuito lógico correspondiente a la siguiente ecuación, la cual contiene 3 variables de entrada (A, B y C) y una variable de salida (Q):

$$Q = \overline{A} \cdot (B+C)$$

Para generar el término $\overline{A}$ necesitamos un inversor cuya entrada sea la variable original A. La salida de este inversor podemos designarla como Q1 y describirla mediante la siguiente ecuación:

$$Q_1 = \overline{A}$$

Para generar el término B+C necesitamos una compuerta OR, cuyas entradas sean las variables B y C. La salida de esta compuerta podemos designarla como Q2 y describirla mediante la siguiente ecuación booleana:

$$Q_2 = B+C$$

Con estas asignaciones, la ecuación original adopta la siguiente forma:

$$Q = \underline{A} \cdot (B+C)$$
$$\overset{\downarrow}{Q} = Q_1 \cdot Q_2$$

Para generar el término Q1•Q2 necesitamos una compuerta AND cuyas entradas sean las variables $Q_1=\overline{A}$ y $Q_2=B+C$, es decir, las salidas del inversor y la compuerta OR anteriores. De este modo se obtiene el circuito final mostrado en la figura 112.

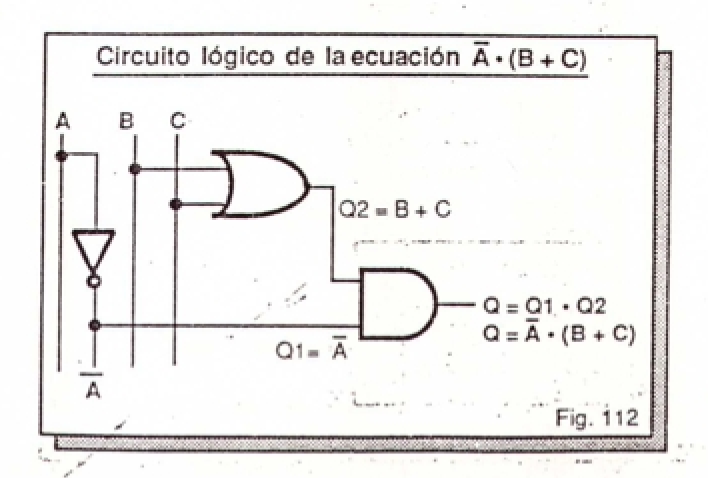


Fig. 112

Cómo elaborar tablas de verdad

Una *tabla de verdad* es una forma gráfica de resumir la operación de una compuerta o de un circuito lógico. En la figura 113 se relacionan las tablas de verdad de las 8 compuertas lógicas estudiadas hasta el momento. Las tablas de verdad se denominan también *tablas funcionales*.

Tablas de verdad de compuertas

AND

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

OR

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

NAND

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

NOR

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

XOR

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

XNOR

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

NOT

A	Q
0	1
1	0

YES

A	Q
0	0
1	1

Fig. 113

Una tabla de verdad relaciona todas las posibles combinaciones de estados de las entradas y los correspondientes estados de salida. Con una entrada sólo son posibles dos combinaciones (**1** y **0**), con dos entradas son posibles 4 combinaciones (**00**, **01**, **10** y **11**), con tres son posibles 8 combinaciones y así sucesivamente.

En general, si N es el número de entradas de una compuerta o de un circuito lógico, son posibles 2^N combinaciones diferentes de 1's y 0's. Por tanto, la tabla de verdad de esa compuerta o de ese circuito constará de 2^N términos. Por ejemplo, si N=5, entonces $2^N = 2^5 = 2x2x2x2x2 = 32$.

Ilustraremos mediante un ejemplo la forma de obtener la tabla de verdad de un circuito lógico de cualquier número (N) de entradas. La creación de una tabla de verdad es generalmente el primer paso en el proceso de diseño de un circuito lógico.

Suponga que deseamos diseñar un circuito digital de 4 entradas (A, B, C y D) y una salida (Y) que entregue un nivel **alto (1)** a la salida sólo cuando

tres entradas estén simultáneamente en **alto (1)** y un nivel **bajo (0)** para cualquier otra circunstancia (figura 114).

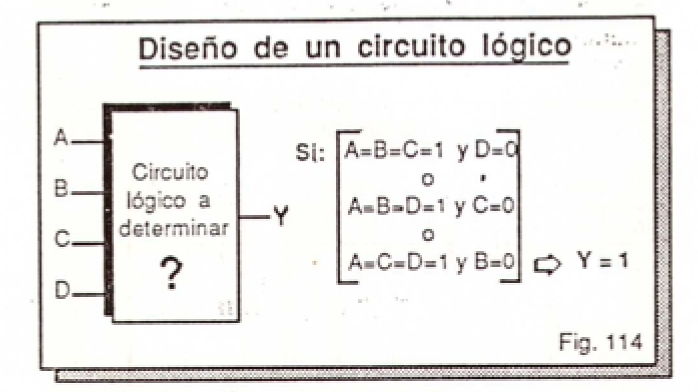


Fig. 114

El primer paso es determinar el número total de combinaciones de entrada posibles. Este número determina el tamaño de la tabla de verdad. En nuestro caso, N=4. Por tanto:

Total combinaciones = $2^N = 2^4 = 2x2x2x2 = 16$.

A continuación asignamos una columna para cada una de las entradas y salidas del circuito (figura 115A). En nuestro caso, las entradas están marcadas como A, B, C y D y la salida como Y.

El siguiente paso es especificar todas las posibles combinaciones de entrada (16 en nuestro caso). Para lograrlo, alternamos grupos progresivos de 0's y 1's en las columnas correspondientes a cada entrada, comenzando por la columna de la derecha (D) y terminando en la de la izquierda (A), como se muestra en la figura 115B.

Observe que en la columna D los 0's y 1's se alternan de uno en uno; en la columna C se alternan en grupos de 2; en la columna B se alternan en grupos de 4 y en la columna A se alternan en grupos de 8. En general, a medida que avanzamos de derecha a izquierda en una tabla de verdad, el número de 0's y 1's se duplica.

El último paso es asignar a cada combinación de entrada el correspondiente valor (**1** ó **0**) de salida. Estos valores dependen exclusivamente de la función lógica que debe realizar el circuito o para la cual ha sido diseñado.

En nuestro caso, la salida Y debe ser igual a **1** sólo cuando tres entradas sean al mismo tiempo iguales a **1** y debe ser igual a **0** en cualquier otra circunstancia. En la figura 115C se muestra la tabla de verdad final obtenida al aplicar esta condición de diseño.

Observe que la tabla de verdad de la figura 115C tiene 16 filas, numeradas desde 0 hasta 15, que pueden ser divididas en dos categorías: las que tienen un **0** en la columna Y y las que tienen un **1** en esa columna. Se dice, entonces, que las primeras generan *maxitérminos* y las segundas *minitérminos*.

En nuestro caso, las filas 7, 11, 13 y 14 producen minitérminos y las restantes producen maxitérminos. Desde el punto de vista del diseño, interesan

Proceso de construcción de una tabla de verdad

(A)

A	B	C	D	Y

(B)

A	B	C	D	Y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

(C)

	A	B	C	D	Y	
(0)	0	0	0	0	0	
(1)	0	0	0	1	0	
(2)	0	0	1	0	0	
(3)	0	0	1	1	0	
(4)	0	1	0	0	0	
(5)	0	1	0	1	0	
(6)	0	1	1	0	0	
(7)	0	1	1	1	1	← Minitérmino Y7
(8)	1	0	0	0	0	
(9)	1	0	0	1	0	
(10)	1	0	1	0	0	
(11)	1	0	1	1	1	← Minitérmino Y11
(12)	1	1	0	0	0	
(13)	1	1	0	1	1	← Minitérmino Y13
(14)	1	1	1	0	1	← Minitérmino Y14
(15)	1	1	1	1	0	

Fig. 115

las filas que producen 1's o minitérminos porque un 1 significa generalmente la activación de algo.

Los minitérminos son expresiones booleanas que describen cada una de las filas activas de una tabla de verdad y permiten deducir la ecuación lógica que la sintetiza. Conociendo la ecuación lógica es muy fácil deducir el circuito lógico asociado.

En la siguiente sección aprenderemos a deducir la ecuación lógica de una tabla de verdad mediante el análisis de sus minitérminos. Esta información nos permitirá esbozar una primera aproximación al circuito lógico que estamos buscando.

Deducción de ecuaciones booleanas a partir de tablas de verdad

Consideremos nuevamente la tabla de verdad de la figura 115C. Ilustraremos a continuación la forma de obtener la ecuación lógica que la describe o sintetiza.

El primer paso es identificar las filas o combinaciones de entrada que producen como resultado un 1 a la salida. En nuestro caso, esto es aplicable a las filas 7, 11, 13 y 14 (figura 116A).

A continuación, observamos en cada fila los valores que toma cada variable de entrada. Si una variable determinada vale **0**, la remplazamos mentalmente por su complemento ($\overline{A}$, $\overline{B}$, $\overline{C}$, $\overline{D}$). Si la variable vale **1**, la dejamos tal como estaba, es decir, sin negar (A, B, C, D). En la figura 116B se ilustra este paso.

Seguidamente, asignamos a la salida de cada fila una expresión booleana equivalente a la operación AND de las variables de entrada representadas de esta forma. En la figura 116C se ilustra este paso. Cada una de estas ecuaciones es un minitérmino. Por ejemplo, el minitérmino asociado a la fila 13 es:

$$Y_{13}=AB\overline{C}D$$

La ecuación final se obtiene realizando la operación **OR** de todos los minitérminos. En nuestro caso:

$$Y = Y_7+Y_{11}+Y_{13}+Y_{14}$$

Remplazando cada minitérmino por su expresión booleana correspondiente, se obtiene la ecuación solicitada:

$$Y = \overline{A}BCD+A\overline{B}CD+AB\overline{C}D+ABC\overline{D}$$

Una expresión de este tipo se denomina en álgebra booleana *suma de productos*. Se realiza en la práctica utilizando compuertas AND, OR y NOT.

Esta ecuación describe de una manera compacta la tabla de verdad de la figura 115C. Para implementarla, necesitamos de 4 compuertas AND de 4 entradas y 4 inversores para generar los minitérminos y de 1 compuerta OR de 4 entradas para generar la variable de salida. En la figura 117 se muestra el circuito correspondiente.

Es posible que este circuito, aunque realiza la función lógica para la cual ha sido diseñado, no sea el óptimo en el sentido de que utiliza más compuertas de las que en realidad son necesarias. En la siguiente sección aprenderemos una serie de reglas que nos permitirán simplificar ecuaciones booleanas y así optimar circuitos lógicos.

Reglas del álgebra booleana

En álgebra booleana existen 22 reglas muy sencillas e importantes que cuando se entienden, memorizan y aplican correctamente, contribuyen a simplificar ecuaciones booleanas y a minimizar el número de compuertas requeridas para implementar un determinado circuito. Esta es su principal aplicación.

Proceso de deducción de una ecuación booleana

(A)

	A	B	C	D	Y
(7)	0	1	1	1	1
(11)	1	0	1	1	1
(13)	1	1	0	1	1
(14)	1	1	1	0	1

(B)

	A	B	C	D	Y
(7)	$\overline{A}$	B	C	D	1
(11)	A	$\overline{B}$	C	D	1
(13)	A	B	$\overline{C}$	D	1
(14)	A	B	C	$\overline{D}$	1

(C)

	A	B	C	D	Y = Y7 + Y11 + Y13 + Y14
(7)	$\overline{A}$	B	C	D	Y7 = $\overline{A}$BCD
(11)	A	$\overline{B}$	C	D	Y11 = A$\overline{B}$CD
(13)	A	B	$\overline{C}$	D	Y13 = AB$\overline{C}$D
(14)	A	B	C	$\overline{D}$	Y14 = ABC$\overline{D}$

Fig. 116

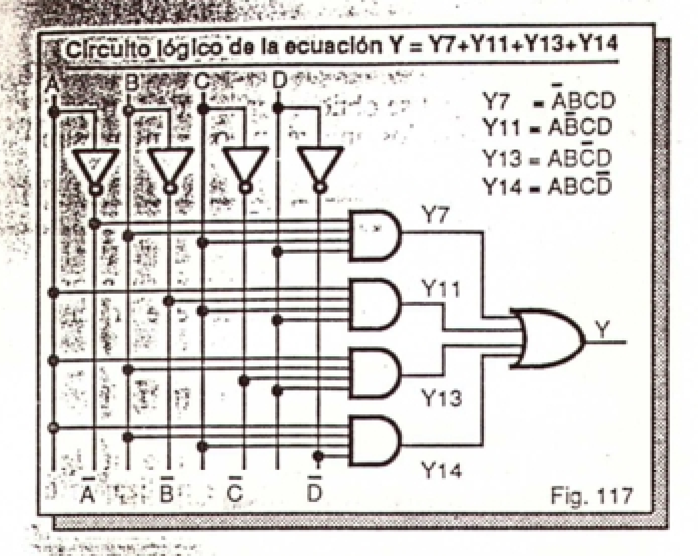


Fig. 117

Presentamos a continuación un listado de las reglas del álgebra booleana. Para cada una se ofrece una breve explicación de su significado y los circuitos correspondientes. Todas estas reglas son muy fáciles de comprender y asimilar, si usted tiene bien claro cómo trabajan las tres compuertas básicas AND, OR y NOT.

Regla Nº 1. $A \cdot 0 = 0$

Regla Nº 2. $A \cdot 1 = A$

Las reglas 3 y 4 se denominan *leyes de la multiplicación* o *producto lógico* y se ilustran en la figura 118. Establecen que la operación AND de una variable A con **0** es siempre igual a **0** y con **1** es siempre igual a la variable original. Estas reglas son válidas también para compuertas AND de varias entradas.

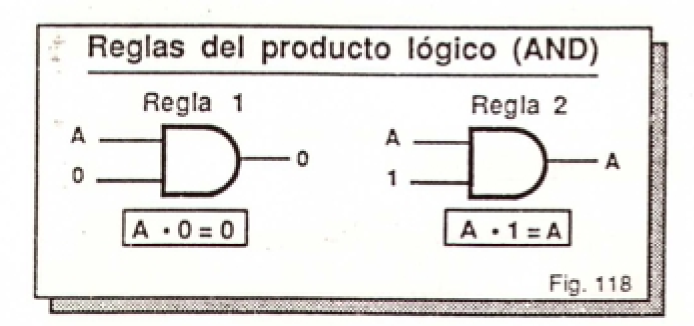


Fig. 118

Regla Nº 3. $A + 1 = 1$

Regla Nº 4. $A + 0 = A$

Las reglas 1 y 2 se denominan *leyes de la suma lógica* y se ilustran en la figura 119. Establecen que la operación OR de una variable A con **1** es siempre igual a **1** y con **0** es siempre igual a la variable original. Estas reglas son válidas también para compuertas OR de varias entradas.

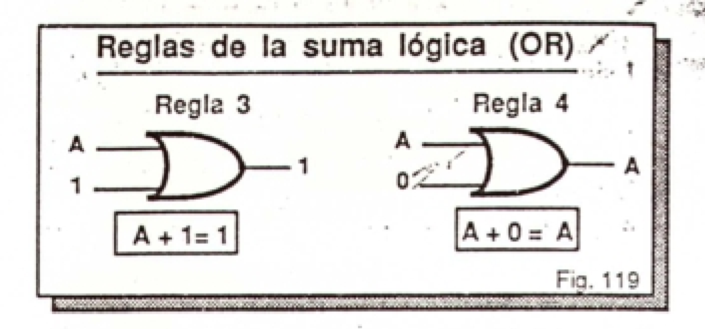


Fig. 119

Regla Nº 5. $A \cdot A = A$

Regla Nº 6. $A + A = A$

Las reglas 5 y 6 se denominan *leyes de la tautología* y se ilustran en la figura 120. Establecen que la operación OR o AND de una variable A consigo misma es igual a la variable original. Es decir, si se aplica la misma señal de entrada a las entradas de una compuerta OR o AND, la salida será siempre igual a la señal de entrada.

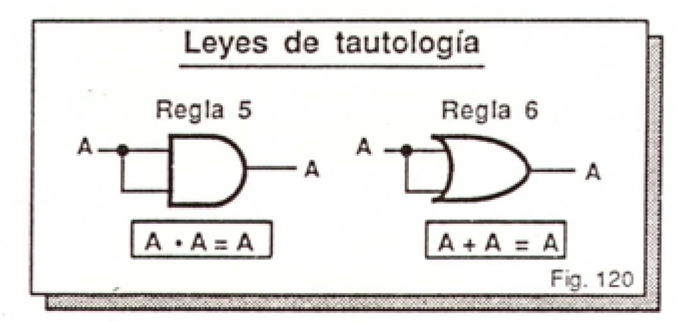


Fig. 120

Regla Nº 7. $A \cdot \overline{A} = 0$

Regla Nº 8. $A + \overline{A} = 1$

Las reglas 7 y 8 se denominan *leyes de los complementos* y se ilustran en la figura 121. Establecen que la operación AND de una variable A con su complemento es siempre igual a **0** y la operación OR de las mismas es siempre igual a **1**. Estas reglas se aplican también a compuertas AND y OR de varias entradas.

Regla Nº 9. $\overline{\overline{A}} = A$

Esta regla se denomina *ley de la doble negación* y se ilustra en la figura 122. Establece que la doble negación de una variable A es igual a A. Es decir, si se aplica una señal a un inversor y la señal de salida de este último se vuelve a invertir, la señal de salida final es la misma señal de entrada. Si la señal es **0**, la salida es **0** y si es **1**, la salida es **1**.

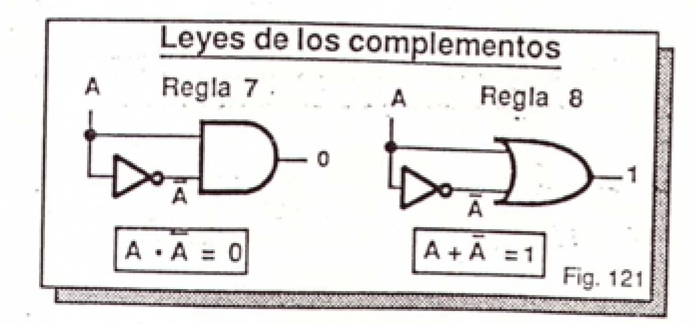


Fig. 121

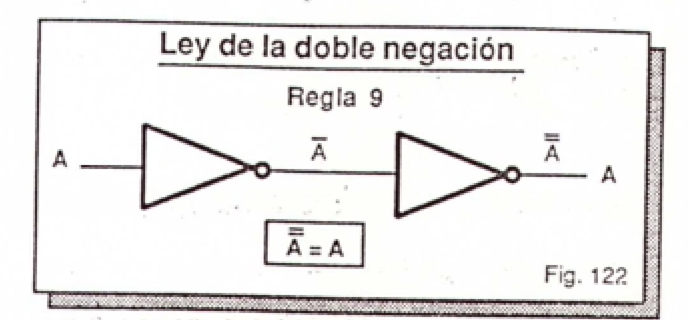


Fig. 122

Regla Nº10. A•B = B•A

Regla Nº 11. A+B = B+A

Las reglas 10 y 11 se denominan *leyes conmutativas* y se ilustran en la figura 123. Establecen que las operaciónes AND y OR son conmutativas: las entradas de una compuerta OR o AND se pueden intercambiar y la salida no cambia. No importa cuál entrada designe usted como A y cuál como B, el resultado siempre será el mismo.

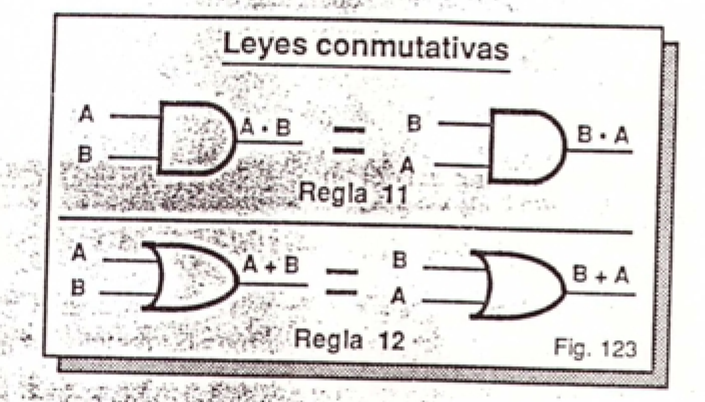


Fig. 123

Regla Nº 12. Ley distributiva de la operación AND

AB + AC = A•(B+C)

Regla Nº 13. Ley distributiva de la operación OR

(A+B)•(A+C) = A + BC

Las reglas 12 y 13 se denominan *leyes distributivas* y se ilustran en la figura 124. La regla 12 opera de la misma forma que la regla estándar de factorización del álgebra común: cuando un término A se repite en una suma de productos, la expresión original se puede factorizar y simplificar, convirtiéndose en un producto de sumas.

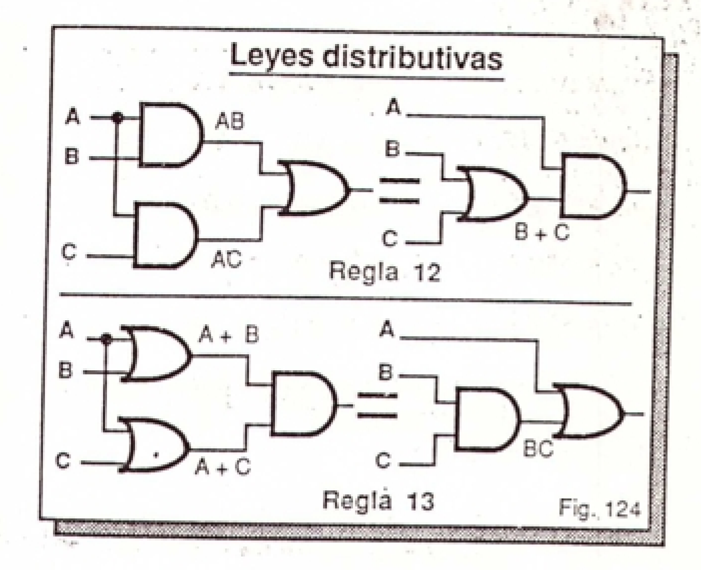


Fig. 124

La regla 13 opera de manera similar a la regla estándar de expansión del álgebra común: cuando un término A se repite en un producto de sumas, la expresión original se puede expandir y simplificar, convirtiéndose en una suma de productos.

Regla Nº 14. Ley asociativa de la operación AND

ABC = (AB)•C = A•(BC) = (AC)•B

Regla Nº 15. Ley asociativa de la operación OR

A+B+C = (A+B)+C = A+(B+C) = (A+C)+B

Las reglas 14 y 15 se denominan *leyes distributivas* y se ilustran en la figura 125. Establecen que las operaciones AND y OR son asociativas y el orden en que se agrupen las entradas de una compuerta OR o AND de varias entradas es intrascendente.

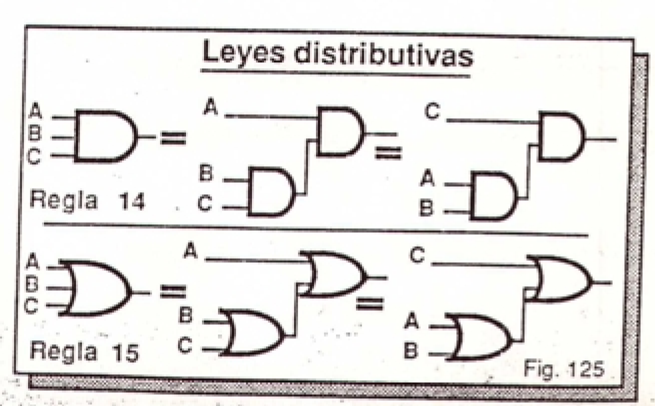


Fig. 125

Regla Nº 16. $A \cdot (A+B) = A$

Regla Nº 17. $A + AB = A$

Regla Nº 18. $A \cdot (\bar{A}+B) = AB$

Regla Nº 19 $\bar{A} + AB = \bar{A} + B$

Regla Nº 20. $A + \bar{A}B = A + B$

Las reglas 16 a 20 se denominan *leyes de absorción*, se ilustran en la figura 126 y no se cumplen en el álgebra común.

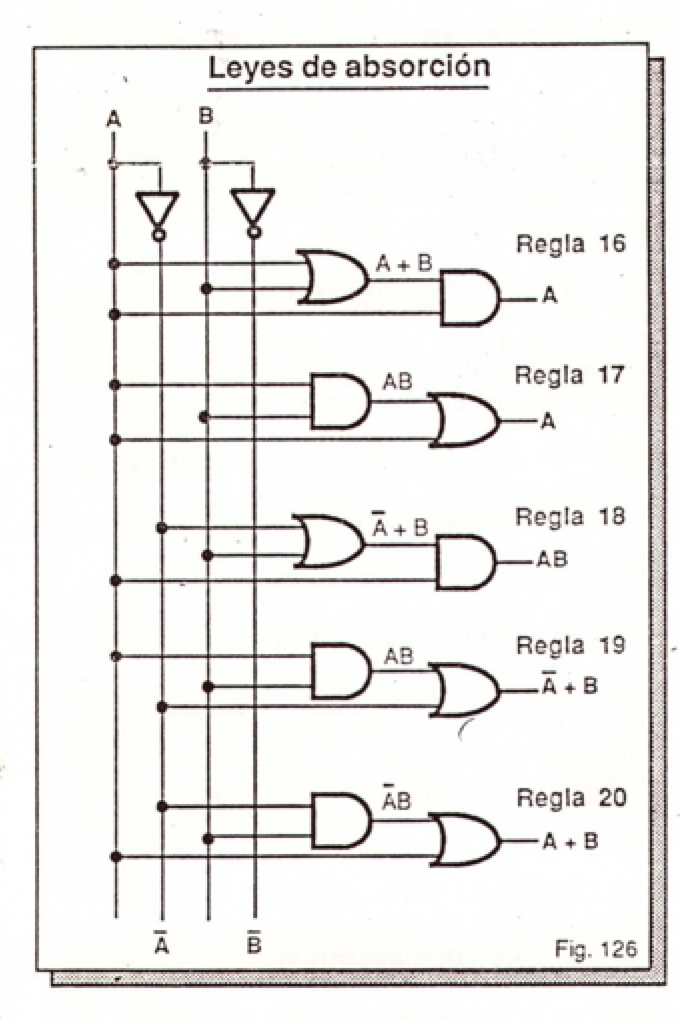


Fig. 126

Regla Nº 21. Primer teorema de DeMorgan

$$\overline{A+B} = \bar{A} \cdot \bar{B}$$

Regla Nº 22. Segundo teorema de DeMorgan

$$\overline{A \cdot B} = \bar{A} + \bar{B}$$

Las reglas 21 y 22 se denominan *teoremas de DeMorgan* y se ilustran en la figura 127. La regla 21 establece que la negación de la suma lógica de dos variables A y B es igual al producto lógico de sus complementos. Es decir, la operación de una compuerta NOR es equivalente a la de una compuerta AND con las entradas negadas.

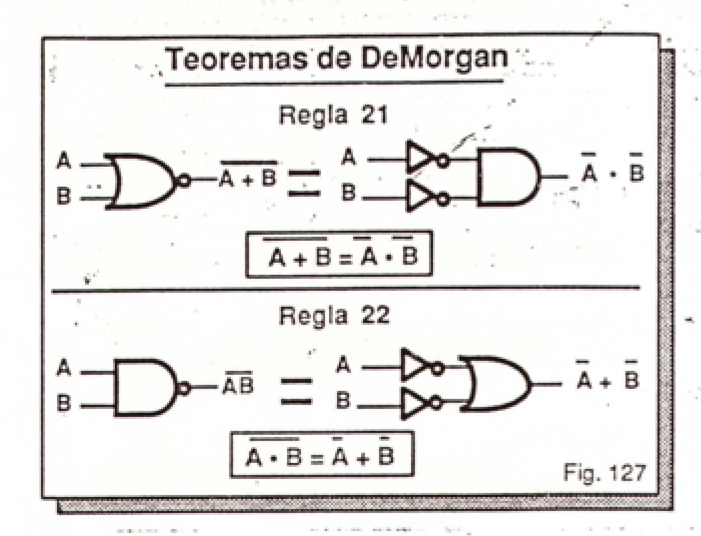


Fig. 127

La regla 22 establece que la negación del producto lógico de dos variables A y B es igual a la suma lógica de sus complementos. Es decir, la operación de una compuerta NAND es equivalente a la de una compuerta OR con las entradas negadas.

Las reglas 21 y 22 son aplicables también a compuertas de varias entradas. Su utilidad más importante radica en que posibilitan la realización de cualquier circuito lógico, utilizando únicamente compuertas NAND o compuertas NOR.

En la figura 128 se muestra la forma de obtener cada una de las compuertas lógicas estudiadas hasta el momento, interconectando exclusivamente compuertas NAND.

En la próxima sección aprenderá a utilizar todas las reglas anteriores para simplificar ecuaciones booleanas y así minimizar el número de compuertas de un circuito lógico.

Simplificación de ecuaciones booleanas y minimización de circuitos lógicos

En la sección anterior conocimos las reglas del álgebra booleana y nos familiarizamos con su uso. En esta sección ilustraremos, mediante un ejemplo, cómo aplicar estas reglas para simplificar ecuaciones booleanas y minimizar así los circuitos lógicos que ellas representan.

Consideremos nuevamente el problema de diseño planteado en la sección "Cómo elaborar tablas de verdad" de la página 79. Se trata de obtener un circuito lógico de 4 entradas y una salida que entregue un **1** lógico cuando tres de sus entradas sean **altas** (**1's**) y un **0** lógico en cualquier otra circunstancia.

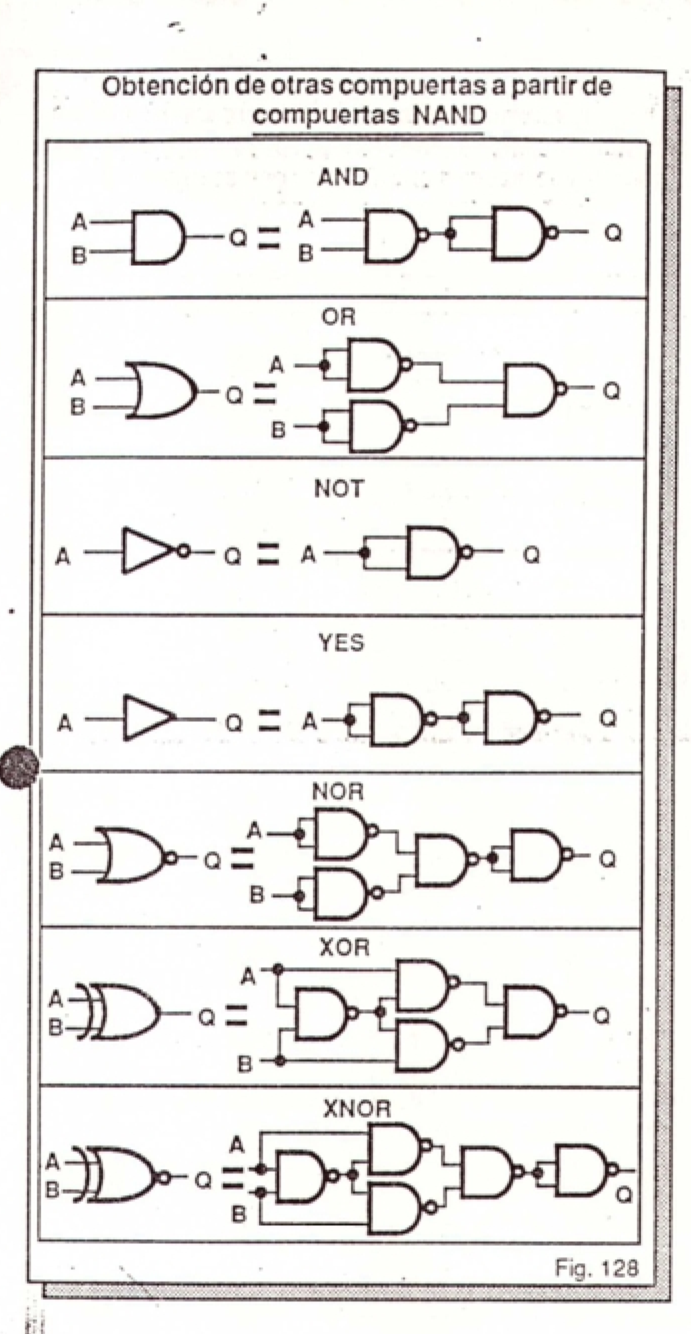


Fig. 128

En las figuras 115C y 117 se muestran la tabla de verdad y el circuito lógico obtenidos hasta el momento. Nuestro siguiente objetivo es simplificar la ecuación booleana y derivar de esa ecuación simplificada un circuito más sencillo, que realice exactamente la misma función.

Consideremos inicialmente la ecuación booleana original:

$$Y = \bar{A}BCD + A\bar{B}CD + AB\bar{C}D + ABC\bar{D}$$

Para simplificar esta expresión, que está en la forma de suma de productos, aplicamos las reglas booleanas adecuadas así:

Agrupando términos de acuerdo con la ley asociativa OR (regla 15):

$$Y = (\bar{A}BCD + A\bar{B}CD) + (AB\bar{C}D + ABC\bar{D})$$

Factorizando términos comunes de acuerdo con la ley distributiva AND (regla 12):

$$Y = (\bar{A}B + A\bar{B})\cdot CD + AB\cdot(\bar{C}D + C\bar{D})$$

Observe que el término $\bar{A}B + A\bar{B}$ corresponde a la operación OR exclusiva de A y B y que el término $\bar{C}D + C\bar{D}$ corresponde a la operación OR exclusiva de C y D. Estos términos no admiten simplificación. Por tanto, la salida Y se puede describir mediante la siguiente ecuación booleana:

$$Y = (A\oplus B)\cdot CD + AB\cdot(C\oplus D)$$

Para poner en práctica esta expresión, se requiere únicamente de dos compuertas XOR, cuatro compuertas AND de dos entradas y una compuerta OR de dos entradas. En la figura 129 se muestra un circuito lógico práctico que resuelve nuestro problema y es significativamente más sencillo que el circuito original de la figura 117.

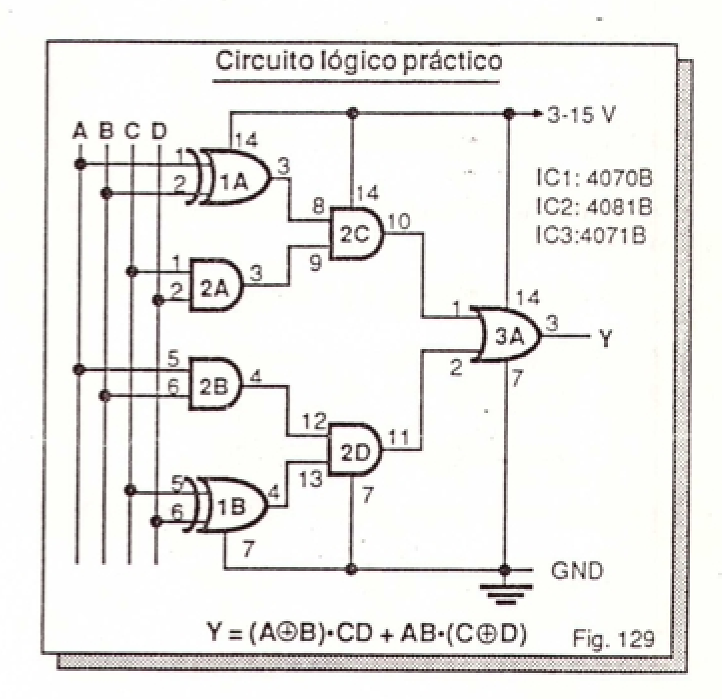


Fig. 129

El ejemplo anterior corresponde a un caso sencillo de simplificación, donde la aplicación de sólo dos reglas (las leyes asociativa y distributiva) y la identificación de ciertas estructuras conocidas (las compuertas XOR) solucionan el problema de diseño, reduciendo al mínimo la manipulación algebraica.

Este no es el caso general. Consideremos, por ejemplo, la simplificación de la ecuación

$$Q = \bar{A}\cdot B\cdot C + A\cdot\bar{B}\cdot\bar{C} + A\cdot\bar{B}\cdot C + A\cdot B\cdot C$$

En la figura 130 se muestra el circuito lógico correspondiente. Utiliza 4 compuertas AND de 3 entradas, una compuerta OR de 4 entradas y 4 inversores. Manipulando apropiadamente la ecuación booleana original es posible simplificarla y reducir la complejidad del circuito final. Veamos.

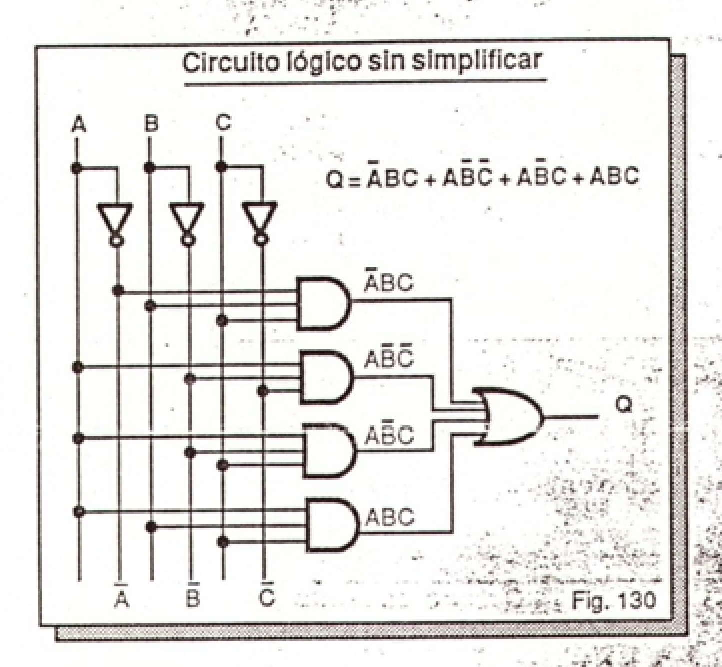


Fig. 130

Agrupando términos según la regla 15 (ley asociativa OR):

$$Q = (\bar{A}\cdot B\cdot C + A\cdot B\cdot C) + (A\cdot\bar{B}\cdot\bar{C} + A\cdot\bar{B}\cdot C)$$

Factorizando términos comunes de acuerdo con la regla 12 (ley distributiva AND):

$$Q = (\bar{A}+A)\cdot(B\cdot C) + (A\cdot\bar{B})\cdot(\bar{C}+C)$$

Con base en la regla 8 (ley de complementos OR):

$$\bar{A}+A = \bar{C}+C = 1$$

Por tanto:

$$Q = 1\cdot(B\cdot C) + (A\cdot\bar{B})\cdot 1$$

De acuerdo con la regla 2 (ley AND):

$$1\cdot(B\cdot C) = BC \ ; \ (A\cdot\bar{B})\cdot 1 = A\bar{B}$$

Por tanto:

$$Q = BC + A\bar{B}$$

Esta última es la ecuación simplificada buscada. El circuito lógico correspondiente se muestra en la figura 131 y sólo utiliza 2 compuertas AND de 2 entradas, una compuerta OR de 2 entradas y un inversor. Compárelo con el de la figura 130, el cual realiza la misma función pero es más complejo, costoso y lento, porque utiliza más componentes.

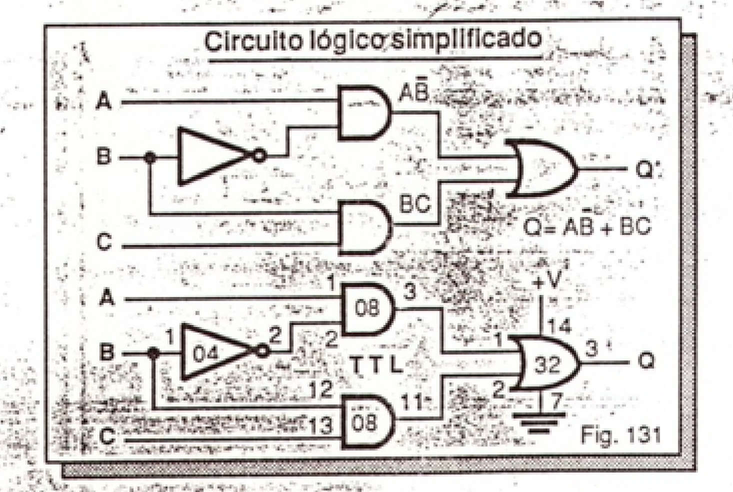


Fig. 131

Las ecuaciones booleanas se pueden también simplificar utilizando un método gráfico llamado *mapas de Karnaugh*, desarrollado por Maurice Karnaugh en 1953. Un mapa de Karnaugh, al igual que una tabla de verdad, representa todas las posibles combinaciones de estados de las entradas de un circuito digital y el estado de salida resultante.

En la figura 132 se muestra como ejemplo el mapa de Karnaugh correspondiente a la ecuación $Q=\bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C + ABC$ y se resume el proceso de simplificación de la misma por este método. La simplificación de ecuaciones lógicas por mapas de Karnaugh se explica en detalle en la lección 21 (Análisis y diseño de circuitos secuenciales).

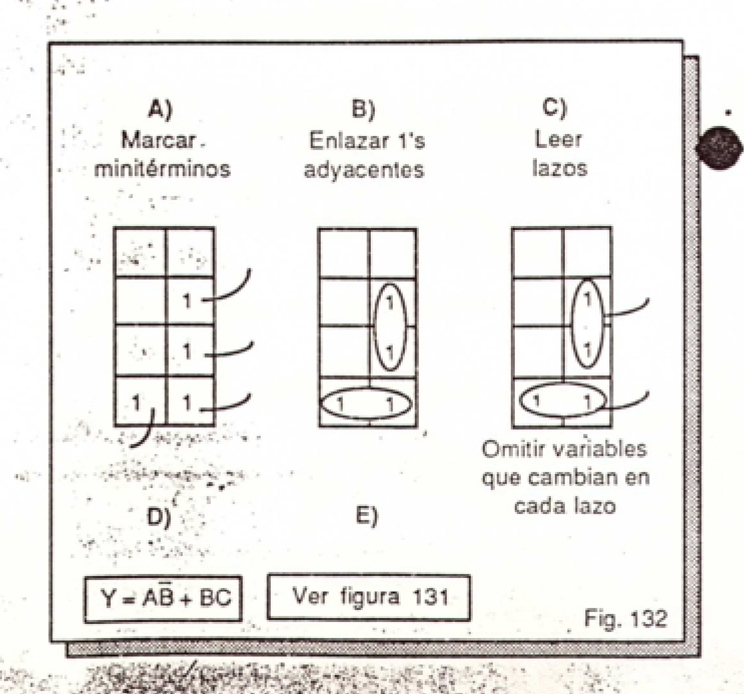


Fig. 132

Análisis y diseño de circuitos digitales por computador

El método tradicional de probar un diseño digital es montar el circuito en un *protoboard* y utilizar una punta lógica, un osciloscopio o un analizador lógico para encontrar las causas por las cuales no trabaja. El método moderno es simular el diseño en un computador utilizando un programa CAD (*computer aided design*: diseño asistido por computador).

Existen en el mercado muchos programas CAD orientados al diseño y a la simulación de circuitos digitales por computador. Uno de los más recientes es el SUSIE (Standard Universal Simulator for Improved Engineering). Otros programas CAD populares son el OrCAD, el SuperCAD y el Logicsim.

En la figura A se indican las características comunes a todo programa CAD. El usuario determina inicialmente lo que se va a analizar, el tipo de análisis requerido y la forma como desea que se presenten los resultados. Estos datos los recibe el computador a través de un teclado, un lápiz óptico (*light pen*) o cualquier otro medio de entrada.

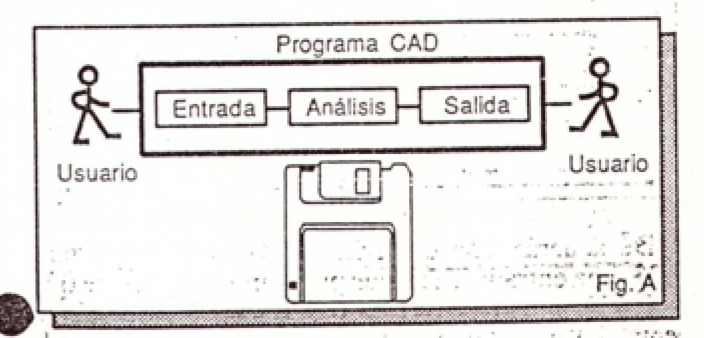


Fig. A

La información de entrada y los posteriores cambios y modificaciones son simultáneamente analizados y evaluados por el programa, el cual representa gráficamente en una pantalla, un *plotter* o cualquier otro medio de salida los resultados. Estos últimos son evaluados y analizados por el usuario para escoger la mejor solución a sus necesidades.

Aunque los programas CAD utilizan *software* (instrucciones) para analizar y verificar un diseño, los resultados son los mismos que se obtendrían si se ensamblara el circuito y se emplearan instrumentos para su prueba y depuración. Los métodos CAD se utilizan extensamente en la industria electrónica y otras áreas productivas.

La mayoría de programas CAD modernos utilizan modelos matemáticos almacenados en *librerías* para simular la operación de circuitos integrados digitales. El programa SUSIE, por ejemplo, simula cerca de 6000 dispositivos TTL, CMOS y ECL. El usuario puede modelar *chips* no incluidos en el paquete original utilizando un programa *compilador*.

El proceso de verificación de un diseño por CAD se realiza en tres (3) etapas: definición del circuito, especificación de las señales de entrada y simulación del mismo. Los resultados de salida requeridos pueden ser, por ejemplo, tablas de verdad, diagramas de temporización, esquemas lógicos, etc.

La definición del circuito se establece a través de un *listado* en lenguaje de computador que relaciona todos los componentes del circuito y las conexiones entre ellos. El listado especifica también el tipo de señales de entrada y la forma como se desea que se representen los resúltados de salida.

El usuario entra el listado al computador a través del teclado u otro medio y el programa lo lee, trayendo los componentes especificados de sus librerías y *armando* el circuito en una memoria RAM. A continuación simula su operación, representando los resultados de salida en la pantalla del computador, una impresora u otro medio.

El usuario evalúa estos resultados y realiza las modificaciones pertinentes hasta llegar a la mejor solución a los requisitos originales.

Los programas CAD modernos pueden llevar a cabo análisis de circuitos con miles de componentes en un tiempo muy corto y brindan facilidades que permiten que la imaginación del diseñador trabaje libremente, sin restricciones. Las siguientes son algunas de las características avanzadas de paquetes CAD como el SUSIE y otros:

- Se pueden fijar los tiempos de propagación de los *chips* para evaluar la operación del circuito en el peor de los casos. Usted puede también cambiar el diseño de una tecnología a otra (por ejemplo de LS a ALS) e incluir en la simulación los efectos de la temperatura y otros factores externos.

- Se pueden simular fallas y visualizar *glitches*, problemas de sincronismo, entradas flotantes, etc. El programa entrega mensajes de error cuando se violan ciertas convenciones o se presentan condiciones de cortocircuito (por ejemplo, cuando dos salidas pretenden utilizar una misma línea *tri-state*).

Interfaces lógicas y reales

- *Introducción*
- *INTERFACES ENTRE FAMILIAS LOGICAS*
- *Características de entrada y salida TTL y CMOS*
- *Interfaces de TTL a CMOS y de CMOS a TTL*
- *INTERFACE DE ENTRADAS Y SALIDAS TTL Y CMOS CON DISPOSITIVOS EXTERNOS*
- *Interfaces con interruptores electromecánicos*
- *Interfaces con diodos emisores de luz (LED)*
- *Interfaces con lámparas incandescentes*
- *Interfaces con zumbadores piezoeléctricos*
- *Interfaces con relés*
- *Interfaces con optoacopladores*

Introducción

El término *interface* se utiliza en electrónica digital para referirse a la interconexión eficiente de dos dispositivos, circuitos o sistemas que no son compatibles y tienen características eléctricas diferentes. Sin interfaces, la electrónica digital sería una disciplina puramente académica y sin utilidad práctica.

Las interfaces *lógicas* y *reales* que estudiaremos en esta lección permiten que dispositivos de diferentes familias o subfamilias puedan comunicarse entre sí y con dispositivos del mundo real. En las lecciones 36 y 37 estudiaremos las interfaces *análogas*, las cuales posibilitan el procesamiento digital de señales análogas.

Conoceremos las reglas que deben seguirse y las técnicas que deben utilizarse cuando se interfazan circuitos integrados TTL y CMOS entre sí y a dispositivos externos. Aprenderemos a utilizar interruptores, LED, relés, zumbadores, optoacopladores y otros componentes en aplicaciones digitales.

INTERFACES ENTRE FAMILIAS LOGICAS

Existen situaciones donde se hace necesario interconectar dispositivos pertenecientes a diferentes familias lógicas con el fin de aprovechar las ventajas que cada tecnología ofrece. Para que esta interconexión sea eficiente, deben conocerse las características de entrada y de salida de las familias lógicas comprometidas.

Cada familia lógica interpreta de manera diferente un nivel **alto** o **bajo** de voltaje y tiene sus propios requisitos de corriente de entrada y de salida. Por esta razón, dos familias lógicas no se pueden conectar directamente: necesitan de una interface que las comunique y acople sus características de voltaje y corriente.

En las secciones siguientes nos referiremos exclusivamente a la forma de interconectar dispositivos TTL y CMOS. Como veremos, algunos esquemas de interface sólo requieren de resistencias, otros utilizan transistores o ciertos *chips* especializados y algunos no requieren de componentes extras.

Características de entrada y salida de TTL

En la figura 133 se resumen las características o *perfiles* de voltaje de la familia TTL estándar (serie 74). Observe que los niveles **alto** y **bajo** se definen de manera diferente para la entrada y para la salida. Estas definiciones son válidas para las demás subfamilias TTL estudiadas en la lección 2 (74L, 74H, 74S, 74LS, 74ALS y 74AS).

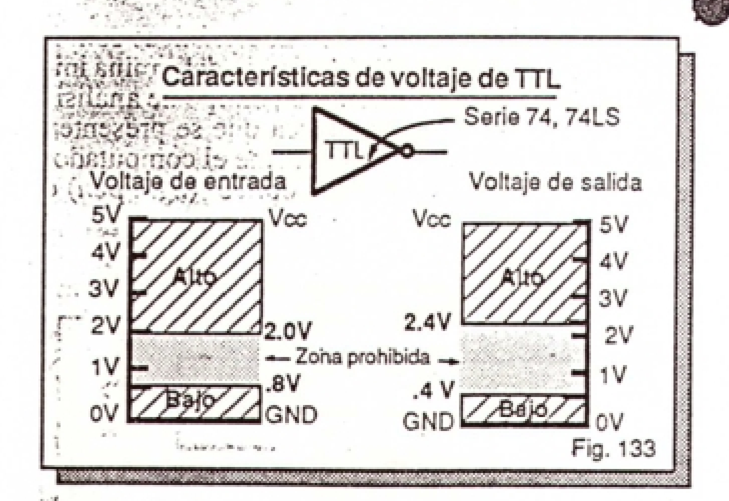


Fig. 133

De acuerdo con el perfil de voltaje de la figura 133, una entrada TTL interpreta un voltaje entre 0 V y 0.8 V como un nivel **bajo** ó **0** lógico y un voltaje entre 2 V y 5 V como un nivel **alto** ó **1** lógico. Cualquier voltaje de entrada entre 0.8 V y 2 V es inválido y debe evitarse, porque el estado de salida resultante es impredecible.

Del mismo modo, un nivel **bajo** en una salida TTL corresponde a un voltaje entre 0 V y 0.4 V y un nivel **alto** a un voltaje entre 2.4 V y 5 V. Típicamente, los circuitos integrados TTL entregan un nivel **alto** de 3.5 V y un nivel **bajo** de 0.1 V.

Cualquier voltaje de salida entre 0.4 V y 2.4 V es inválido. Si un circuito integrado TTL entrega voltajes de salida en este rango debe descartarse, porque puede provocar un funcionamiento erróneo del proyecto o sistema en el que está incorporado.

En la figura 134 se resumen las características máximas de corriente de la familia TTL estándar. Una salida TTL es capaz de impulsar hasta 16 mA en el estado bajo y 400 µA en el estado alto. Del mismo modo, una entrada TTL exige hasta 40 µA en el estado alto y 1.6 mA en el estado bajo.

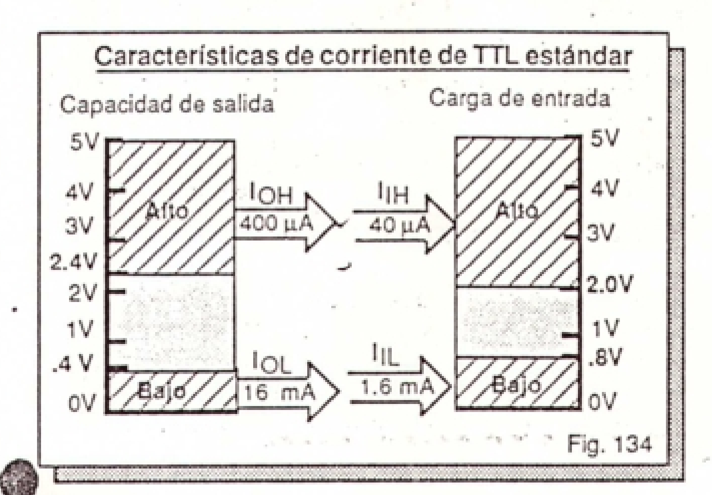


Fig. 134

Lo anterior implica que una salida TTL estándar puede manejar hasta 10 entradas del mismo tipo. El número de entradas que puede manejar una salida dentro de una misma subfamilia se denomina comúnmente *fan-out* y el efecto de carga que presenta una entrada se denomina *fan-in*.

Los dispositivos de la serie 74 tienen un *fan-out* de 10 y los de la serie 74LS un *fan-out* de 20. A las entradas TTL estándar se les asigna un *fan-in* de 1. Este último valor corresponde a una corriente de 40 µA en el estado alto y de 1.6 mA en el estado bajo.

Características de corriente de subfamilias TTL

SUBFAMILIA TTL	SALIDA		ENTRADA	
	I_{OH}	I_{OL}	I_{IH}	I_{IL}
74	400 µA	16 mA	40 µA	1.6 mA
74L	400 µA	4 mA	20 µA	180 µA
74S	1 mA	20 mA	50 µA	2 mA
74LS	400 µA	8 mA	20 µA	400 µA
74ALS	400 µA	8 mA	20 µA	100 µA
74H	500 µA	20 mA	50 µA	2 mA

µA = microamperios ; mA = miliamperios

I_{OH}: Máxima corriente de salida en ALTO.

I_{OL}: Máxima corriente de salida en BAJO.

I_{IH}: Máxima corriente de entrada en ALTO.

I_{IL}: Máxima corriente de entrada en BAJO.

Tabla 8-1

En la tabla 8-1 se resumen las características de corriente de las subfamilias TTL comunes. Estas especificaciones varían ligeramente de un fabricante a otro y no se aplican a los *buffers*.

Para ilustrar el uso de la tabla 8-1, consideremos el problema de interface que se muestra en la figura 135. En este caso, la salida de una compuerta NAND 74LS00 debe manejar las entradas de los 6 inversores de un circuito integrado 7404. Se indican los perfiles de corriente y voltaje del circuito impulsor (74LS00) y del circuito de carga (7404).

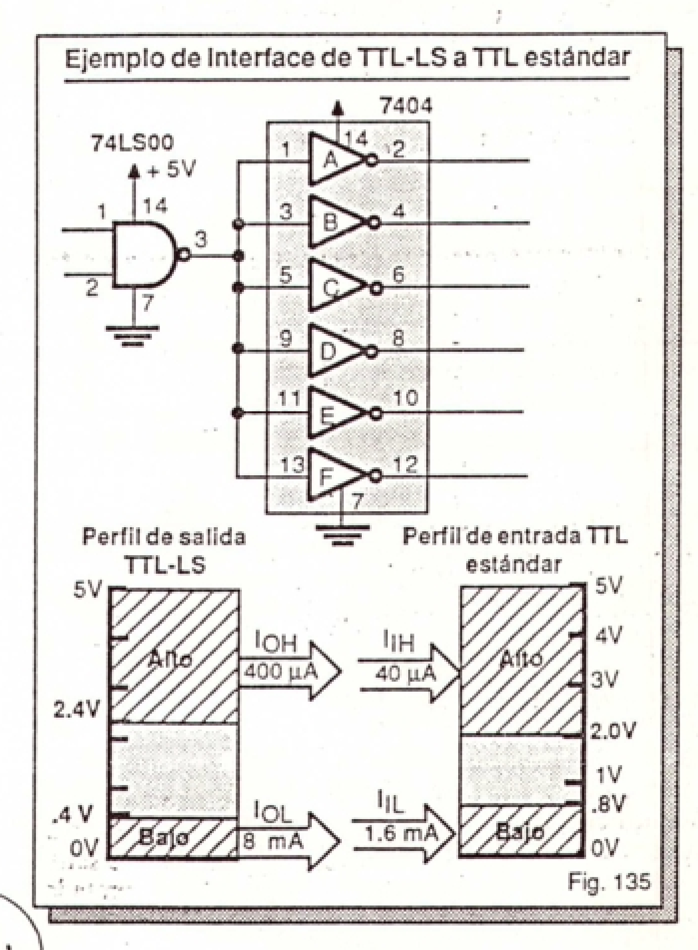


Fig. 135

De acuerdo con la tabla 8-1, en el estado alto la salida del 74LS00 puede manejar hasta 10 inversores 7404, porque la máxima corriente de salida es 400 µA (I_{OH}) y la máxima corriente de entrada es 40 µA (I_{IH}). En consecuencia, I_{OH}/I_{IH} = 400/40 = 10. Los seis inversores exigirían 6x40µA = 240 µA, que es un valor por debajo de 400 µA.

En el estado bajo, la salida del 74LS00 puede manejar hasta 5 inversores, porque la máxima corriente de salida es 8 mA (I_{OL}) y la máxima corriente por entrada es 1.6 mA (I_{IL}).

En consecuencia, I_{OL}/I_{IL} = 8/1.6 = 5. Los 6 inversores exigirían 6x1.6 mA = 9.6 mA.

Este valor (9.6 mA) sobrepasa la capacidad de corriente de salida de la compuerta 74LS00 (8 mA). Como resultado, la interface de la figura 135 no es eficiente. Este inconveniente se puede solucionar, entre otras formas, instalando un *buffer* de colector abierto entre la salida del 74LS00 y las entradas del 7404 como se muestra en la figura 136.

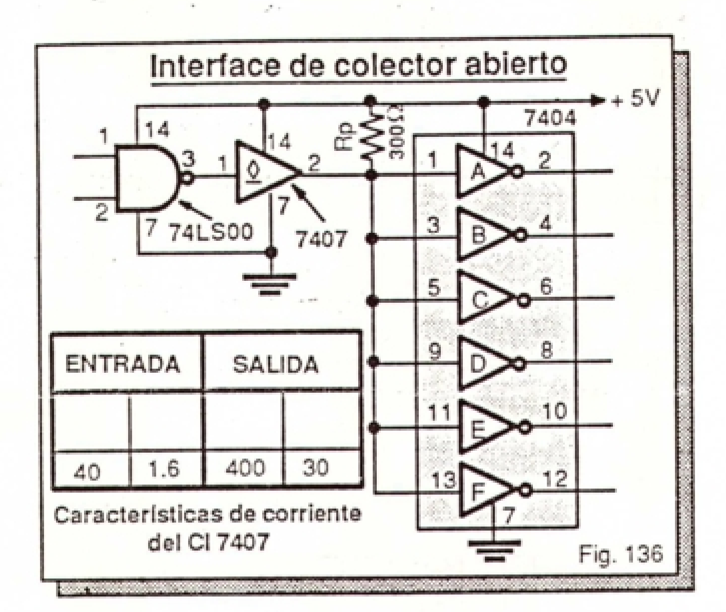


Fig. 136

Según vimos en la lección 6, los *buffers* tienen una mayor capacidad de corriente de salida que las compuertas comunes. Utilizando una tensión de alimentación de +5V, la características de voltaje y de corriente de cada *buffer* del 7407 son las mismas de la serie 74, excepto que, en el estado **bajo**, la máxima corriente de salida es 30 mA.

Cuando se utiliza una compuerta de colector abierto como dispositivo de interface entre subfamilias TTL, debe elegirse cuidadosamente el valor de la resistencia de *pull-up* (RP). Un valor inadecuado puede ocasionar que los niveles **bajo** o **alto** de salida no queden bien definidos y sean mal interpretados por la(s) entrada(s) que los recibe(n).

Características de entrada y salida de CMOS

En la figura 137 se resumen las características de voltaje de las familias CMOS 40B y 74C. Observe nuevamente que los niveles **alto** y **bajo** se definen de manera diferente para la entrada y para la salida. Se supone un voltaje de alimentación de +9V.

Una entrada CMOS interpreta un voltaje entre 0V y el 30% de VDD como un nivel **bajo** ó **0** lógico y un voltaje entre el 70% de VDD y VDD como un nivel **alto** ó **1** lógico. En nuestro caso, un nivel **bajo** es cualquier voltaje entre 0V y 2.7V y un nivel **alto** cualquier voltaje entre 6.3V y 9V.

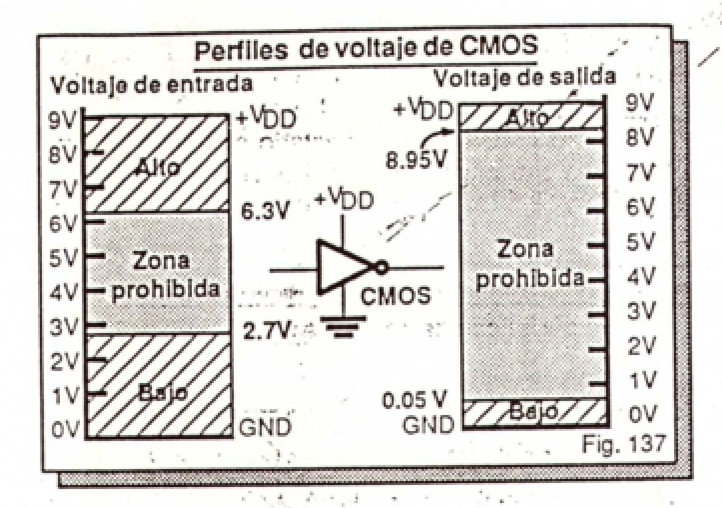


Fig. 137

Un nivel **bajo** en una salida CMOS corresponde prácticamente a 0V y un **alto** al valor del voltaje de alimentación VDD. En la tabla 8-2 se resumen las características de voltaje de las subfamilias CMOS más populares. Las características generales de estas subfamilias se explicaron en la lección 2.

Características de voltaje de subfamilias CMOS

SUBFAMILIA CMOS	VDD*	ENTRADA*		SALIDA*	
		VIH	VIL	VOH	VOL
40B, 74C	10	7.0	3.0	9.95	0.05
74HC	5	3.5	1.0	4.9	0.1
74HCT	5	2.0	0.8	4.3	0.3

VIH = Mínimo voltaje de entrada del estado ALTO.
VIL = Máximo voltaje de entrada del estado BAJO.
VOH = Mínimo voltaje de salida del estado ALTO.
VOL = Máximo voltaje de salida del estado BAJO.
VDD = Voltaje de alimentación
(*): Valores en voltios (V)

Tabla 8-2

Los dispositivos de la serie 74HC operan con tensiones de alimentación de 2V a 6V. Los rangos de voltaje correspondientes a los niveles **alto** y **bajo** se definen en forma similar a las series 40 y 74C.

Los dispositivos de la serie 74HCT operan a partir de una fuente de alimentación de +5V. Observe que los niveles **alto** y **bajo** de entrada de esta subfamilia se definen de la misma manera que para TTL, y los niveles **alto** y **bajo** de salida son similares a los de los demás dispositivos CMOS.

La aplicación más importante de los dispositivos de la serie 74HCT es proporcionar interface directa

entre salidas TTL y entradas CMOS. Tienen el mismo perfil de entrada de TTL y el mismo perfil de salida de CMOS.

En la figura 138 se resumen las características máximas de corriente de las familias CMOS 40B ó 74C (estándares) y 74HC (CMOS de alta velocidad). Una salida 40 ó 74C es capaz de impulsar hasta 400 μA y una salida 74HC hasta 4 mA en cualquiera de los estados **alto** o **bajo**.

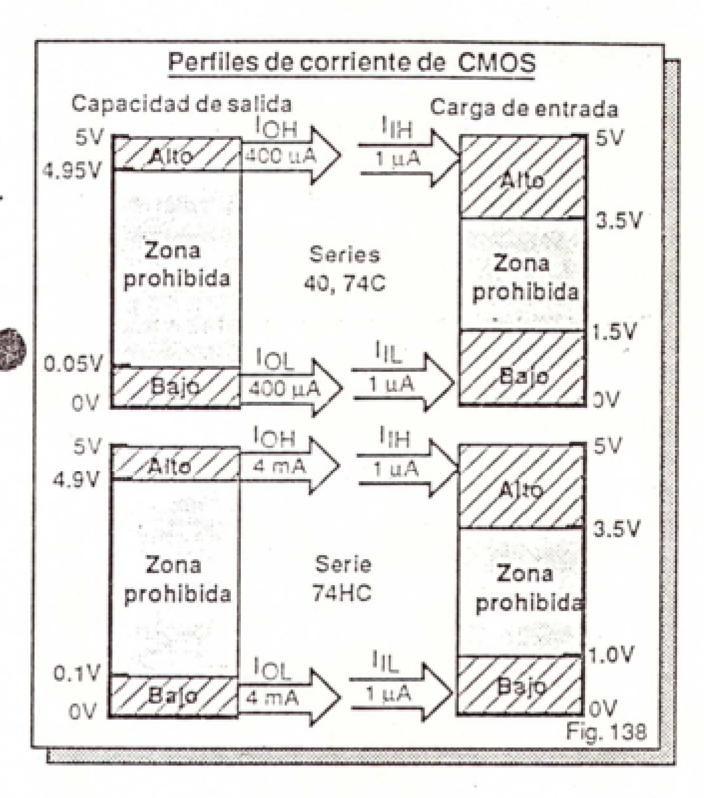


Fig. 138

Para voltajes entre 0V y +VDD, la corriente exigida por una entrada CMOS, estándar o de alta velocidad, es extremadamente pequeña: ¡10^{-5} μA! Para efectos prácticos, se supone que esta corriente es igual a 1 μA.

Como consecuencia de lo anterior, una salida CMOS estándar o HC puede manejar un número indefinido de entradas del mismo tipo. En la práctica se considera que el *fan-out* de las series 40 y 74C es 400 y el de las serie 74HC es 4000.

En la figura 139 se resumen, en forma gráfica, las características de salida de las familias TTL y CMOS. En el estado **alto**, una salida TTL o CMOS suministra corriente (modo *source*) y en el estado **bajo** la absorbe (modo *sink*). Por cuestiones de compatibilidad, una entrada TTL o CMOS se comporta en forma contraria.

Observe que los voltajes de salida de los niveles alto y bajo dependen del valor de la corriente de

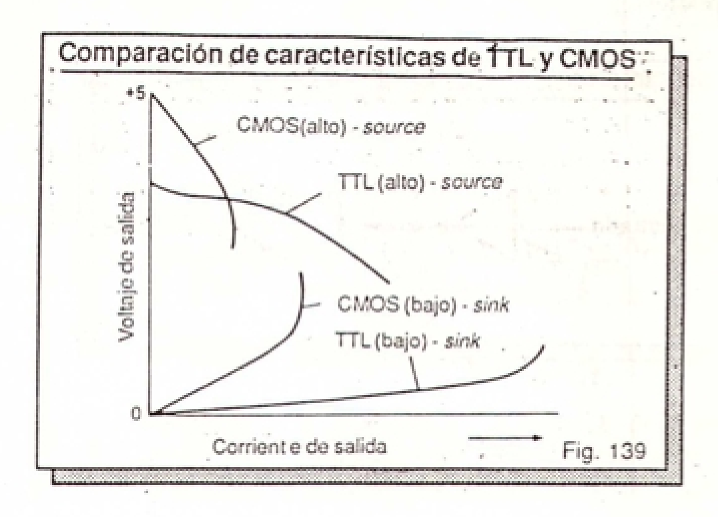


Fig. 139

salida. Con corriente de salida cero (sin carga) estos voltajes son los óptimos. A medida que aumenta esta corriente, el voltaje del nivel **alto** disminuye y el del nivel **bajo** aumenta. Este efecto de carga es más pronunciado en CMOS que en TTL.

Interfaces de TTL a CMOS

Una entrada CMOS es relativamente fácil de manejar a partir de una salida TTL cuando los dispositivos involucrados en la interface operan a partir de una misma fuente de +5V. Las características de corriente de salida de TTL son más que adecuadas para manejar entradas CMOS. Sólo deben hacerse compatibles los niveles de voltaje.

En la figura 140 se muestra la forma de conectar una salida TTL estándar a una entrada CMOS. La resistencia R acopla los niveles de voltaje de ambas familias. Su valor fluctúa entre 330Ω y 15 KΩ. Un valor típico es 1 KΩ.

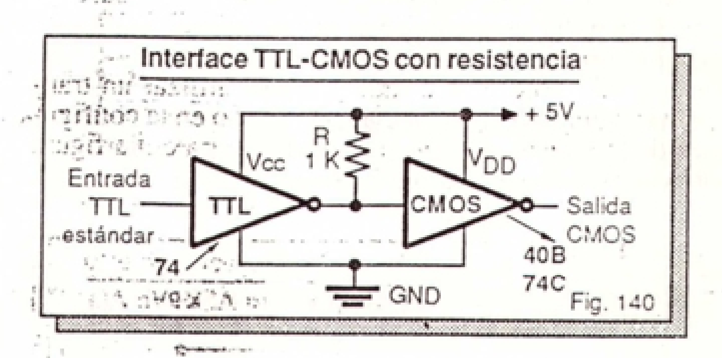
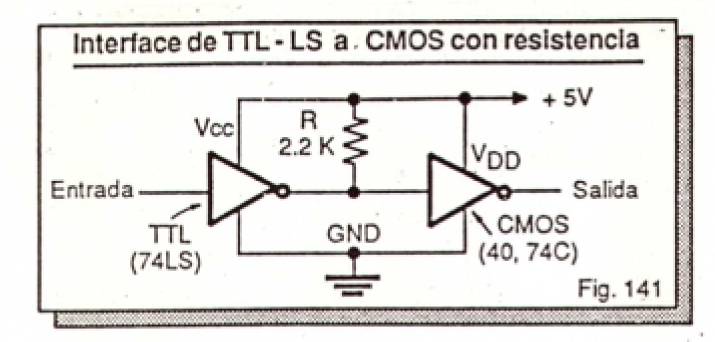


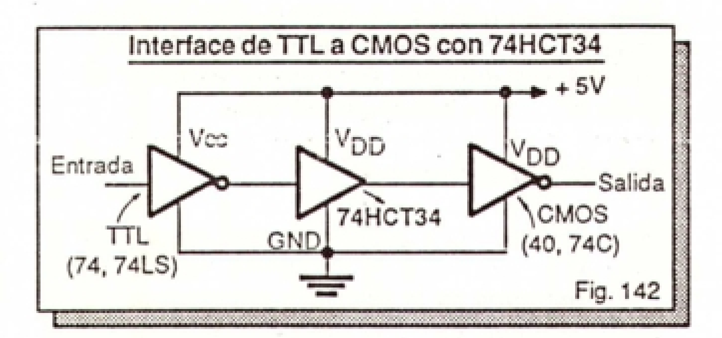
Fig. 140

En la figura 141 se muestra la forma de conectar una salida TTL-LS a una entrada CMOS. La resistencia R acopla los niveles de voltaje de ambas familias. Su valor fluctúa entre 1.2 KΩ y 15KΩ. Un valor típico es 2.2 KΩ.

En la figura 142 se muestra la forma de conectar una salida TTL estándar o LS a una entrada CMOS, utilizando una compuerta de alta velocidad



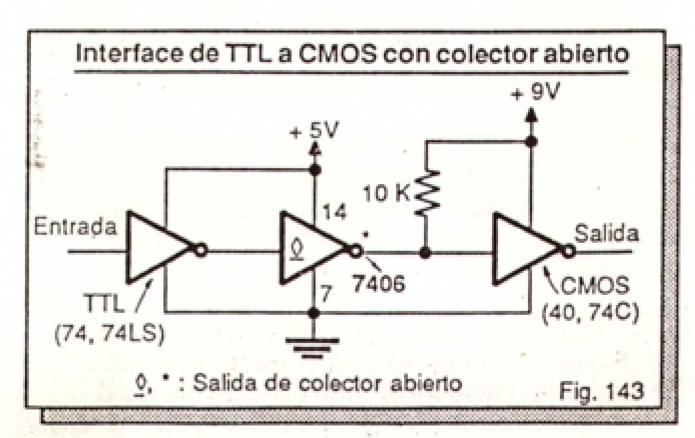
74HCT. Como se mencionó anteriormente, los dispositivos de esta familia se diseñan específicamente para interfazar dispositivos TTL a CMOS.

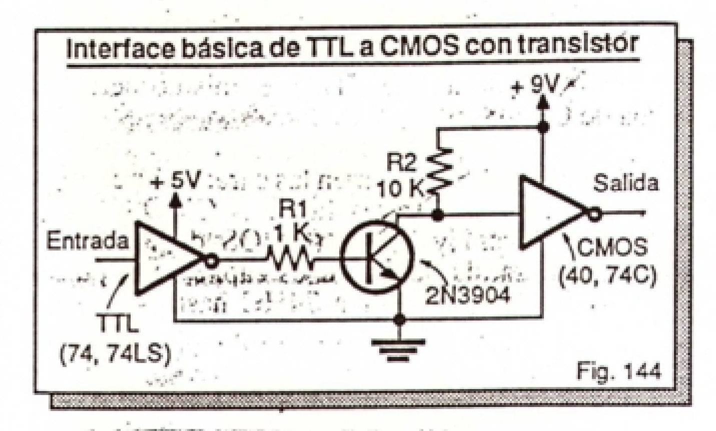


Cuando el dispositivo CMOS opera a un voltaje de alimentación diferente de +5V, la interface entre una salida TTL y una entrada CMOS es más complicada, pero existen varias formas de lograrlo.

Una técnica muy simple consiste en utilizar una salida TTL de colector abierto de alto voltaje conectada a la entrada CMOS a través de una resistencia de *pull-up,* como se muestra en la figura 143. Aunque este método es apropiado para muchas aplicaciones, presenta el inconveniente de ser muy susceptible al ruido.

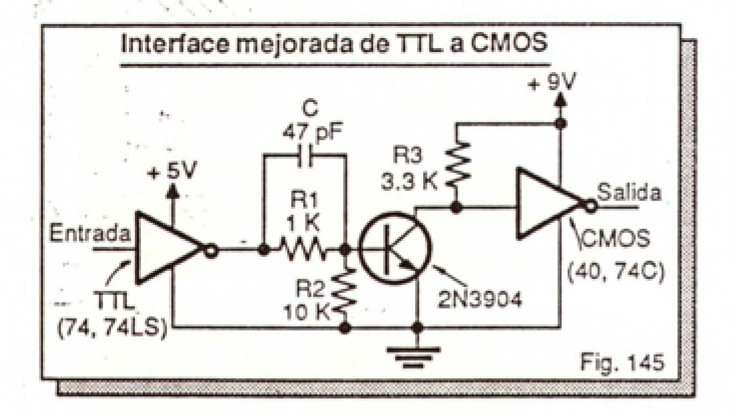
Una solución más adecuada es utilizar un transistor de propósito general conectado en la configuración *emisor común,* como se muestra en la figura



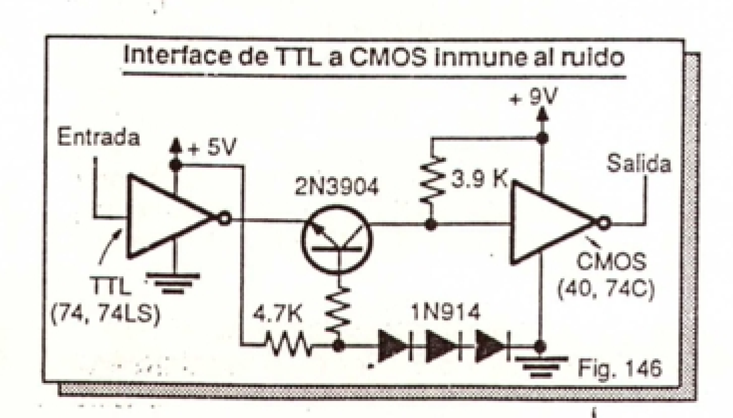


144. El transistor y las resistencias R1 y R2 desplazan los niveles de voltaje de la salida TTL a los valores necesarios para operar la entrada CMOS.

En la figura 145 se muestra una versión mejorada del circuito anterior. En este caso, se utilizan dos resistencias (R1 y R2) en el circuito de base para mejorar la inmunidad al ruido. El condensador C reduce el tiempo que dura un cambio en la salida TTL en manifestarse en la entrada CMOS. Es decir, mejora la velocidad de la interface.



Otra solución consiste en utilizar un transistor de propósito general conectado en la configuración *base común* como se muestra en la figura 146. La ventaja de este montaje es su alta inmunidad al ruido.



Interfaces de CMOS A TTL

Una salida CMOS puede manejar directamente una entrada 74LS ó 74L cuando ambos dispositivos operan a partir de una misma fuente de +5V. Esta situación se ilustra en la figura 147. En el estado bajo, una entrada LS puede retornar hasta 400 µA. Este es precisamente el valor máximo de corriente que puede drenar una salida CMOS en ese estado.

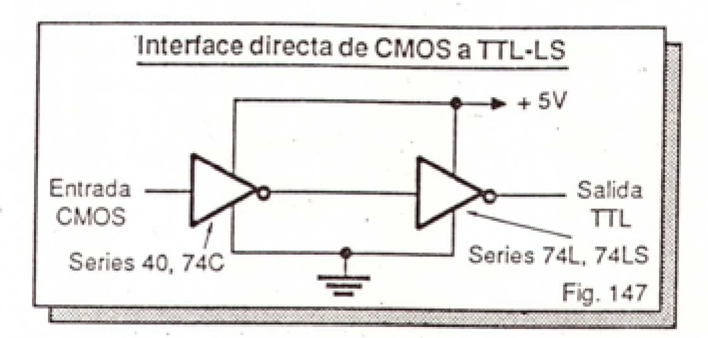


Fig. 147

En general, una salida CMOS no puede manejar directamente una entrada TTL estándar debido a su limitada capacidad de corriente. Las únicas excepciones son los circuitos integrados 4001 y 4002 (ver páginas 47 y 49). En la figura 148 se muestra una interface de este tipo.

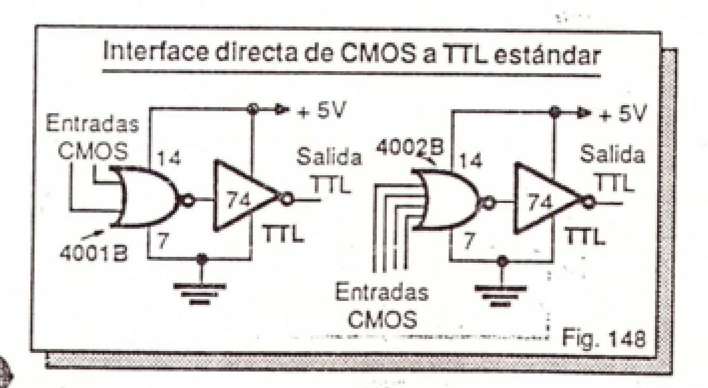


Fig. 148

En la figura 149 se muestra una forma sencilla de conectar una salida CMOS a una entrada TTL LS. El diodo D bloquea el voltaje procedente de la salida CMOS cuando esta última está en el estado alto. La resistencia R hace alta la entrada TTL cuando el diodo queda inversamente polarizado. Se utiliza un diodo de germanio para mejorar la inmunidad al ruido.

Para manejar entradas TTL estándar, una buena solución consiste en utilizar un *buffer*. En la figura 150 se muestra la forma de conectar una entrada TTL estándar a una salida CMOS mediante un *buffer* CMOS 4049 ó 4050 (ver página 65). Estos dispositivos manejan normalmente hasta dos entradas de la serie 74.

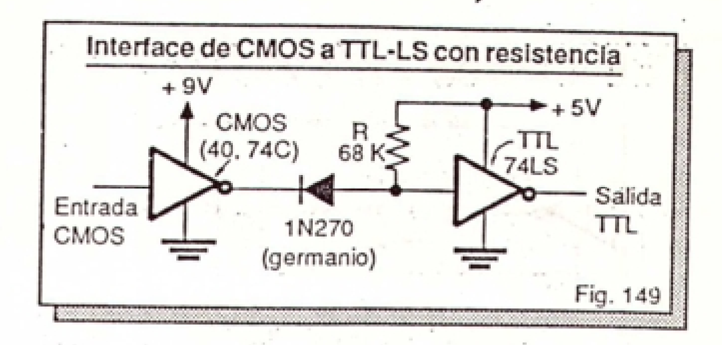


Fig. 149

En algunos casos, dependiendo del fabricante, es posible que los *buffers* 4049 y 4050 impulsen hasta tres entradas 74 y cuatro o más entradas 74L ó 74LS.

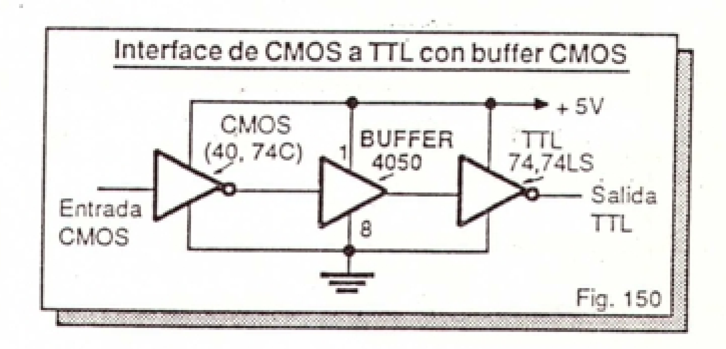


Fig. 150

En la tabla 8-3 se relacionan los *fan-out* mínimo y típico de los *buffers* CD4049A y CD4050A de RCA referidos a las subfamilias TTL más comunes.

Fan-out de los buffers CD4049A y CD4050A

	Series TTL				
FAN-OUT	74	74H	74L	74LS	74S
Mínimo	1	1	14	7	1
Típico	3	2	28	14	2

Tabla 8-3

De acuerdo con la tabla 8-3, un *buffer* 4049A ó 4050A de RCA puede manejar, típicamente, tres entradas TTL de la serie 74 ó 14 de la serie 74LS. En el peor de los casos, cada uno de estos dispositivos puede impulsar una entrada TTL de la serie 74 ó siete de la serie 74LS. En la práctica, es más seguro trabajar con el *fan-out* mínimo.

En la figura 151 se muestra la forma de conectar una salida CMOS a una entrada TTL mediante un *buffer* de *drenador abierto* (el homólogo CMOS del *buffer* de colector abierto) 40107. Este dispositivo es capaz de impulsar hasta 10 entradas 74 ó

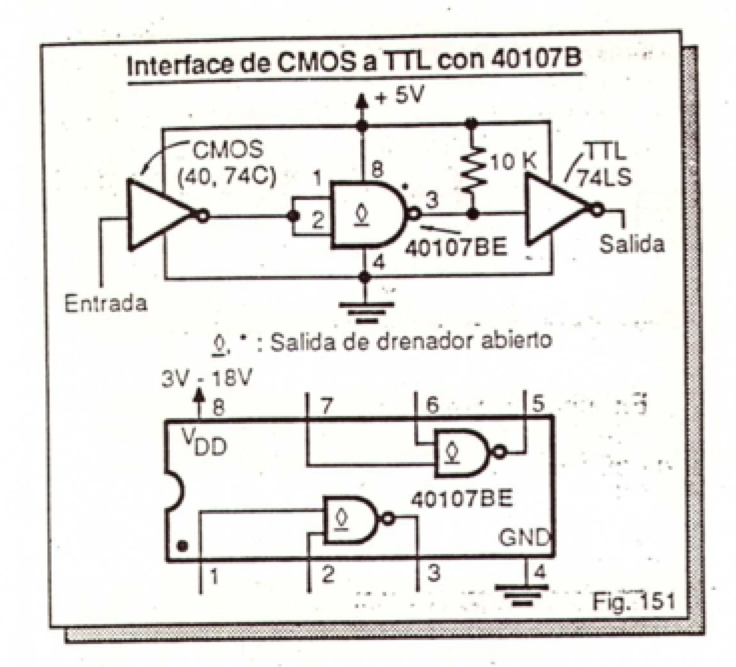


Fig. 151

¡40 entradas 74LS! En la misma figura se indica su distribución de pines.

El circuito integrado 40107B incorpora 2 compuertas NAND de 2 entradas de drenador abierto en una misma cápsula DIP de 8 ó 14 pines. Puede manejar voltajes de carga hasta de +20V y tiene, típicamente, una capacidad de corriente de salida de 136 mA. Trabaja con tensiones de alimentación desde +3V hasta +18V.

Cuando los dispositivos involucrados en la interface operan a diferentes voltajes de alimentación, su interconexión es más elaborada, pero existen buenos métodos para posibilitarla.

Una forma muy sencilla de conectar una salida CMOS a una entrada TTL consiste en utilizar un *buffer* CMOS 4049 ó 4050, como se muestra en la figura 152 . Las entradas de estos dispositivos aceptan voltajes superiores al de alimentación. En este caso, el 4049 recibe voltajes de entrada entre 0V y 9V y suministra voltajes de salida entre 0V y 5V.

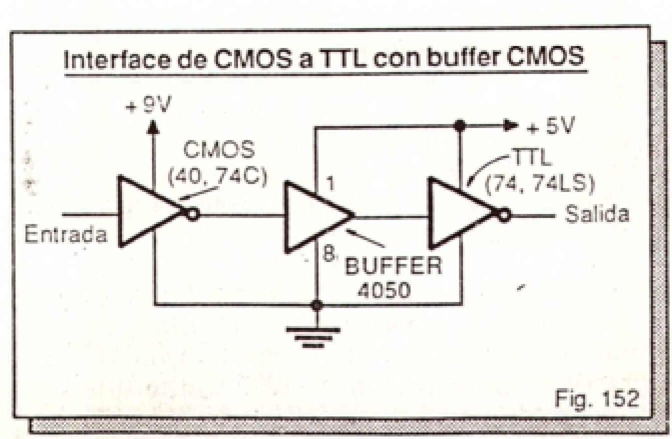


Fig. 152

Otro método consiste en utilizar un *buffer* de drenador abierto 40107 con resistencia de *púll-up,* como se muestra en la figura 153 . El *buffer* opera a partir de la fuente de alimentación del dispositivo CMOS. La resistencia de pull-up se conecta a la fuente del dispositivo TTL.

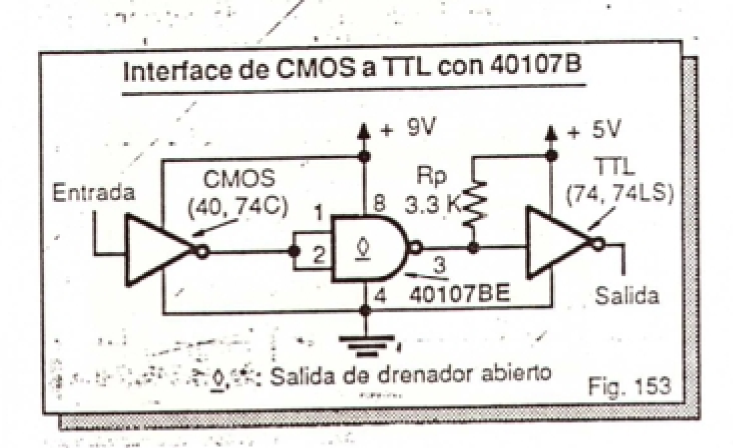


Fig. 153

Un tercer método es emplear un transistor NPN de propósito general como se muestra en la figura 154 . Este transistor, en asocio con sus resistencias de polarización (R1, R2 y R3), convierte niveles lógicos CMOS en niveles lógicos TTL.

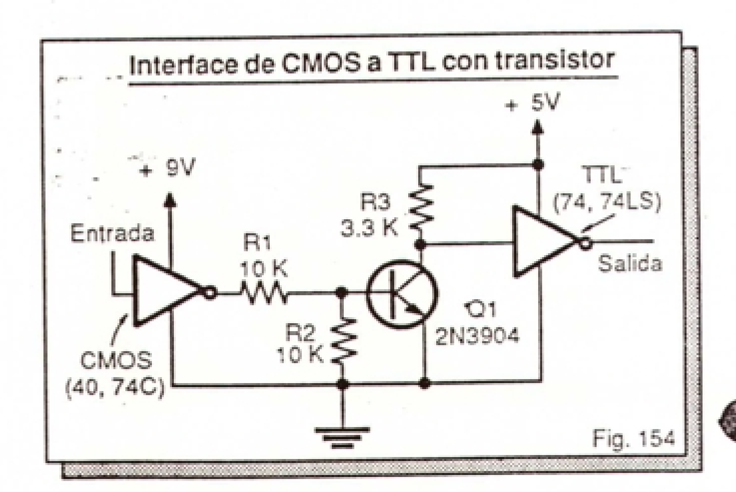


Fig. 154

INTERFACES DE ENTRADAS Y SALIDAS TTL Y CMOS CON DISPOSITIVOS EXTERNOS

Una de las necesidades más frecuentes en electrónica digital es recibir información de entrada procedente de interruptores, teclados, fotoceldas, etc. o controlar dispositivos como LED, zumbadores, lámparas, relés, motores y otras cargas que operan a partir de fuentes AC o DC de alto voltaje y consumen altas corrientes.

En las secciones que siguen conoceremos las técnicas que se utilizan comúnmente para llevar a cabo la interconexión de entradas y salidas de dispo-

sitivos lógicos con estos y otros componentes del mundo real.

Interfaces con interruptores electromecánicos

Una forma muy común de entrar información en un sistema digital es utilizando interruptores. La función genérica de un interruptor es bloquear o permitir el paso de corriente entre dos puntos. Los interruptores vienen en una gran variedad de configuraciones y presentaciones. En la figura 155 se muestran algunas de ellas y sus símbolos.

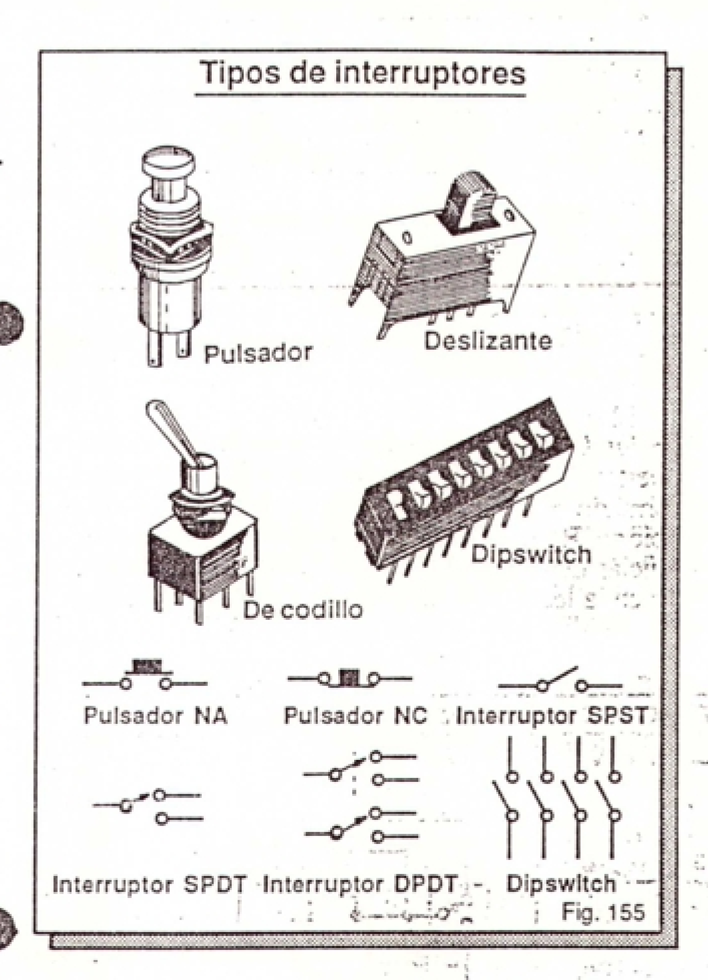
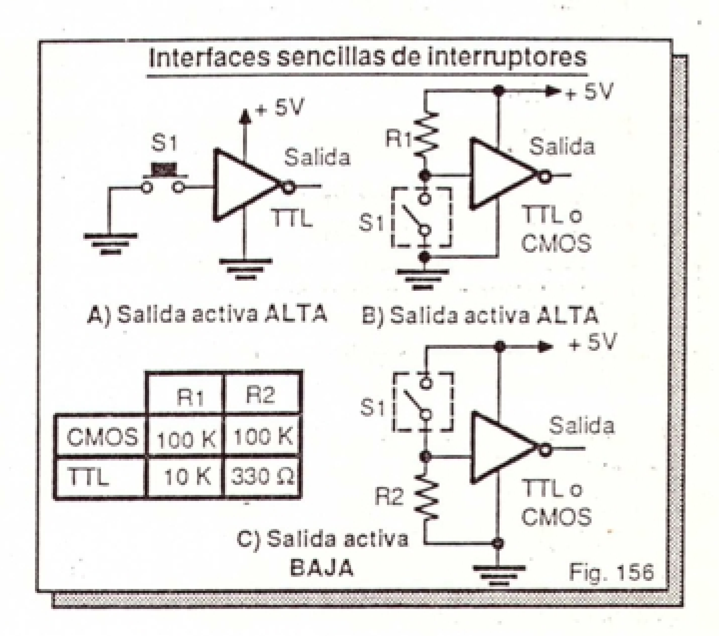


Fig. 155

Los pulsadores o interruptores *push-button* pueden ser normalmente abiertos o normalmente cerrados (NA o NC). Cambian de estado cuando se oprimen y retornan a su estado normal cuando se liberan. Los *dipswitches* son grupos de 4, 8, 10 ó más interruptores miniatura independientes. Se pueden montar directamente sobre un *protoboard*.

Los interruptores se identifican generalmente por el número de *polos* (P) y de *posiciones* o *tiros* (T). Los polos se refieren a la cantidad de circuitos separados que el interruptor puede abrir o cerrar al mismo tiempo y los tiros a la cantidad de posiciones que cada polo puede adoptar. Por ejemplo: SPDT significa 1 polo, 2 tiros (S=1, D=2).

Es muy fácil interfazar interruptores a las entradas de dispositivos TTL y CMOS. En la figura 156 se muestran algunos métodos. En el circuito A, la salida es de nivel **alto** cuando se cierra el interruptor S y de nivel **bajo** cuando se libera. Esto último es así porque el inversor TTL interpreta una entrada al aire o flotante como un 1 lógico.



	R1	R2
CMOS	100 K	100 K
TTL	10 K	330 Ω

Fig. 156

El circuito B, derivado del anterior, utiliza una resistencia (R1) para asegurar que la entrada del inversor reciba un nivel **alto** estable cuando se abra el interruptor. En el circuito de la figura C, la salida del inversor es de nivel **bajo** cuando se cierra el interruptor y de nivel **alto** cuando se abre.

Las resistencias R1 y R2 tienen valores diferentes para TTL y para CMOS, siendo significativamente mayores en este último caso. La razón es muy sencilla: las entradas TTL manejan corrientes de entrada muy superiores a las de CMOS. La resistencia R2 se denomina comúnmente resistencia de *pull-down*.

El circuito C no es muy eficiente para TTL debido a que consume mucha corriente cuando se cierra el interruptor y es poco inmune al ruido. Además, no es conveniente conectar directamente una entrada TTL a +5V porque puede ser seriamente afectada en caso de una falla de la fuente o cuando se presenten picos inesperados de voltaje (*transientes*).

Los circuitos de la figura 156 resultan adecuados para algunas aplicaciones pero presentan un problema: son susceptibles al fenómeno de *rebote*. Debido a su construcción, los contactos de un interruptor rebotan varias veces antes de cerrarse en forma definitiva, provocando que la salida oscile (genere pulsos indeseables) antes de estabilizarse.

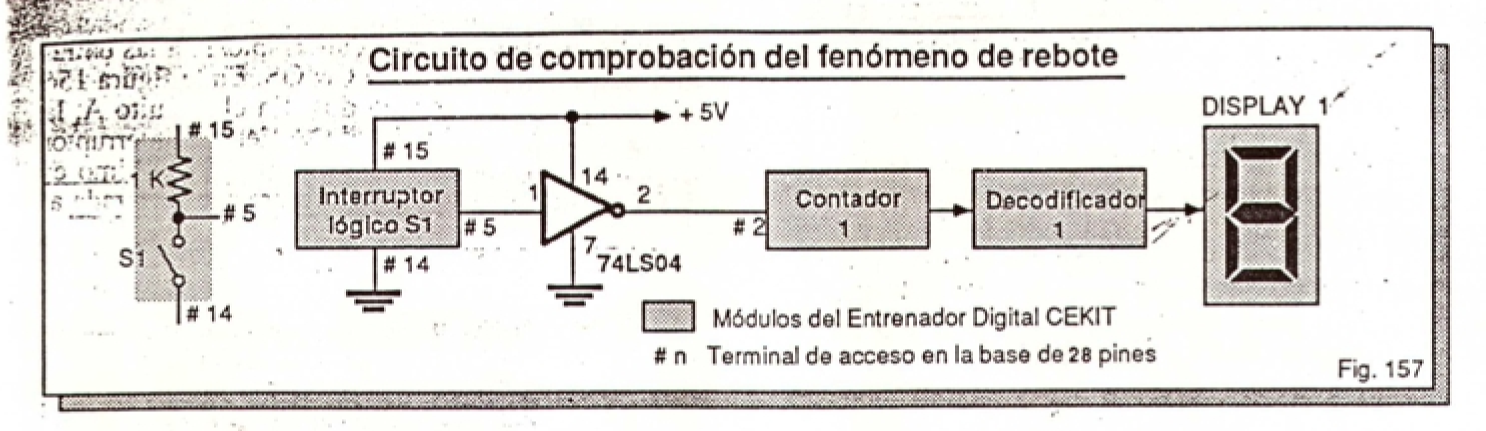


Fig. 157

Usted puede comprobar el fenómeno del rebote conectando la salida de cualquiera de los circuitos de la figura 156 a la entrada de un contador de pulsos, como se muestra en la figura 157. Este montaje utiliza uno de los contadores BCD y uno de los interruptores lógicos del entrenador digital CEKIT, descrito en el proyecto central Nº 3.

Cada vez que usted abre y cierra el interruptor S1, el contador debería registrar un pulso e incrementar la cuenta del *display* en uno. Sin embargo, en la práctica, la cuenta se incrementa en 1, 2, 3 e incluso más. Lo anterior significa que está ingresando más de un pulso a la entrada del contador. Esto es causado por el rebote del interruptor.

La presencia de rebotes es particularmente crítica en circuitos sensibles a pulsos y a cambios de estado como *flip-flops*, contadores, registros, etc., porque ocasiona el funcionamiento erróneo de los mismos. En interruptores pequeños, el rebote dura alrededor de un milisegundo y en interruptores grandes puede ser del orden de 50 milisegundos.

Existen varias formas de eliminar el fenómeno del rebote. En la figura 158 se muestran las más comunes. Los circuitos A, B, C y D son adecuados para interruptores del tipo SPDT (1 polo, 2 posiciones) y el circuito E para interruptores del tipo SPST (1 polo, 1 posición).

El circuito A utiliza como eliminador de rebote un *latch* o cerrojo biestable, formado por dos compuertas NAND convencionales, y el B un *latch* formado por dos compuertas NAND de colector abierto. R1 y R2 actúan en ambos casos como resistencias de *pull-up*. Los *latches* se estudian en detalle en la lección 19.

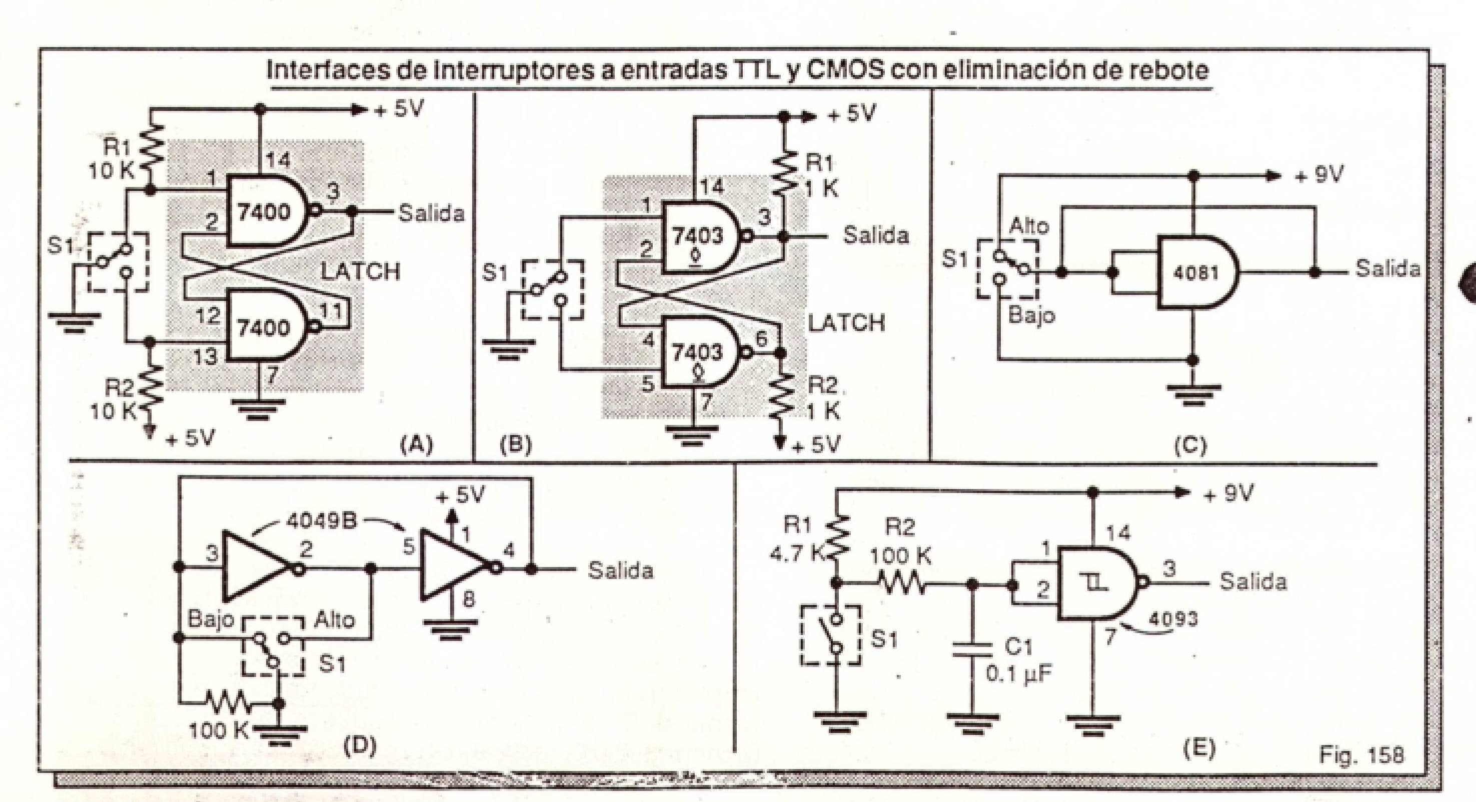


Fig. 158

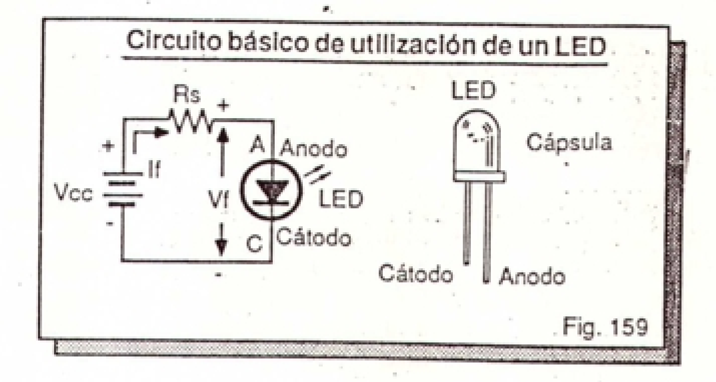


Fig. 159

El circuito C utiliza una compuerta AND CMOS conectada como *buffer* no inversor y el circuito D dos *buffers* CMOS inversores. La resistencia R evita que cambie el estado de la salida mientras el interruptor pasa de una posición a otra.

El circuito E utiliza una compuerta NAND CMOS *Schmitt-Trigger*. La función de R2 y C1 es suavizar los pulsos de rebote, permitiendo que la compuerta realice sólo una transición durante el período que dura el fenómeno. Este esquema anti-rrebote no es adecuado para TTL.

Interfaces con diodos emisores de luz (LED)

Los diodos emisores de luz o LED (figura E3, página 33) se utilizan frecuentemente en los circuitos digitales como monitores lógicos y para trasmitir información de un circuito a otro por vía óptica. Un LED encendido representa normalmente un estado alto y un LED apagado un estado bajo.

La cantidad de luz emitida por un LED es directamente proporcional a la corriente que circula por el mismo. Esta corriente nunca debe ser superior al valor máximo especificado por el fabricante. Para evitar que esto suceda, los LED deben protegerse mediante una resistencia limitadora de corriente conectada en serie, como se muestra en la figura 159.

El valor de esta resistencia (Rs) se puede calcular, en forma aproximada, mediante la fórmula:

$$R_S = (V_{CC} - V_F)/I_F$$

En esta expresión, V_{CC} es el valor del voltaje de alimentación, V_F la caída de voltaje del LED e I_F la corriente nominal del mismo. Los valores de V_F e I_F los especifican los fabricantes. Por ejemplo, si V_{CC}=5V, I_F=20 mA y V_F=1.5 V (valores típicos), entonces:

$$R_S = (5V - 1.5V)/20mA = 3.5V/20mA = 175\ \Omega$$

Generalmente se utiliza un valor ligeramente superior al calculado para mayor seguridad. En este caso, una resistencia de 220 Ω es más que adecuada. En el experimento 1 (página 33) se detallan otras características de los LED.

Interfazar diodos emisores de luz con salidas TTL o CMOS es una tarea relativamente sencilla. En la figura 160 se muestran varios circuitos adecuados para este propósito. En todos los casos, el valor de la resistencia limitadora del LED se calcula como acaba de explicarse.

En el circuito A, el LED prende cuando la salida del inversor es alta y se apaga cuando es baja. El circuito B opera en forma contraria. Observe que no se utilizan resistencias limitadoras en serie. Esto sólo se puede hacer con dispositivos CMOS que operen a 5V o menos.

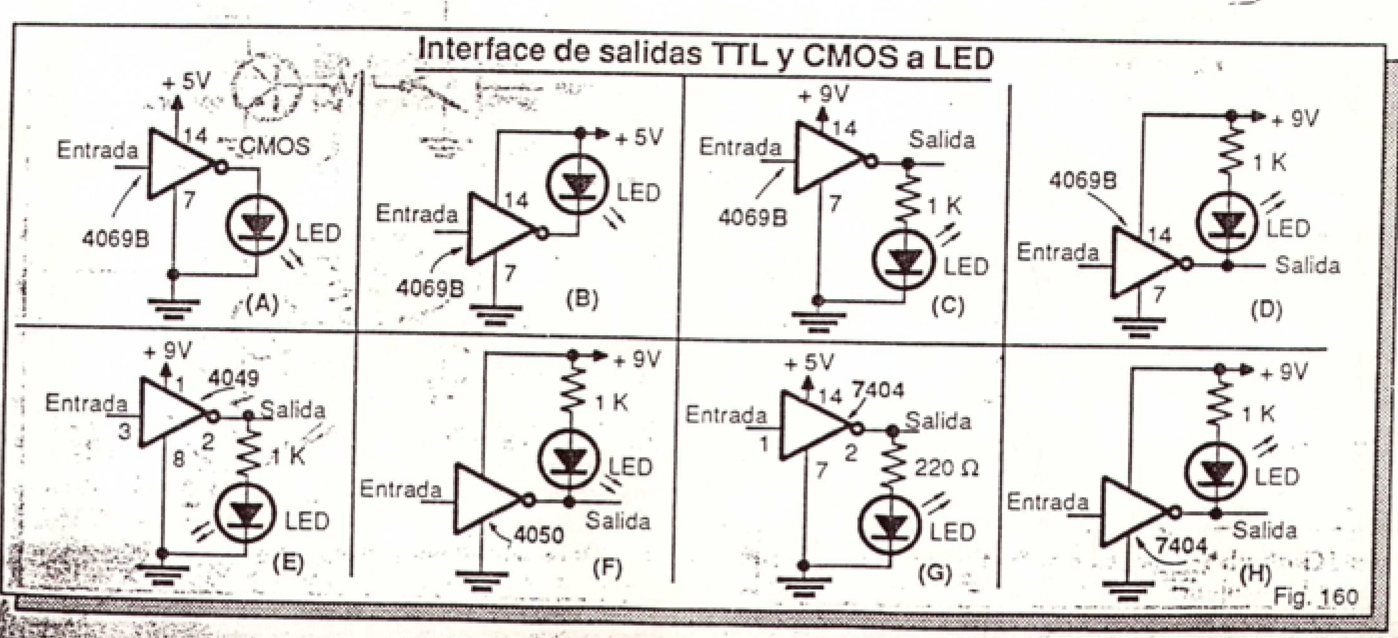


Fig. 160

Los circuitos C y D operan de manera similar a los circuitos A y B, respectivamente, pero utilizan resistencias limitadoras. Esto es necesario debido a que se emplea una fuente de alimentación de mayor voltaje (9V).

Los circuitos E y F utilizan, respectivamente, un *buffer* inversor CMOS 4049 operando en el modo *source*, y un *buffer* no inversor 4050 operando en el modo *sink*. En el circuito E, el LED se prende cuando la salida es **alta** y se **apaga** cuando es baja. El circuito F opera en forma contraria. En ambos casos se requieren resistencias limitadoras.

Los circuitos G y H ejemplifican la forma de manejar un LED mediante una compuerta TTL estándar. En el circuito G, el LED se prende cuando la salida es **alta** y se apaga cuando es **baja**. El circuito H opera en forma contraria.

Los circuitos de la figura 160 deben utilizarse como simples monitores lógicos. No se recomienda emplearlos para impulsar al mismo tiempo otras entradas porque en ellos las salidas trabajan a su máxima capacidad de corriente, con el fin de iluminar adecuadamente el LED.

Los circuitos de la figura 161 proveen simultáneamente monitoreo lógico y capacidad de manejo, utilizando transistores de propósito general como dispositivos de acople entre la salida TTL o CMOS y el LED. El circuito A utiliza un transistor NPN; el B, un transistor PNP.

En el circuito A, el LED prende cuando la salida del inversor es **alta** y se apaga cuando es **baja**. En el primer caso, el transistor conduce, permitiendo que la corriente de colector circule a través del LED y en el segundo se bloquea, impidiendo la circulación de corriente. El circuito B opera en forma contraria.

El circuito de la figura 162 muestra la forma de manejar un LED mediante una compuerta de colector abierto. R1 actúa al mismo tiempo como resistencia de *pull-up* y como resistencia limitadora. El LED prende cuando la salida del inversor es **baja** y se apaga cuando es **alta**.

Interfaces de LED con transistores

(A) con transistor NPN — Entrada (A), TTL o CMOS, 33 K, 220 Ω, LED, Q1 2N3904, + 5V, Salida (Y)

(B) con transistor PNP — Entrada, TTL o CMOS, 33 K, 220 Ω, LED, Q1 2N3906, + 5V, Salida

Fig. 161

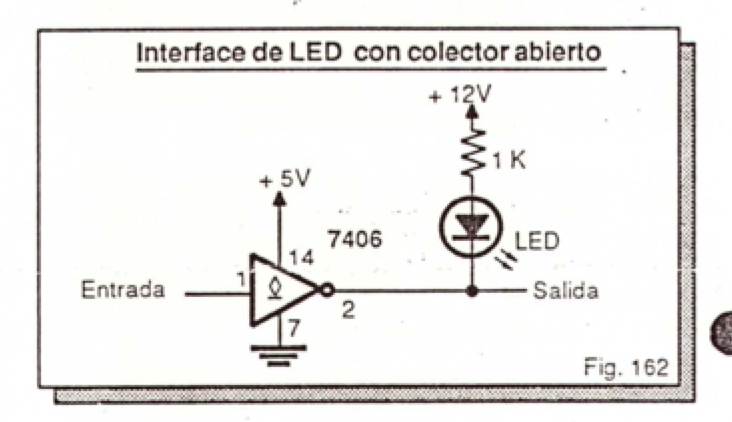


Fig. 162

Interfaces con lámparas incandescentes

En la figura 163 se muestran dos métodos muy comunes para manejar lámparas incandescentes de baja potencia mediante salidas TTL o CMOS. En

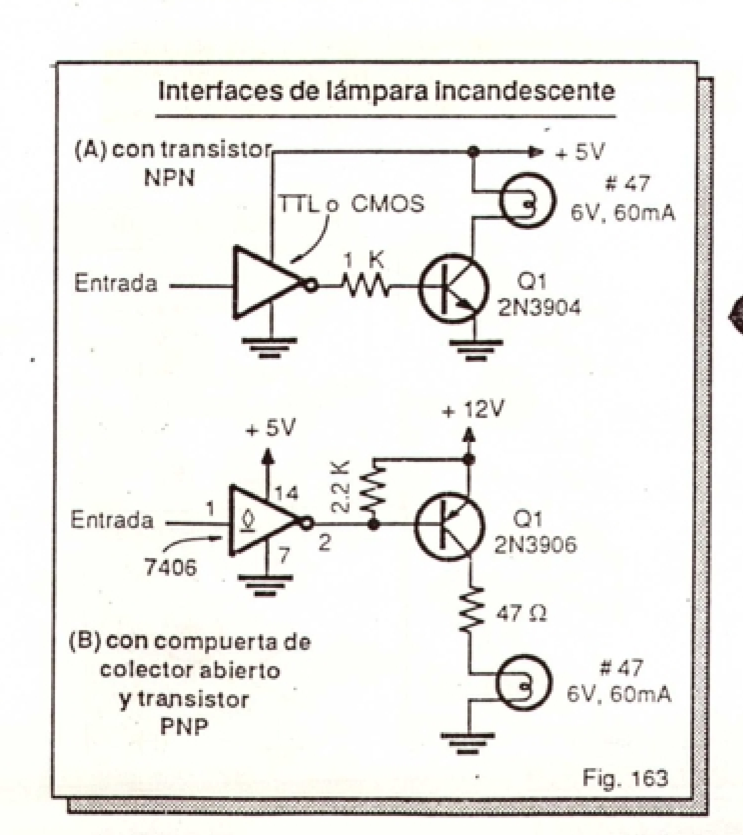


Fig. 163

ambos casos se utiliza una lámpara Nº 47 de 6V, 60 mA. Las lámparas incandescentes se emplean como elementos de iluminación y monitoreo en muchas aplicaciones: linternas, automóviles, aviones, etc.

En el circuito A, la lámpara se enciende cuando la salida del inversor es **alta** y se apaga cuando es **baja**. En el primer caso, el transistor Q1 conduce, causando que circule una corriente de colector suficiente para encender la lámpara. En el segundo, el transistor se bloquea y la lámpara no prende, porque no hay corriente de base.

El circuito B utiliza un inversor TTL de colector abierto. Cuando la salida es **baja**, la base de Q1 queda puesta a tierra y este transistor conduce. Por tanto, la lámpara enciende. Cuando la salida del inversor es **alta**, la resistencia de *pull-up* R1 conecta la base de Q1 a +12V y el transistor no conduce. Por esta razón, la lámpara no prende.

Las lámparas incandescentes vienen en una gran variedad de estilos y tamaños. En la figura 164 se muestran algunos modelos comunes. Además de sus características de voltaje y de corriente, otras especificaciones importantes de estos dispositivos son su intensidad luminosa y sus horas promedio de vida. Estos datos los suministran los fabricantes.

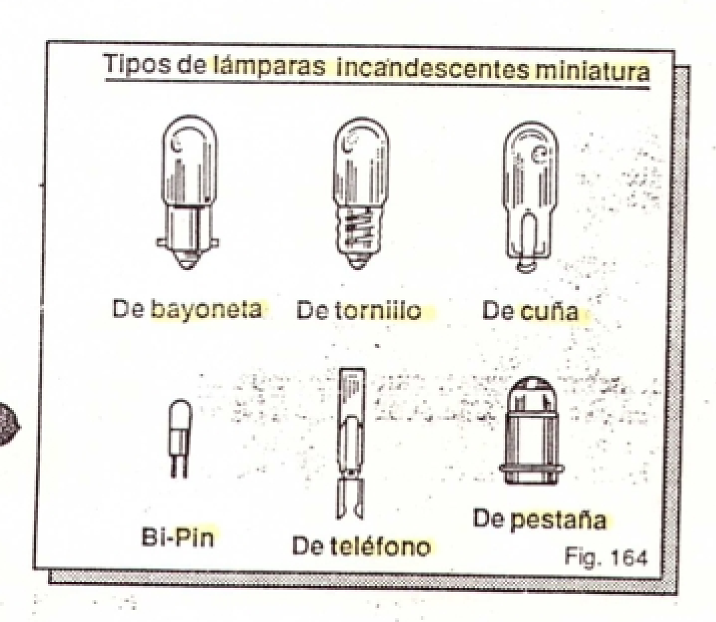


Fig. 164

Interfaces con zumbadores piezoeléctricos

Los zumbadores piezoeléctricos o *piezo-buzzers* (ver figura 49, página 43) se utilizan en los circuitos digitales como anunciadores sonoros de bajo consumo. Su vasto campo de aplicaciones incluye radiorrelojes, teléfonos, computadores, alarmas, buscapersonas, detectores de humo y de metales, probadores, etc.

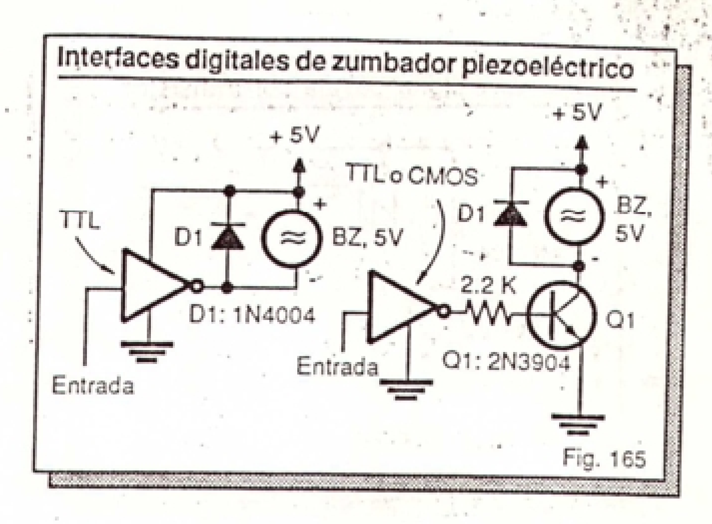


Fig. 165

En la figura 165 se indican dos métodos muy sencillos para manejar un zumbador piezoeléctrico a partir de salidas TTL o CMOS. Una compuerta TTL estándar puede manejar directamente un *buzzer* piezoeléctrico. Este dispositivo absorbe típicamente de 3 mA a 5 mA cuando suena. Una salida TTL puede impulsar hasta 16 mA de corriente

En el circuito A, una salida TTL estándar maneja directamente un zumbador piezoeléctrico de 5V. Cuando la salida del inversor es **baja** el *buzzer* suena y cuando es **alta**, se silencia.

En el circuito B, una salida TTL o CMOS maneja el mismo *buzzer* anterior a través de un transistor NPN de propósito general. Cuando la salida del inversor es **alta**, el transistor conduce y el zumbador suena. Cuando la salida del inversor es **baja**, el transistor se bloquea y el zumbador se silencia.

Los zumbadores piezoeléctricos son dispositivos polarizados. Esta polaridad debe respetarse para que operen correctamente. En los circuitos de la figura 165, el diodo D evita que los picos de voltaje generados por el zumbador afecten la operación de otros circuitos conectados a la línea de +5V.

Interfaces con relés

Los relés se utilizan en los circuitos digitales para aislar salidas TTL o CMOS de cargas de potencia que operan a altos voltajes y/o consumen altas corrientes. Como vimos en el experimento 8 (página 65), un relé es un dispositivo que utiliza el campo magnético creado alrededor de una bobina con corriente para abrir o cerrar uno o más contactos.

En la figura 166 se muestra la forma de manejar la bobina de un relé mediante una salida TTL o CMOS utilizando un transistor de propósito general como elemento impulsor o *driver*. El diodo D1 elimina los transientes o picos de voltaje producidos por la bobina del relé durante su operación.

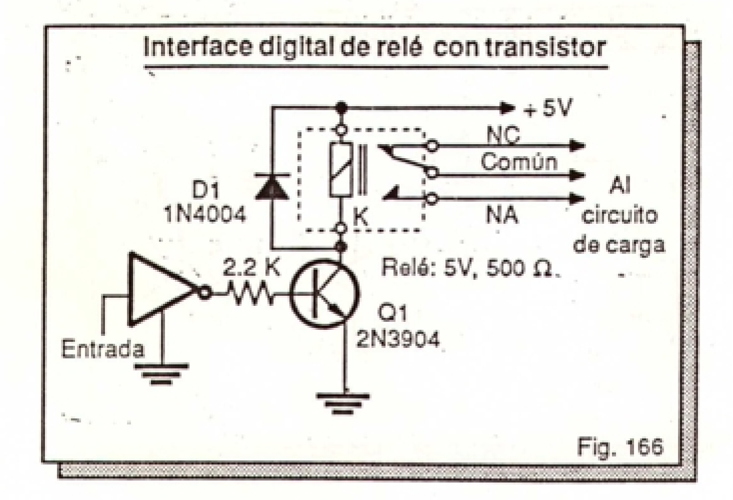


Fig. 166

Cuando la salida del inversor es **alta**, el transistor conduce y energiza la bobina del relé (K). Como resultado, el contacto normalmente abierto (NA) se cierra y el normalmente cerrado (NC) se abre. Este efecto puede utilizarse para conectar o desconectar una carga externa, por ejemplo un motor.

Cuando la salida del inversor es **baja**, el transistor no conduce y no se energiza la bobina. En consecuencia, los contactos NA y NC permanecen en sus posiciones originales o retornan a éstas.

En la figura 167 se indica la forma de manejar un relé mediante una salida TTL de colector abierto de alto voltaje. La bobina del relé (K) actúa como resistencia de *pull-up* o carga.

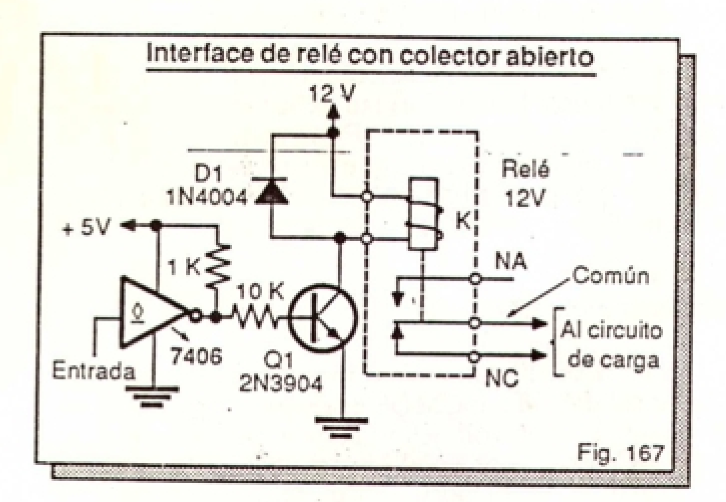


Fig. 167

Cuando la salida de la compuerta es de nivel **bajo**, circula una corriente a través de la bobina y el relé se energiza, cerrándose el contacto NA y abriéndose el NC. Cuando la salida es de nivel **alto**, la bobina no se energiza y los contactos adoptan sus posiciones originales.

Los circuitos de las figuras 166 y 167 son útiles para manejar relés que utilizan bobinas de alta resis-

ACTIVIDAD PRACTICA Nº 6

Construcción del módulo 1. Parte 5

En esta actividad instalaremos la base o *socket* de 14 pines que sirve de soporte al circuito integrado CD4011B del módulo 1. La utilización de esta base facilita el montaje del *chip* y su remplazo.

Componentes y herramientas necesarios

1 base para circuito integrado de 14 pines.
1 circuito impreso CEKIT ED-1.
1 cautín de baja potencia (15W a 35W).
Soldadura de estaño 60/40

Procedimiento

Tome la base de 14 pines e instálela en la tarjeta de circuito impreso ED-1, como se muestra en la figura A9. Asegúrese de que todos los pines entren en los correspondientes agujeros de la tarjeta y no haya alguno doblado o partido.

La base debe quedar firmemente asentada sobre la cara de montaje de la tarjeta y todos sus pines deben sobresalir por el lado del cobre de la misma. Puede doblar algunos terminales en ángulo recto antes de proceder a soldar para facilitar el proceso. Asegúrese de que los puntos de contacto estén limpios y no hayan síntomas de oxidación.

Suelde cada uno de los pines al circuito impreso siguiendo el procedimiento general explicado en la actividad 5 (ver página 70). No mueva la base hasta que la soldadura se enfríe.

Los circuitos integrados y las bases para los mismos deben soldarse con mucho cuidado. Debido a la proximidad de los pines, es muy fácil originar puentes indeseables entre ellos si se aplica soldadura en exceso o si la punta del cautín los toca al mismo tiempo. Para evitar esto, utilice soldadura extradelgada y un cautín tipo lápiz pequeño.

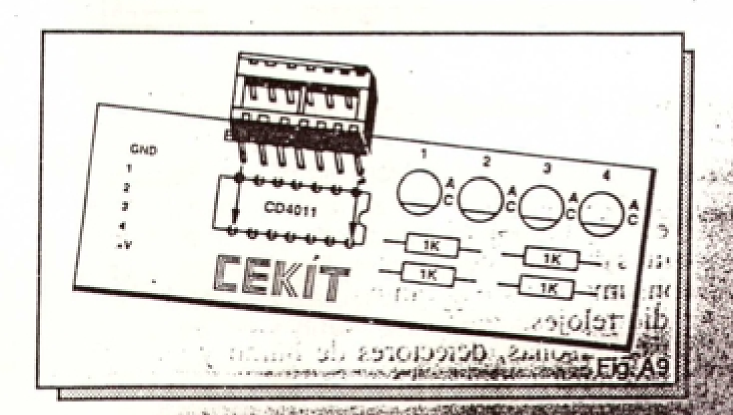


Fig. A9

tencia interna, es decir de bajo consumo de corriente (menos de 30 mA). Para impulsar relés con mayores requisitos de corriente (por ejemplo, 60 mA) deben emplearse otras estrategias.

El circuito de la figura 168 resulta adecuado para este propósito. Los transistores Q1 y Q2 forman un par *Darlington*. Este modo de conexión de transistores proporciona una alta ganancia de corriente, superior a 1000. La ganancia de corriente (hfe) es la relación entre la corriente de colector (IC) y la corriente de base (IB), es decir, hfe = IC/IB.

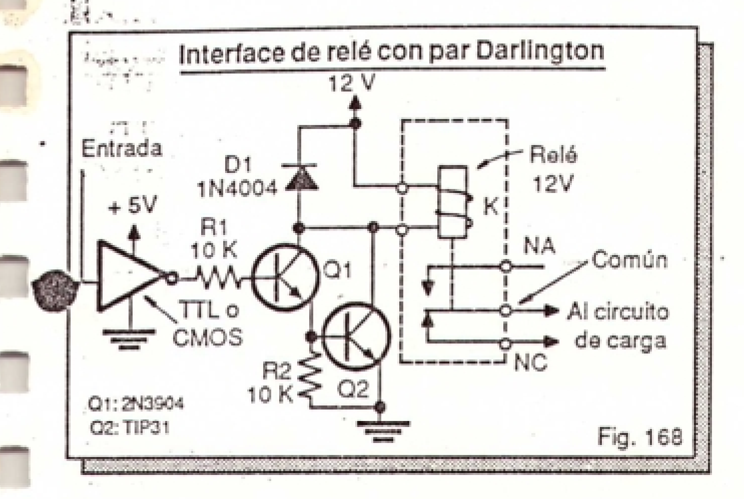


Fig. 168

Cuando la salida del inversor es de nivel **alto**, Q1 y Q2 conducen, se energiza la bobina del relé y éste permuta el estado de sus contactos. Cuando la salida es de nivel **bajo**, ninguno de estos transistores conduce y la bobina se desenergiza: los contactos NA y NC retornan a sus posiciones originales.

En la figura 169 se muestran dos ejemplos prácticos de aplicación de las interfaces de relé anteriores. El circuito A controla un *solenoide* y el circuito B un motor de corriente continua.

Los solenoides son dispositivos electromecánicos que se utilizan para accionar piezas y objetos mecánicos. Un solenoide (figura 169) consiste de una bobina hueca dentro de la cual se desplaza un núcleo móvil. Cuando se aplica una corriente a la bobina, se crea un campo magnético muy intenso que automáticamente atrae el núcleo hacia el agujero.

En el circuito A, cuando la entrada es de nivel **bajo**, el transistor conduce y energiza la bobina del relé. El contacto NA se cierra y la batería de 12 V alimenta el solenoide, provocando el desplazamiento del núcleo. Cuando la entrada es de nivel **alto**, el transistor no conduce, el relé no se energiza, la batería de 12 V se desconecta y el solenoide no actúa.

En el circuito B, cuando la entrada es de nivel **bajo**, los transistores conducen y energizan la bobina del relé. El contacto NA se cierra y por tanto el motor recibe 12 V en sus bornes y gira. Cuando la entrada es de nivel **alto**, los transistores no conducen, el relé no se energiza, la batería de 12 V se desconecta y el motor no gira o se frena.

Interfaces con optoacopladores

Un *optoacoplador* o acoplador óptico es un dispositivo que acopla señales de un circuito a otro por medio de luz visible o invisible (infrarroja) proporcionando un completo aislamiento eléctrico entre ambos. Esta es su aplicación más importante.

Los optoacopladores también se denominan *optoaisladores* o *fotoacopladores*. La utilización de optoacopladores es una de las mejores y más fáciles formas de interfazar señales digitales con dispositivos del mundo real. Los optoacopladores ofrecen aislamiento eléctrico, compatibilidad con circuitería lógica, son de tamaño reducido y muy confiables.

Existen varios tipos de optoacopladores. En la figura 170 se muestran las configuraciones y referen-

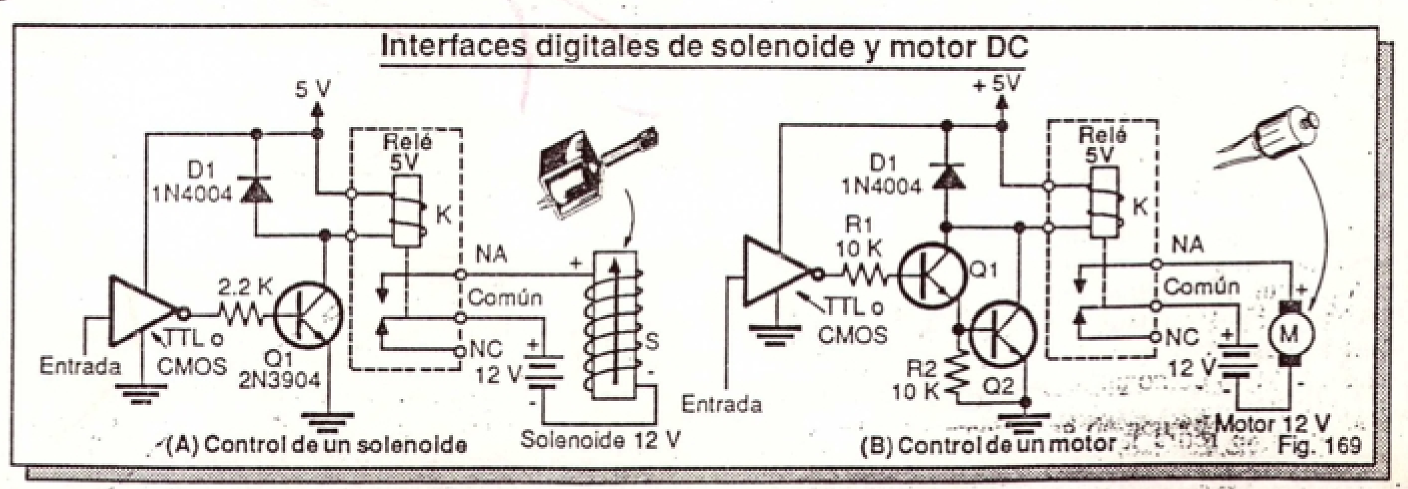


Fig. 169

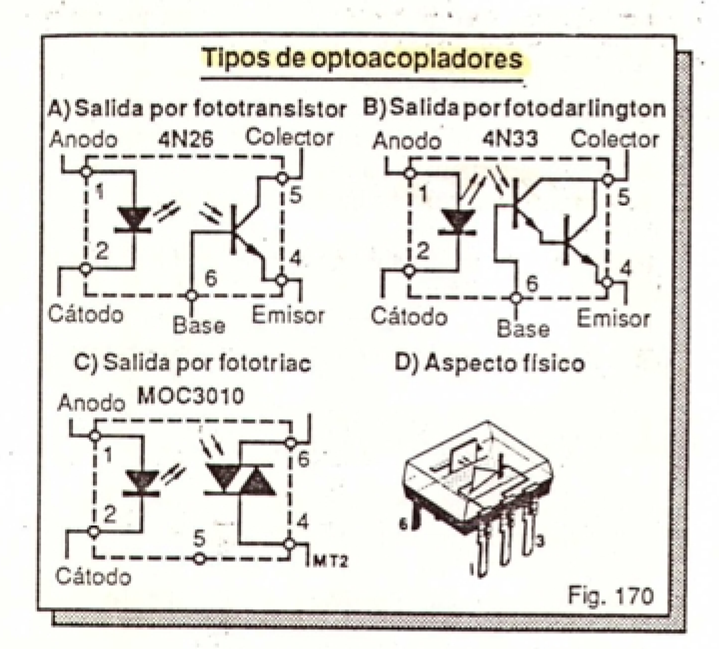


Fig. 170

cias más comunes. Todas combinan, en una misma cápsula opaca, un semiconductor que emite luz (fuente) y otro que la recibe (detector). La fuente de luz es generalmente un LED infrarrojo (IRED).

El optoacoplador A utiliza un transistor sensible a la luz o *fototransistor* como detector y el B un fototransistor de alta ganancia o *fotodarlington*. Cuando el LED se energiza, la luz emitida excita la base, y el fototransistor o fotodarlington conduce. Como resultado, se produce una corriente de colector (IC) a través del circuito de salida.

El optoacoplador C utiliza un interruptor bilateral sensible a la luz o *fototriac* como detector. Cuando el LED se energiza, la luz emitida dispara el *fototriac* y éste se cierra. Los optoacopladores de fototriac se utilizan para disparar *triacs*. Los *triacs* son semiconductores que se emplean como interruptores de corriente alterna en aplicaciones de potencia.

En la figura 171 se muestra la forma de acoplar un voltaje de CC externo a la entrada de un dispositivo digital mediante un optoacoplador **4N33**. El circuito convierte un voltaje de entrada de 12VDC en un nivel **alto** de +5V y uno de 0V en un nivel **bajo** de ≈0V. Se puede utilizar, por ejemplo, para monitorear una batería de automóvil.

Cuando se aplica la señal de 12VDC, circula una corriente IF a través de la resistencia R1, se energiza el LED y el *fotodarlington* conduce. Como resultado, circula una corriente de colector IC a través de la resistencia R2. Esta corriente causa una caída de voltaje de ≈5V que es interpretada por la entrada TTL o CMOS como un nivel **alto ó 1** lógico.

Cuando se retira la señal de entrada, no circula corriente a través del LED y el *fotodarlington* no

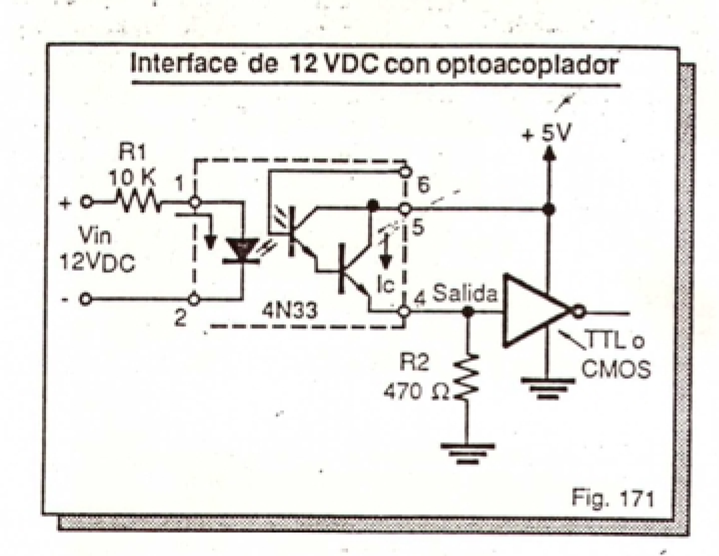


Fig. 171

conduce. Como consecuencia, la entrada TTL o CMOS queda puesta a tierra y recibe un nivel **bajo** de ≈0V.

Observe que en el circuito de la figura 171 el terminal correspondiente a la base (pin 6) se deja desconectado. Este terminal se utiliza en aplicaciones de alta velocidad.

En la figura 172 se muestra la forma de acoplar un voltaje de CC externo a la entrada de un dispositivo digital, utilizando un optoacoplador **4N26**. El circuito convierte un voltaje de entrada de 0V en un nivel **alto** de +5V y uno de 24VDC en un nivel **bajo** de 0V. Se puede utilizar, por ejemplo, para monitorear una línea telefónica de 24 V.

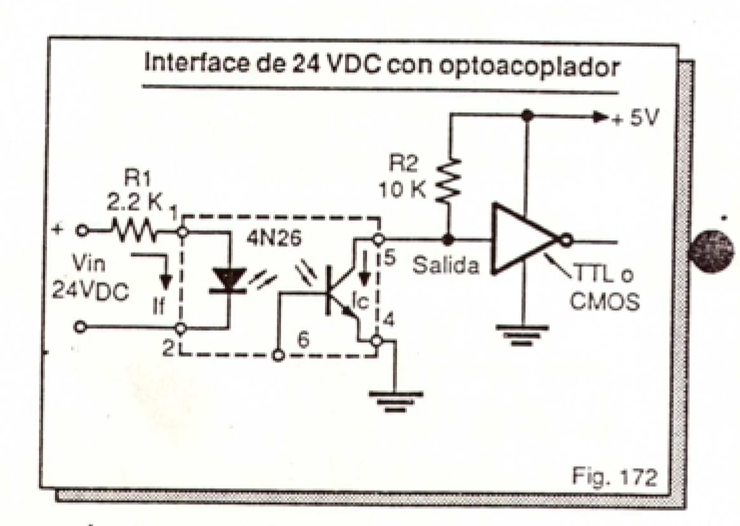


Fig. 172

Cuando se aplica la señal de 24VDC, fluye una corriente IF a través de la resistencia R1 y el LED, el fototransistor conduce y circula una corriente de colector IC. Esta corriente produce un voltaje de ≈5V sobre la resistencia R2 y de ≈0V entre el colector y tierra. Como resultado, la entrada TTL o CMOS recibe un nivel **bajo**.

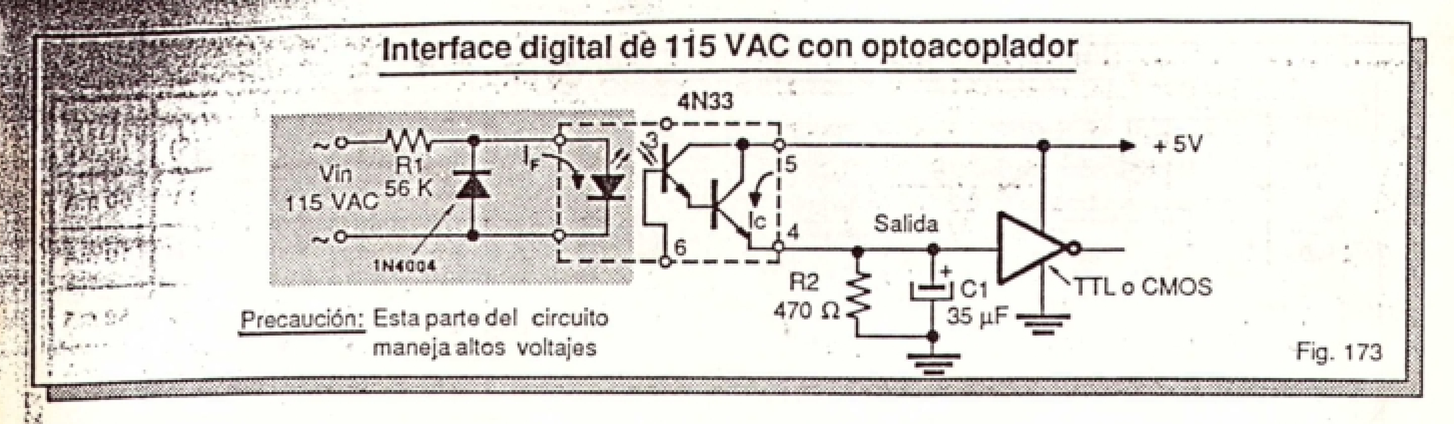


Fig. 173

Cuando se retira la señal de 24VDC, sucede el efecto contrario y la entrada TTL o CMOS recibe un nivel **alto**.

En los circuitos de la figura 171 y 172, los valores de R1 y R2 deben elegirse de modo que las corrientes de entrada (IF) y de salida (IC) no excedan los valores máximos especificados por el fabricante. Para el optoacoplador 4N33, IF(máx)=80 mA e Ic(máx)=100 mA. Para el optoacoplador 4N26, IF(máx)=80 mA e IC(máx)=100 mA.

En la figura 173 se indica la forma de acoplar un voltaje externo de CA a la entrada de un dispositivo digital utilizando un optoacoplador **4N33**. El circuito convierte un voltaje de entrada de 115 VAC en un nivel **alto** de +5V y uno de 0V en un nivel **bajo** de ≈0V. Se puede utilizar, por ejemplo, para monitorear una línea de potencia de 115 VAC.

En la figura 174 se indica la forma de interfazar una salida digital a cargas de CA de baja potencia utilizando un optoacoplador **MOC3010**. El *fototriac* actúa como un interruptor en serie con la lámpara, conectándola a la red de 115 VAC cuando la salida de la compuerta es de nivel **bajo** (0V) y desconectándola cuando es de nivel **alto** (5V).

Interface digital de cargas de CA de baja potencia

+ 5V Lámpara
1 K
115 V
10 W
If
1
2
4
6
Menos de 12 W
115 V
60 Hz
MOC3010
Fusible
Entrada
TTL o CMOS
Precaución: Esta parte del circuito maneja altos voltajes

Fig. 174

El *fototriac* se dispara (entra en conducción) cuando la corriente a través del LED (IF) supera un cierto umbral denominado IFT. Para el MOC3010, IF(máx)=50 mA e IFT(máx)=8 mA. Típicamente, IFT=8 mA e IF=10 mA.

En la figura 175 se ilustra la forma de interfazar una salida digital a cargas de CA de alta potencia, utilizando un optoacoplador **MOC3010** y un *triac*. El *triac* actúa como un interruptor en serie con la carga, conectándola a la red de 115 VAC cuando la salida de la compuerta es de nivel **bajo** y desconectándola cuando es de nivel **alto**.

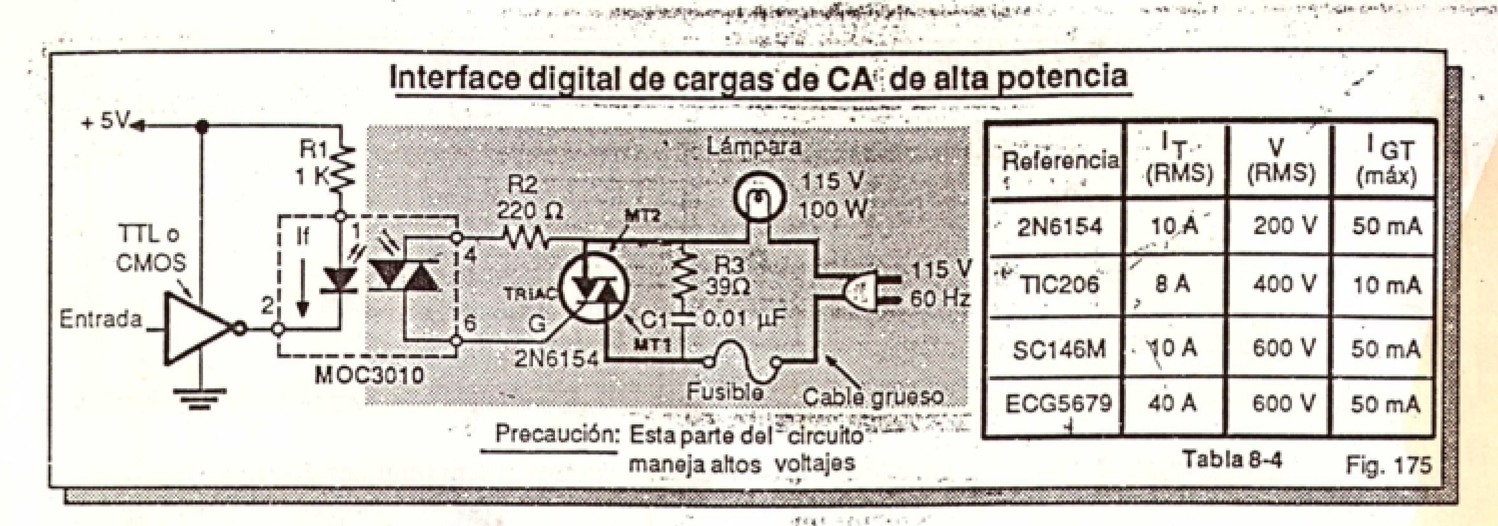
Un *triac* es un dispositivo semiconductor de tres terminales que se utiliza como interruptor de corriente alterna en aplicaciones de potencia tales como reguladores de luminosidad (*dimmers*), controles de velocidad de motores, controles de temperatura de hornos, etc.

Los tres terminales de un *triac* se denominan *gate* o compuerta (G) y terminales principales (MT1 y MT2). Cuando se aplica una corriente, positiva o negativa, a la compuerta, el *triac* se cierra entre MT1 y MT2, permitiendo la circulación de corriente a través de la carga hasta que se suspende la corriente de compuerta.

Las resistencias R1 y R2 deben elegirse de modo que limiten las corrientes del LED del optoacoplador y de la compuerta del *triac* a valores seguros. Un valor muy alto de R2 puede causar que la corriente de disparo de la compuerta sea insuficiente y el *triac* no responda como se desea.

La resistencia R3 y el condensador C1 forman un circuito denominado *snubber*. Su función es suprimir transientes de voltaje, introducidos por la carga o por la red de 115VAC, los cúales pueden disparar inadvertidamente el *triac* y causar problemas de operación. El circuito *snubber* es importante cuando se utilizan motores y otras cargas inductivas.

Los *triac* se especifican de acuerdo con los valores máximos de corriente y voltaje de carga que pue-



Referencia	I_T (RMS)	V (RMS)	I_{GT} (máx)
2N6154	10 A	200 V	50 mA
TIC206	8 A	400 V	10 mA
SC146M	10 A	600 V	50 mA
ECG5679	40 A	600 V	50 mA

Tabla 8-4

Fig. 175

den manejar. Por ejemplo, el *triac* 2N6154 es de 200 V, 10A y exige una corriente de compuerta superior a 50 mA para dispararse. En la tabla 8-4 se relacionan las especificaciones de otros *triac* comunes.

En la figura 176 se indica la forma de interfazar una salida TTL o CMOS a una carga de CC de mediana potencia, utilizando un optoacoplador **4N37** y un transistor de potencia. Este circuito en particular puede manejar cargas de CC hasta de 60V, 5A.

La resistencia R1 limita la corriente del LED a un valor seguro. El transistor Q1 actúa como un interruptor en serie con la carga, conectándola al voltaje B1 cuando la salida de la compuerta es de nivel bajo y desconectándola cuando es de nivel alto.

El diodo Zener D1 protege al circuito de transientes de voltaje producidos en el circuito cuando se utilizan cargas inductivas como motores, solenoides, etc. El transistor Q1 se polariza a través de R2, el fototransistor del optoacoplador y la carga. Debe estar provisto de un disipador de calor.

Los circuitos de las figuras 175 y 176 son ejemplos de *relés de estado sólido* o SSR (solid-state relay). En particular, el circuito de la figura 175 es un SSR tipo DC/AC porque utiliza un voltaje de entrada DC para controlar una carga de salida AC y el de la figura 176 es un SSR tipo DC/DC porque utiliza un voltaje DC para manejar una carga DC.

En contraste con los relés electromecánicos, que utilizan contactos metálicos, los SSR emplean transistores, *triac* y otros dispositivos de estado sólido para conectar y desconectar cargas de potencia. Esta característica los hace muy rápidos, silenciosos y compactos. Además, no se desgastan y son inmunes a los choques y a las vibraciones.

Los SSR se consiguen en una gran variedad de presentaciones. En la figura 177, por ejemplo, se muestra el aspecto de un SSR de potencia.



Fig. 177

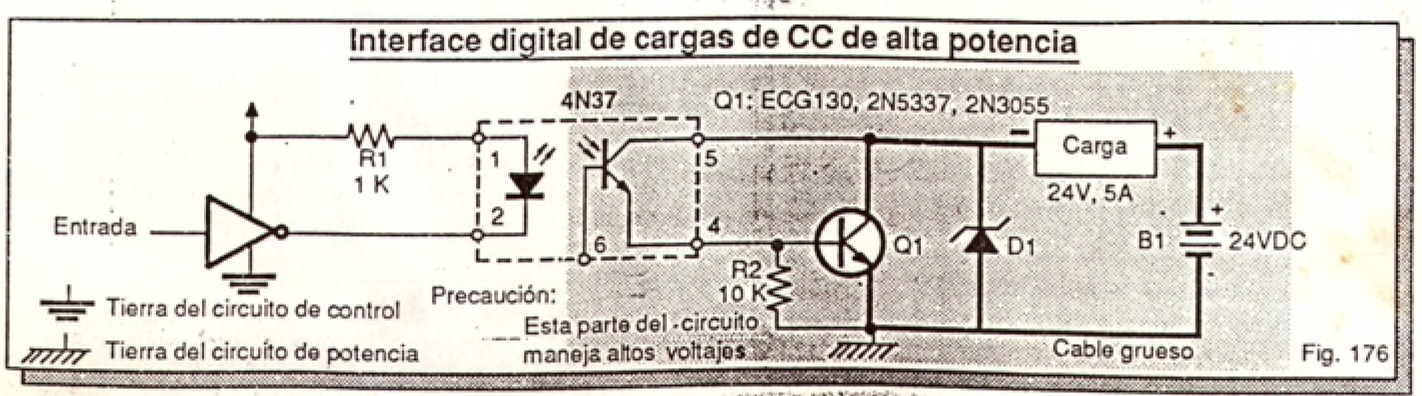


Fig. 176

EXPERIMENTO 10

Construcción de un sistema digital de seguridad

Objetivos

• Visualizar la importancia de las interfaces en la solución de problemas concretos, tomando como ejemplo un sencillo sistema de alarma.

• Familiarizarse con la planeación, diseño y montaje de sistemas de seguridad.

Materiales y herramientas necesarios

- 1 circuito integrado 4093 (4 compuertas NAND Schmitt-trigger). IC2.
- 1 rectificador controlado de silicio C106B. SCR1.
- 1 optoacoplador 4N33.
- 3 resistencias de 4.7 K. R1, R4, R5.
- 2 resistencias de 100 K. R2, R3.
- 4 resistencias de 1 K. R6, R7, R8, R9.
- 2 condensadores de 0.1 µF. C1, C2.
- 2 baterías de 9V con conectores. B1, B2.
- 1 zumbador o sirena de 9V. BZ.
- 1 diodo IN4004 o similar. D1.
- 1 *protoboard*.
  Puentes de alambre telefónico #22 ó #24.

Componentes opcionales

- 1 interruptor accionado por llave. S1.
- 1 sensor magnético (*reed-switch* o interruptor de proximidad) con imán. S2.
- 2 sensores de presión (*mat-switch*). S3, S5.
- 1 pulsador normalmente abierto. S4.
- 1 pulsador normalmente cerrado. S6.

Descripción

Desafortunadamente, el riesgo de ser atacado o robado en su propia casa se incrementa día a día. Por esta razón, las personas deben tomar ciertas precauciones para proteger su vida y sus bienes y evitar este tipo de desastres. Una buena solución es utilizar un sistema doméstico de seguridad que proporcione una alarma en tales situaciones.

En la figura E18 se muestra la configuración general del sistema de alarma contra ladrones que vamos a probar en este experimento. Consta básicamente de una red de sensores, un circuito de control y un dispositivo generador de alarma.

La red de sensores detecta una intrusión real o posible en uno o más puntos protegidos y envía una señal de alerta al circuito de control. Este último chequea la validez de la señal recibida y dispara el generador de alarma cuando se cumplen las condiciones necesarias para su activación.

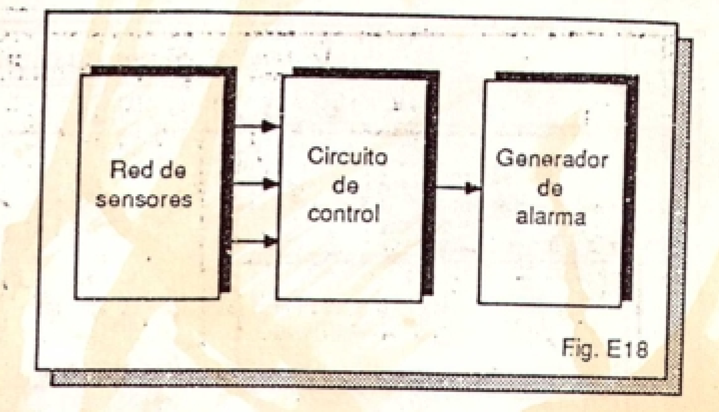


Fig. E18

En la figura E19 se muestra el circuito práctico de nuestro sistema de seguridad. La red de sensores está formada por S2, S3, S4 y S5 y el circuito de control por las compuertas A, B, C y D. El generador de alarma es el zumbador (BZ). Los demás componentes cumplen funciones auxiliares.

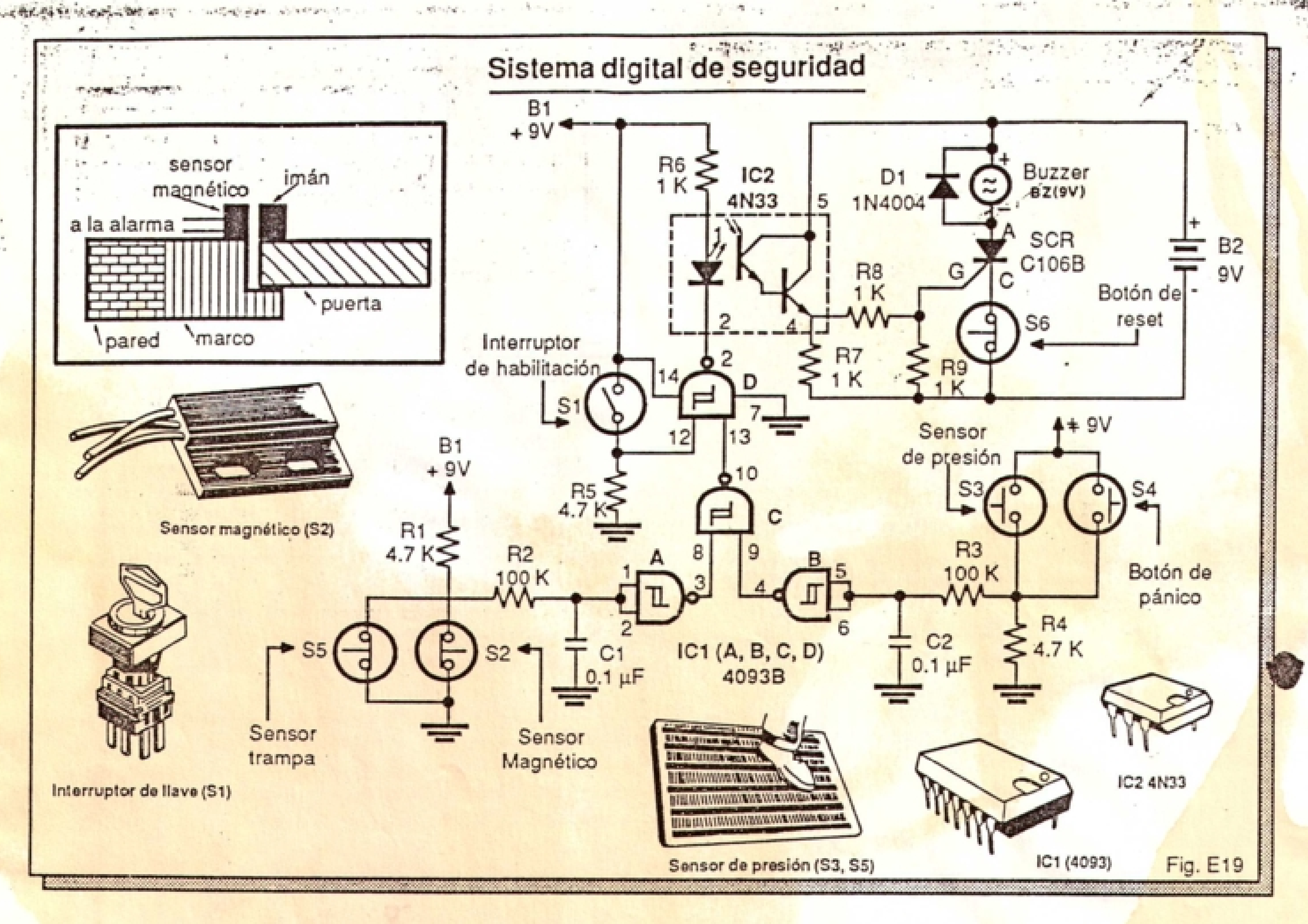
La alarma se activa cuando el interruptor S1 está cerrado y cualquiera de los sensores S2 a S5 cambia de estado. Bajo estas condiciones, la salida de la compuerta D es de nivel **bajo** y el LED del optoacoplador se energiza. Como consecuencia, el *fotodarlington* conduce, se dispara el SCR y circula corriente a través del zumbador.

Una vez activada la alarma, el zumbador continúa energizado, sin importar lo que suceda en los sensores. Para silenciarlo, debe pulsarse el botón de *reset* (S6) y retornar los sensores a sus posiciones originales. El efecto neto de pulsar S6 es suspender momentáneamente la corriente del SCR.

En la práctica, los sensores se conectan a una caja de control debidamente protegida que contiene el circuito electrónico, las baterías, el interruptor de *reset* (S6) y el interruptor general (S1). Este último es accionado por llave. Cuando S1 está abierto, la compuerta D recibe un **bajo** en una de sus entradas, su salida se hace **alta** y la alarma no funciona.

El interruptor S2 puede ser un sensor magnético, instalado en una puerta o en una ventana como se muestra en la figura E19. Mientras el imán esté cerca, el sensor permanece cerrado y la alarma no se activa. Cuando el imán se aleja, por ejemplo al abrir la puerta, el sensor cambia de estado y la alarma se dispara.

El interruptor S3 puede ser un sensor de presión localizado bajo una alfombra o un tapete como se muestra en la figura E19. En condiciones normales, S3 está abierto. Cuando se ejerce una ligera presión



sobre él, por ejemplo al caminar, el sensor se cierra y la alarma se dispara.

El sistema provee también el uso de un botón de pánico (S4) y de un sensor trampa (S5). El primero es un pulsador que el propietario acciona en caso de verse sorprendido, atacado o ser víctima del pánico. La trampa puede ser un sensor de presión que se abra cuando se levanta un objeto valioso.

Cualquier sensor (S2, S3, etc.) protege un punto específico, por ejemplo una puerta. Para monitorear simultáneamente varios puntos de la casa, deben utilizarse sensores del mismo tipo conectados en paralelo con los sensores originales. Cualquier sensor que se active produce un nivel **alto** en la salida de la compuerta C y dispara la alarma.

Montaje y prueba

Arme el circuito de la figura E19 sobre su *protoboard.* Antes de conectar las baterías, asegúrese de que todas las conexiones estén correctas, especialmente las relacionadas con el circuito integrado IC1, el optoacoplador IC2, el SCR y el diodo D1. Si no dispone de los sensores e interruptores originales, simúlelos así:

a) El sensor magnético S2, el sensor trampa S5 y el botón de reset S6 se pueden simular mediante contactos normalmente cerrados o pulsadores NC. Designaremos estos componentes simulados como S2', S5' y S6'.

b) El interruptor habilitador S1, el sensor de presión S3 y el sensor de pánico S4 se pueden simular mediante contactos normalmente abiertos o pulsadores NA. Designaremos estos componentes simulados como S1', S3' y S4'.

Conecte las baterías. Cierre el contacto S1' para habilitar el sistema. Simule la apertura de una puerta o de una ventana abriendo el contacto S2'. La alarma debe dispararse. Cierre nuevamente S2'. La alarma debe continuar energizada. Desactívela abriendo y cerrando el contacto S6'.

Simule las otras condiciones cambiando el estado de los contactos S3', S4' y S5' y retornándolos a sus oposiciones iniciales. Por ejemplo, cerrar S3' equivale a simular que un ladrón está caminando sobre una alfombra. En todos los casos, la alarma debe dispararse y sólo debe desactivarse cuando se abra momentáneamente el contacto S6'.

ACTIVIDAD PRACTICA Nº 7

Construcción del módulo 1. Parte 6

En esta actividad instalaremos el circuito integrado 4011 del módulo 1 y explicaremos en detalle su operación, prueba y uso. La instalación de este *chip* completa el ensamble de este módulo. Es muy importante que usted arme el módulo ED-1 y lo deje en perfectas condiciones de funcionamiento, porque lo utilizará frecuentemente durante el curso.

Componentes y herramientas necesarios

1 circuito integrado CMOS 4011. IC1.
1 circuito impreso CEKIT ED-1. PC1.
1 pinza de puntas planas.
1 batería alcalina de 9V con conector o una fuente regulada de 9V, 300 mA.
1 *protoboard*.
Puentes de alambre telefónico #22, #24 ó #26.

Procedimiento y prueba

Paso 1. Tome el circuito integrado **4011** e insértelo con firmeza en la base de 14 pines de la tarjeta ED-1 como se muestra en la parte superior de la figura A10. Oriente el *chip* de tal modo que la ranura quede mirando hacia los LED y que el punto (•) coincida con la marca "**1•**" grabada sobre la tarjeta.

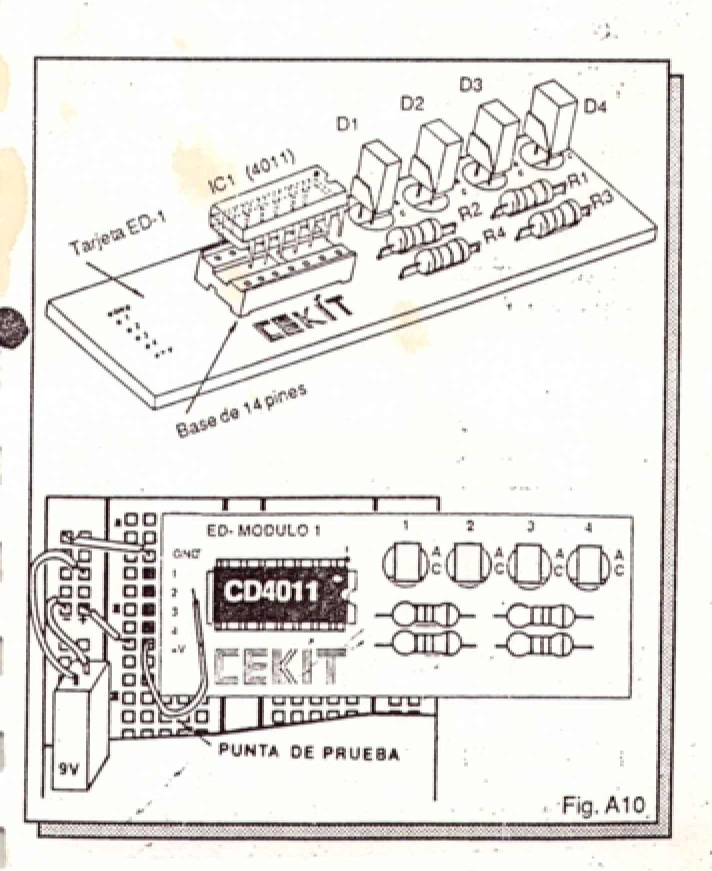


Fig. A10

El **4011** puede estar marcado como CD4011CN, MC14011B, TC4011BP, etc. según el fabricante. Antes de instalarlo en la base, asegúrese de que todos los pines estén rectos y no haya alguno doblado o partido, Rectifíquelos con mucho cuidado con las pinzas de puntas planas, si es necesario.

Tenga en cuenta que el **4011** es un *chip* CMOS. Por tanto, observe todas las recomendaciones de manipulación de este tipo de dispositivos (ver páginas 25, 26 y 37). Interprete la información de la cápsula tal como se explicó en el experimento Nº 1 (páginas 32 y 33). La distribución de pines del **4011** se encuentra en la figura 54, página 45.

Paso 2. Para probar el módulo ED-1, insértelo en el protoboard como se muestra en la parte inferior de la figura A10. Conecte el positivo de la batería (cable rojo del conector) al terminal +V y el negativo (cable rojo) al terminal GND. Instale un cable de prueba en el terminal positivo del protoboard.

Con el cable de prueba al aire, ninguno de los LED debe encender, indicando que las entradas están normalmente en 0.

Toque con la punta de prueba la entrada #1 del módulo. El LED #1 debe encender, indicando la presencia de un 1 en esa entrada. Repita esta prueba con las entradas #2, #3 y #4. Los LED #2, #3 y #4 deben encender en ese orden. **No toque con la punta de prueba el negativo de la fuente porque pone en cortocircuito la batería.**

Operación

En la figura A1 (página 19) se muestra el circuito de uno de los cuatro monitores lógicos que constituyen el módulo ED-1. Cada monitor consta de una resistencia (R1-R4), un LED (D1-D4) y una compuerta NAND (A-D). Consideremos, por ejemplo, el caso del monitor lógico #1.

Cada compuerta trabaja como un inversor. Si se aplica un nivel **alto** ó **1** lógico a una entrada, por ejemplo IN1 (pines 5 y 6), la salida del inversor, (pin 4, en este caso) se hace **baja** (0), polarizando en directo el LED (D1) y permitiendo que circule una corriente a través suyo. Como resultado, el LED se ilumina, indicando la presencia de un **1** lógico en la entrada.

Si se aplica un nivel **bajo** ó **0** lógico a esa misma entrada (IN1), la salida del inversor se hace **alta**, el LED queda inversamente polarizado, no circula corriente a través suyo y, por tanto, no se ilumina, indicando la presencia de un 0 lógico en la entrada. Del mismo modo opera cada uno de los monitores lógicos restantes.

Lógica combinatoria y codificadores

- *Introducción*
- *Circuitos combinatorios y circuitos secuenciales*
- *Códigos digitales*
- *CODIFICADORES*
- *Codificadores de prioridad*
- *El circuito integrado 4532*

Experimento 11. Operación de un codificador de prioridad
- *Codificadores de decimal a BCD*
- *El circuito integrado 40147*

CIRCUITOS DE APLICACION

Introducción

En las lecciones anteriores hemos explorado el mundo de la lógica digital a través del estudio de las compuertas y sus aplicaciones. A partir de esta lección comenzaremos el estudio de los llamados *circuitos lógicos combinatorios* analizando una de sus funciones más importantes: los *codificadores*

En lecciones posteriores conoceremos otros circuitos de este tipo como los decodificadores, los multiplexores, los demultiplexores, los sumadores, los comparadores, etc. El estudio de estos circuitos es del dominio de la lógica combinatoria.

*Estableceremos inicialmente la diferencia entre circuitos combinatorios y circuitos secuenciales, conoceremos los códigos más importantes que se utilizan en electrónica digital para procesar información y describiremos varios codificadores disponibles como circuitos integrados de mediana escala (MSI).

Circuitos combinatorios y circuitos secuenciales

Como hemos visto hasta el momento, cualquier circuito digital, desde el más simple hasta el más sofisticado, se obtiene a partir de la interconexión de bloques constructivos básicos llamados *compuertas*. Dependiendo de su función, algunos circuitos requieren de unas pocas compuertas: otros utilizan cientos de ellas.

A pesar de su diversidad, e independientemente de su complejidad, los circuitos digitales se pueden agrupar en dos grandes categorías: **combinatorios** y **secuenciales**. Tanto los unos como los otros utilizan compuertas para tomar decisiones. La diferencia radica en la forma como el estado de las entradas afecta el estado de las salidas en cada caso.

Un circuito *combinatorio* (figura 178) tiene varias entradas y salidas. El estado de las salidas depende exclusivamente de la combinación de estados de las entradas, del tipo de compuertas utilizadas y de la forma como están interconectadas. Para una misma combinación de entradas, el patrón de 1's y 0's reflejado en las salidas es siempre el mismo.

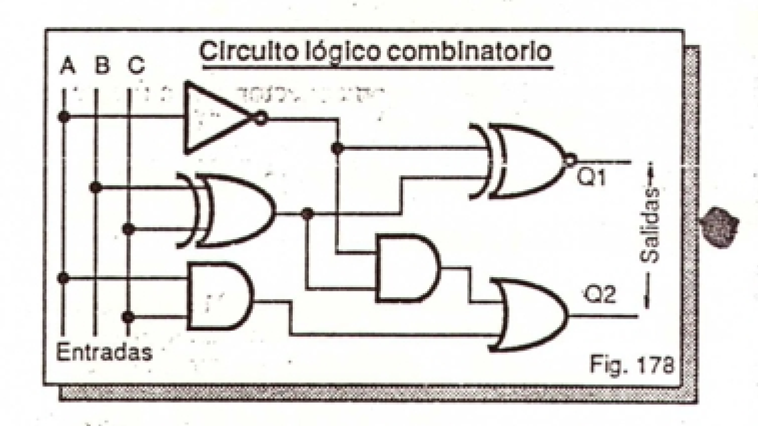


Fig. 178

Ejemplos de circuitos lógicos combinatorios son los codificadores (lección 9), los decodificadores (lección 10), los multiplexores (lección 11), los demultiplexores (lección 12) y algunos circuitos aritméticos (lecciones 28 a 30).

Un circuito *secuencial* (figura 179) posee también varias entradas y varias salidas, pero utiliza elementos de *memoria*, es decir, dispositivos almacenadores de información. Los elementos de memoria más simples son el *latch* o cerrojo biestable (lección 19) y el *flip-flop* o multivibrador biestable (lección 20).

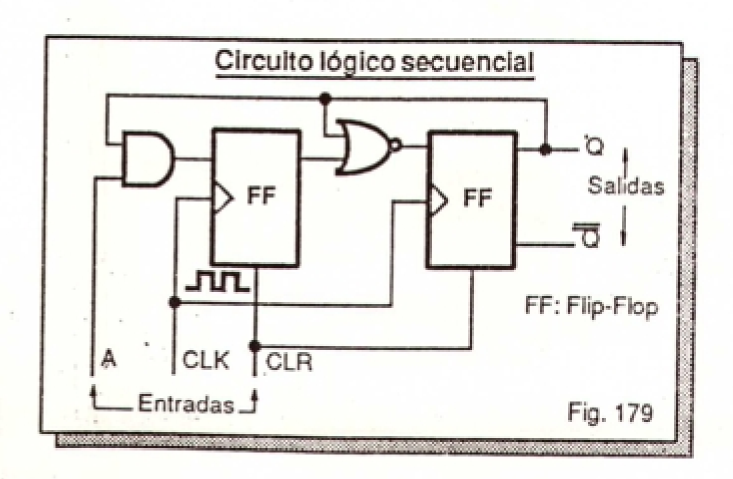


Fig. 179

Como consecuencia de la existencia de elementos de memoria, el estado de las salidas de un circuito secuencial depende no solamente del estado actual o presente de las entradas sino también de la información previamente almacenada. Una misma combinación de entradas puede producir, en cada ocasión, estados de salida diferentes.

Ejemplos de circuitos lógicos secuenciales son los circuitos generadores de pulsos (lecciones 13 a 18), los registros de almacenamiento (lección 22), los registros de desplazamiento (lección 23), los contadores (lecciones 24 a 26), las memorias (lecciones 31 a 33) y los microprocesadores.

Los circuitos combinatorios se caracterizan por ser rápidos. Cualquier cambio de estado en una entrada se refleja instantáneamente, sin retardos, en las salidas. Los circuitos secuenciales son más lentos pero también más versátiles.

Tanto los circuitos combinatorios como los secuenciales se pueden realizar en la práctica utilizando compuertas. Por fortuna, las funciones más comunes (codificadores, contadores, etc.) se encuentran disponibles en forma de circuitos integrados. Esta opción facilita su utilización y simplifica el diseño de sistemas digitales.

Los codificadores que estudiaremos en esta lección son circuitos integrados de mediana escala (MSI). Como vimos en la lección 1, el término MSI designa funciones digitales que requieren de 13 a 100 compuertas para su realización. Los circuitos MSI se caracterizan por su flexibilidad, bajo costo, tamaño reducido, poco consumo y confiabilidad.

En los circuitos lógicos, los componentes MSI se representan generalmente como bloques rectangulares (figura 180). Las entradas y salidas se marcan con letras nemotécnicas que especifican su función. Una burbuja (o) o una barra (-) en una entrada o una salida significa que es activa **baja**, es decir, responde cuando recibe o entrega un nivel **bajo**.

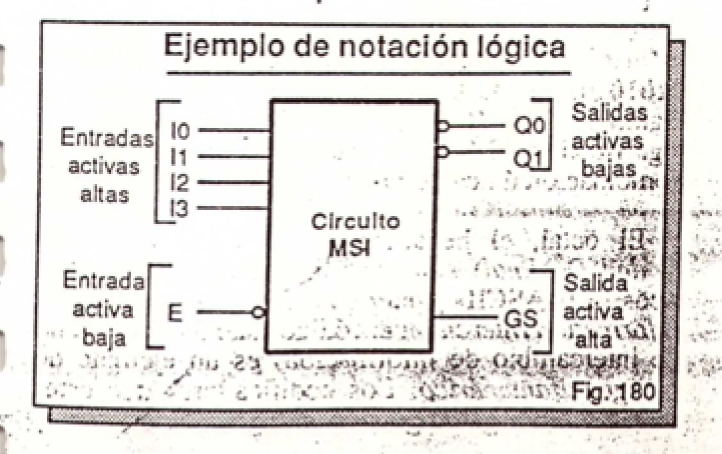


Fig. 180

Los codificadores son circuitos combinatorios que generan *códigos* de salida en respuesta a señales de entrada. El concepto de código, tal como se aplica en electrónica digital, se aclara en la siguiente sección.

Códigos digitales

En términos generales, un código es un grupo de símbolos que representan algún tipo de información reconocible. En los sistemas digitales, los códigos se utilizan para manipular datos y representar números, letras, signos y otros caracteres en forma binaria, es decir como una combinación equivalente de niveles **altos** (1's) y **bajos** (0's) de voltaje.

El uso de códigos es muy frecuente en la vida diaria: los seres humanos se comunican a través de palabras y otros códigos; en telegrafía se utiliza el código Morse; en radioafición se emplea el código Q; los productos de un supermercado se identifican de acuerdo con su código de barras; etc. Los siguientes son algunos ejemplos de códigos digitales:

Octal. Código de 3 *bits* que se utiliza para representar los números del 0 al 8. En la tabla 9-1 se resume este sistema de codificación. El código octal de 5, por ejemplo, es **101** (C=1, B=0, A=1); el de 0 es **000**, etc. El *bit* de la izquierda (C) se denomina *MSB* o *bit más significativo* y el de la derecha (A) *LSB* o *bit menos significativo.*

Código octal

#	C	B	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

Tabla 9-1

Hexadecimal. Código de 4 *bits* que se utiliza para representar los números del 0 al 15. En la tabla 9-2 se resume este sistema de codificación. El código hexadecimal de 13, por ejemplo, es DCBA=**1101**, el de 2 es **0010**, etc. El *bit* D es el más significativo (MSB) y el A el menos significativo LSB.

Decimal codificado en binario (BCD). El BCD es un código de 4 *bits* que se utiliza para representar los números del 0 al 9. En la tabla 9-3 se

Código hexadecimal				
#	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

MSB — LSB

Tabla 9-2

resume este sistema de codificación. Como puede verse, el BCD es similar al hexadecimal pero no utiliza los códigos **1010**, **1011**, **1100**, **1101**, **1110** y **1111**, correspondientes a los numeros del 10 al 15.

Código BCD				
#	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Códigos inválidos: 1010 - 1011 - 1100 - 1101 - 1110 - 1111

Tabla 9-3

Codificar cualquier número mayor de 9 en BCD es muy fácil. La técnica consiste en remplazar cada dígito decimal por su código BCD correspondiente. Por ejemplo, el código BCD correspondiente al número 790 es **0111 1001 0000** porque a 7 le corresponde el código **0111**, a 9 el código **1001** y a 0 el código **0000**.

ASCII. El ASCII (léase *aski*) es un código de 7 *bits* que se utiliza en sistemas digitales avanzados (computadores, redes de transmisión de datos, etc.) para representar hasta 128 piezas de información diferentes, incluyendo letras, números, signos de puntuación, instrucciones y caracteres especiales (#, $, *, etc.). En la tabla 9-4 se resume este sistema.

Código ASCII

↓	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	'	p
0001	SOH	DCI	!	1	A	Q	a	q
0010	STX	DC2	•	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(	8	H	X	h	x
1001	HT	EM	)	9	I	Y	i	y
1010	LF	SUB	•	:	J	Z	j	z
1011	VT	ESC	+	;	K	[	k	{
1100	FF	FS	,	<	L	\	l	|
1101	CR	GS	-	=	M	]	m	}
1110	SO	RS	•	>	N	^	n	~
1111	SI	US	/	?	O	_	o	DEL

(sombreado) :Códigos de control especiales.

SP :Espacio en blanco.

Tabla 9-4

El código ASCII de la letra J, por ejemplo, es **1001010**, el del número 7 es **0110111**, el del signo + (más) es **0101011**, el del símbolo * (asterisco) es **0101010**, etc. Los primeros tres *bits* son los más significativos (MSB) y los 4 últimos son los menos significativos (LSB). Para cada caracter existe una combinación única de *bits* MSB y LSB.

El octal, el hexadecimal y el BCD (*Binary Coded Decimal*) son ejemplos de códigos numéricos. El ASCII (*American Standard Code for Information Interchange*: código estándar americano de intercambio de información) es un ejemplo de código *alfanumérico*. Los codificadores que estudiaremos en seguida generan códigos numéricos.

CODIFICADORES

Una de las necesidades más frecuentes en electrónica digital es convertir una información no binaria (números, letras, símbolos, etc.) en binaria, es decir en una combinación de niveles **altos y bajos** de voltaje equivalente. Los circuitos que realizan esta función se denominan *codificadores*. El proceso contrario es realizado por los *decodificadores*.

En los sistemas digitales, los codificadores reciben generalmente información de entrada y los decodificadores suministran información de salida. La información de entrada puede provenir de interruptores, teclados, sensores, etc. y la información de salida puede estar dirigida a *displays*, pantallas, impresoras, interfaces de potencia, etc.

Un *codificador* (figura 181) se caracteriza por poseer un cierto número de líneas de entrada (M) y un cierto número de líneas de salida (N). Cuando se activa una de las entradas, el circuito produce en las salidas un código de **1**'s y **0**'s que identifica exclusivamente la línea activada. Las entradas pueden ser activas en **alto (1)** o en **bajo (0)**, dependiendo del diseño.

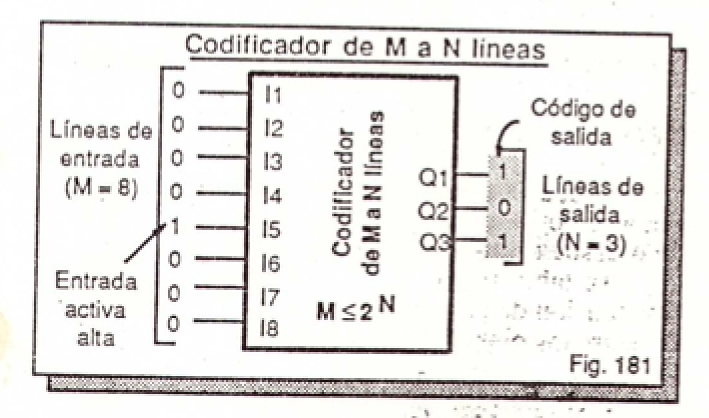


Fig. 181

La figura 182 ilustra cómo opera un codificador octal. Este circuito en particular posee ocho líneas de entrada (I0-I7) y tres líneas de salida (Q0-Q2). Las entradas son activas en **alto**. En condiciones normales, con los pulsadores S0 a S7 abiertos, cada entrada tiene un nivel **bajo** aplicado y todas las salidas entregan un nivel **bajo**.

Cuando se cierra un pulsador cualquiera, la entrada correspondiente se activa y recibe un nivel **alto**, es decir, un **1** lógico. Como resultado, en las salidas se produce un código de tres *bits* de la forma Q2Q1Q0 que identifica la línea activada. La línea Q2 corresponde al *bit* más significativo (MSB) y la línea Q0 al menos significativo (LSB).

Por ejemplo, si se cierra el pulsador S6, la entrada I6 recibe un **1** y se activa. En las salidas se produce la combinación de estados Q_2=**1**, Q_1=**1** y Q_0=**0**. Este código (**110**) identifica de manera única la línea I6. Si se activa otra línea, el circuito producirá un código de salida diferente.

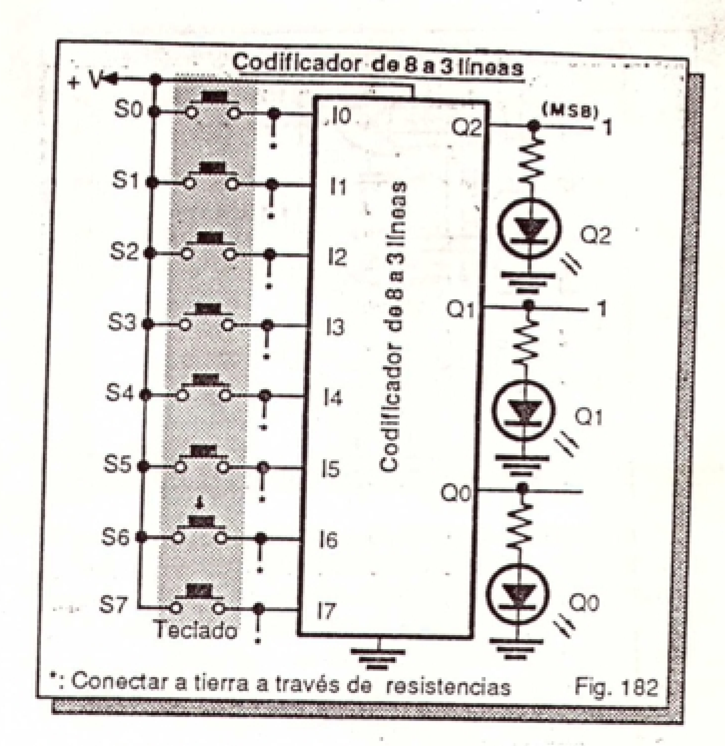


Fig. 182

El circuito de la figura 182 se denomina también *codificador de octal a binario* o *codificador de 8 a 3 líneas*. En aplicaciones numéricas, a cada línea de salida se le asigna un valor o *peso*. Específicamente, la línea Q_0 tiene un peso de 2^0=**1**, la línea Q_1 un peso de 2^1= **2** y la línea Q2 un peso de 2^2=4.

La cifra representada por un código numérico en particular se obtiene multiplicando cada *bit* por su peso y sumando los resultados parciales obtenidos. Por ejemplo, para encontrar el número **n** (1, 2, 3,..) asociado al código $Q_2Q_1Q_0$=**101** procedemos así:

$$n = Q_2x4 + Q_1x2 + Q_0x1$$
$$n = 1x4 + 0x2 + 1x1$$
$$n = 4 + 0 + 1$$
$$n = 5$$

Por tanto, el código **101** representa el número 5 y es el que debe generar el circuito de la figura 182 cuando se active la línea I5. Del mismo modo se procede para descifrar códigos numéricos con mayor número de *bits*. El peso de cada *bit* se duplica a medida que avanzamos de derecha a izquierda.

En la figura 183 se muestra el circuito lógico correspondiente al codificador básico de la figura 182. Para que este sistema opere tal como se ha descrito, se requiere que solamente una de las ocho líneas de entrada sea **alta (1)** en un momento dado. Si hay dos o más entradas activas en **1** al mismo tiempo, el código de salida será ambiguo. Veamos.

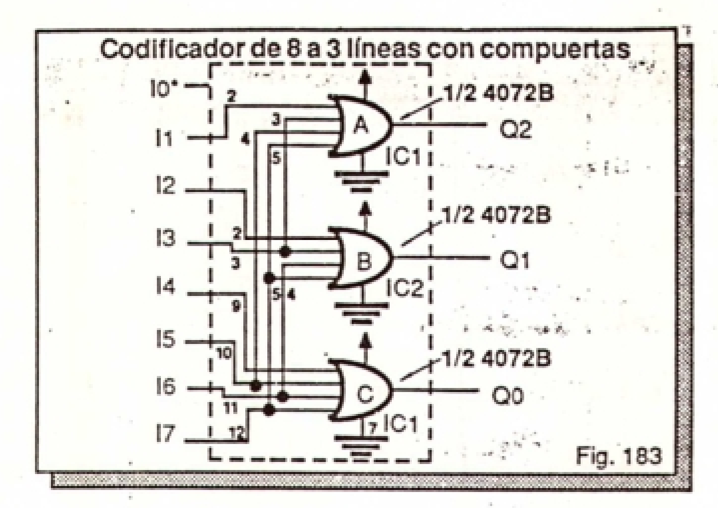


Fig. 183

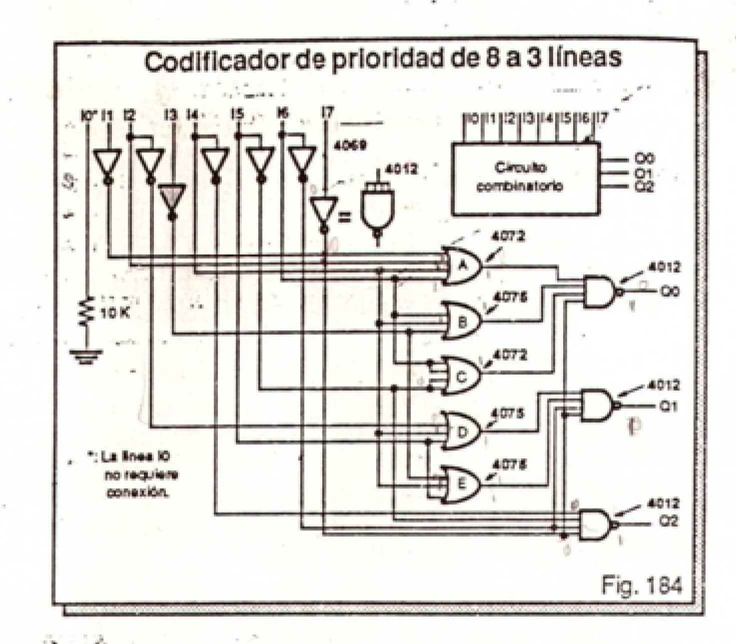


Fig. 184

Por ejemplo, si la línea I5 es **alta** mientras todas las demás son **bajas**, las salidas Q0 y Q2 de las compuertas C y A serán ambas de nivel **alto (1)** y la salida Q1 de la compuerta B sera de nivel **bajo (0)**. El código generado en este caso será Q2Q1Q0=**101**, que es efectivamente el que identifica la línea I5.

Si se aplica al mismo tiempo un **1** a las líneas I3 e I5, las salidas de las compuertas C, B y A serán, en su orden, Q2=**1**, Q1=**1** y Q0=**1**. Este código de salida (**111**) identifica, en realidad, la línea I7, la cual, evidentemente, no ha sido activada. Para evitar este tipo de ambigüedades se han creado los llamados *codificadores de prioridad.*

Codificadores de prioridad

El *codificador de prioridad* es una versión mejorada del codificador básico descrito anteriormente. Un codificador de prioridad se diseña para asegurar que cuando se activen dos o más líneas de entrada, el código de salida corresponda al de la entrada de más alto rango.

Para el caso del ejemplo anterior (cuando se activan simultáneamente I5 e I3 y se genera el código de I7), esto significa que debe dársele prioridad a la línea I5 sobre la I3, de modo que cuando ambas sean activas, el código de salida sea el correspondiente a I5 (**101**) y no el de I3 o de otra entrada.

En la figura 184 se muestra el circuito de un codificador de prioridad de 8 a 3 líneas diseñado de acuerdo a la lógica anterior. La salida de más alta prioridad es I7 y la de más baja prioridad es I0. Por ejemplo, si se activan al mismo tiempo I2, I4 e I5, el código de salida será el de I5 (**101**) porque esta línea tiene prioridad sobre I2 e I4.

En general, un codificador de prioridad genera un código de salida que representa siempre la entrada de mayor orden. Por tanto, cuando dos o más entradas están simultáneamente activadas, se codifica la entrada de mayor prioridad y se ignoran las otras. Todos los codificadores disponibles como circuitos integrados MSI son de este tipo.

En la siguiente sección analizaremos uno de los codificadores de prioridad más representativos: el circuito integrado CMOS **4532**. Este dispositivo, además de las líneas de entrada y de salida, posee varias líneas de control adicionales que lo hacen extremadamente versátil. La versión TTL del 4532 es el codificador de prioridad de 8 a 3 líneas **74148**.

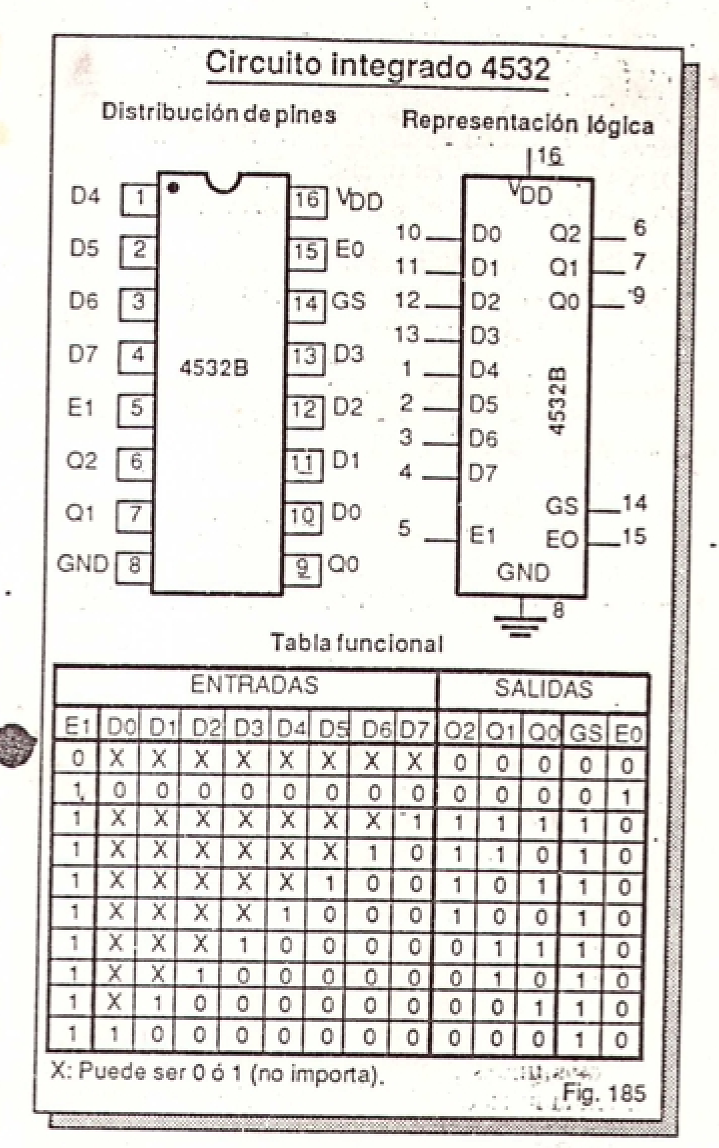
El circuito integrado 4532

El circuito integrado CMOS **4532** es un codificador de prioridad de 8 a 3 líneas. En la figura 185 se muestra su distribución de pines, su símbolo lógico y su tabla funcional. El 4532 opera a partir de una tensión de alimentación de +3V a +18V aplicada entre los pines 16 (VDD) y 8 (GND).

La entrada E1 (pin 5) es una línea de habilitación, activa en **alto**. Cuando E1=**1**, el 4532 opera como un codificador de prioridad. Cuando E1=**0**, el codificador se inhibe y todas sus salidas se hacen **bajas**, sin importar el estado de las entradas.

Las líneas de entrada van desde D0 hasta D7 y son todas activas en **alto**, correspondiendo la más baja prioridad a D0 (pin 10) y la más alta a D7 (pin 4). Las líneas de salida son Q2, Q1 y Q0 (pines 6, 7 y 9). Cuando se activa una entrada, en las salidas se produce un código único de 3 *bits* que la identifica.

Las salidas GS (pin 14) y E0 (pin 15) son líneas auxiliares que se utilizan para comunicar el 4532 con dispositivos externos. GS (*selector de grupo*) es de nivel **alto** cuando una línea de entrada cualquiera está activa (en 1). E0 es de nivel **alto** cuando el *chip* está habilitado pero todas las entradas están inactivas (en **0**).



ENTRADAS									SALIDAS				
E1	D0	D1	D2	D3	D4	D5	D6	D7	Q2	Q1	Q0	GS	E0
0	X	X	X	X	X	X	X	X	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	X	X	X	X	X	X	X	1	1	1	1	1	0
1	X	X	X	X	X	X	1	0	1	1	0	1	0
1	X	X	X	X	X	1	0	0	1	0	1	1	0
1	X	X	X	X	1	0	0	0	1	0	0	1	0
1	X	X	X	1	0	0	0	0	0	1	1	1	0
1	X	X	1	0	0	0	0	0	0	1	0	1	0
1	X	1	0	0	0	0	0	0	0	0	1	1	0
1	1	0	0	0	0	0	0	0	0	0	0	1	0

X: Puede ser 0 ó 1 (no importa).

Fig. 185

EXPERIMENTO 11

Operación de un codificador de prioridad

Objetivos

• Verificar experimentalmente la operación de un codificador de prioridad de 8 a 3 líneas.

• Familiarizarse con el uso de circuitos integrados combinatorios MSI.

• Aprender a utilizar el módulo ED-1.

Materiales y herramientas necesarios

1 circuito integrado 4532B (codificador de prioridad CMOS de 8 a 3 líneas).
1 Módulo ED-1 (4 monitores lógicos).
1 Fuente de 9V, 300 mA (*kit* CEKIT K10) o una batería alcalina de 9V con conector.
1 *protoboard.*
puentes de alambre telefónico #22 ó #24

Procedimiento

Paso 1. En la figura E20 se muestra el circuito que vamos a utilizar en este experimento para comprobar la operación del codificador de prioridad 4532. Arme este circuito sobre su *protoboard.* Antes de conectar la fuente de alimentación, asegúrese de que todas las conexiones estén correctas.

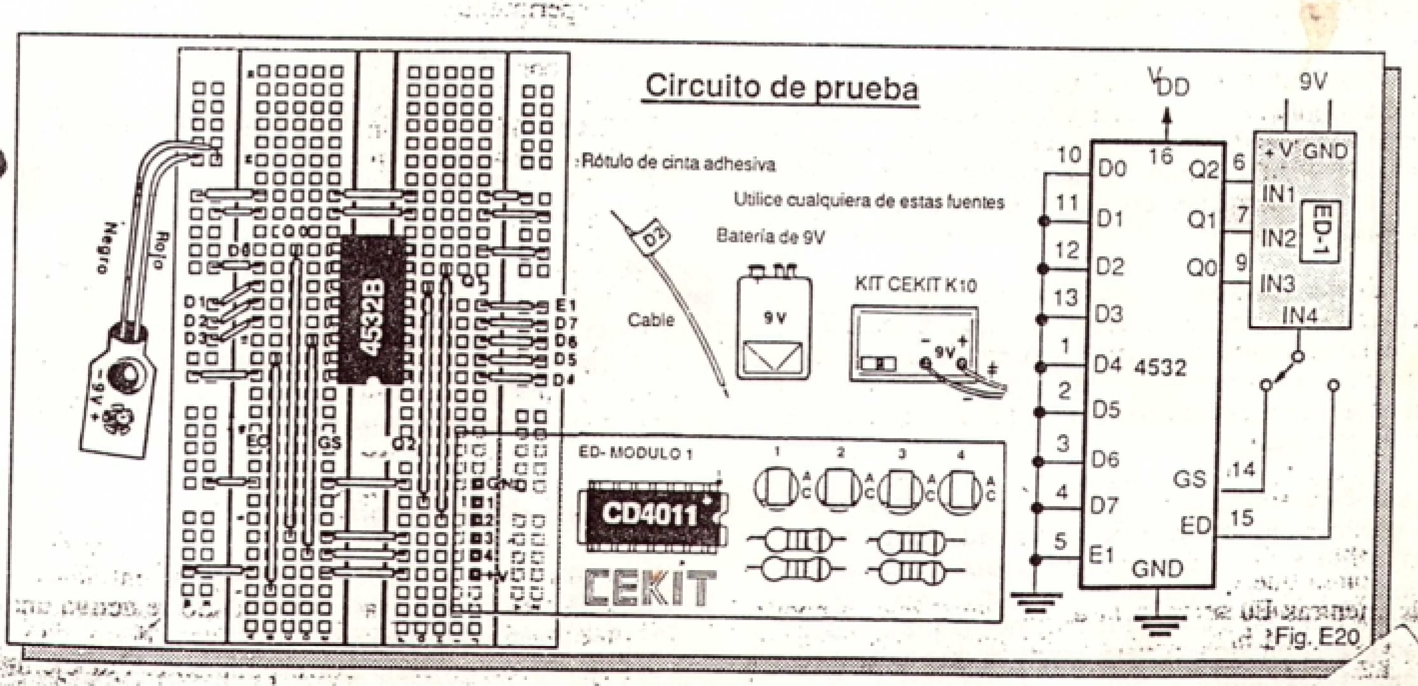


Fig. E20

Inserte cuidadosamente el módulo ED-1 como se indica. Conecte las líneas de alimentación +V y GND a los terminales positivo y negativo de la fuente, respectivamente. A través de puentes de alambre, conecte la entrada #1 al pin 6 del 4532, la entrada #2 al pin 7, la entrada #3 al pin 9 y la entrada #4 al pin 14.

Observe que las líneas de entrada (D0-D7) y la línea de habilitación (E1) están conectadas a tierra; es decir, cada una tiene aplicado un **0** lógico. Los monitores lógicos #1, #2, y #3 del módulo ED-1 visualizan, en su orden, el estado de las salidas Q2, Q1 y Q0 y el monitor #4 el estado de GS y E0.

Para evitar confusiones, rotule los alambres y monitores que identifican las diferentes líneas de interés del circuito con su nombre correspondiente (E1, D0, Q2, GS, etc.), como se sugiere en la figura E19. Puede emplear trozos de cinta adhesiva alrededor de cada alambre para este propósito.

Acostúmbrese a utilizar puentes cortos y distinga cada grupo de líneas por colores. Por ejemplo, utilice alambre azul para las líneas de entrada (D0-D7) y alambre verde para la de habilitación (E1). Reserve los alambres de color rojo para las conexiones al positivo de la fuente y los de color negro para las conexiones al negativo.

Paso 2. Encienda la fuente de alimentación. Observe lo que sucede en las salidas Q2, Q1 y Q0 y GS. Notará que todas están en **bajo**. Desconecte el monitor lógico #4 de la salida GS (pin 14 del 4532) y conéctelo a la salida E0 (pin 15). Esta línea debe estar también en **bajo**. Desconecte el monitor #4 de la salida E0 y conéctelo otra vez a la salida GS.

Paso 3. Desconecte una línea de entrada cualquiera, por ejemplo D5, de tierra y conéctela a +9V. Observe lo que sucede en todas las líneas de salida , incluyendo E0. Notará que las salidas Q2, Q1, Q0, GS y E0 siguen permaneciendo en **bajo**. Desconecte la línea D5 del positivo y conéctela otra vez a tierra.

Repita este mismo paso con cada una de las siete líneas de entrada restantes (D0, D1, etc.). Observará que la situación no cambia. La razón es muy sencilla: el codificador está inhibido (no opera) porque tiene aplicado un nivel **bajo** en la línea de habilitación E1 (pin 5).

Paso 4. Desconecte la línea E1 de tierra y conéctela al positivo de la fuente. Con las entradas D0-D7 en **bajo**, observe lo que sucede en todas las salidas. Notará que Q2, Q1, Q0 y GS permanecen en **bajo**, mientras E0 se hace **alta**, indicando que el codificador está habilitado pero ninguna de las líneas de entrada está activa.

Paso 5. Desconecte una línea de entrada cualquiera, por ejemplo D5, de tierra y conéctela a +9V. Observe lo que sucede en las salidas. Notará que GS, Q2 y Q0 se hacen **altas** mientras E0 y Q1 se hacen **bajas**. Veamos cómo se interpreta esta información.

El **alto** ó **1** en la línea GS, lo mismo que el **bajo** ó **0** en la línea E0, indican que existe por lo menos una línea de entrada activa (en este caso D5). La combinación de estados **101** de las líneas de salida Q2 (**alta**), Q1 (**baja**) y Q0 (**alta**), respectivamente, es el código que suministra el codificador 4532 para identificar la activación de la línea D5.

Desconecte la entrada D5 de +9V y conéctela de nuevo a tierra. Repita este mismo paso con las demás entradas (D0, D1, etc.). Observará que para cada una se genera un código diferente en las líneas Q2, Q1 y Q0 y que estos códigos están en perfecta concordancia con los establecidos en la tabla de verdad de la figura 185.

Paso 6. Para verificar la característica de prioridad, desconecte dos líneas de entrada cualquiera, por ejemplo, D3 y D5, de tierra y conéctelas a +5V. Observe lo que sucede en las líneas de salida Q2, Q1 y Q0. Notará que aparece el código Q2Q1Q0=**101**, correspondiente a la línea D5.

En otras palabras, el codificador ignora la activación de la línea D3 y sólo reconoce la de la línea D5. La razón es simple: la línea D5 es de mayor prioridad que la línea D3. Repita este mismo paso con dos o más líneas de entrada. Notará que siempre se codifica la línea de más alto orden.

Es importante que usted haya comprendido bien este experimento, porque ilustra un procedimiento general que puede seguirse para analizar cualquier circuito combinatorio MSI desde el punto de vista de sus entradas y sus salidas. Toda la información que usted necesita conocer está consignada en la tabla de verdad del dispositivo.

La anterior es una de las características más importantes de los circuitos integrados que iremos encontrando a medida que avancemos en este curso. Todos se pueden tratar como *cajas negras*, es decir, como bloques que cumplen determinadas funciones, sin importar como lo hacen, es decir como están configurados internamente.

* * *

Codificadores de decimal a BCD

Los codificadores de decimal a BCD son codificadores de prioridad con 10 líneas de entrada y 4 líneas de salida (figura 186). Cuando se activa una de las líneas de entrada, en las 4 líneas de salida se refleja el código BCD correspondiente. Por ejem-

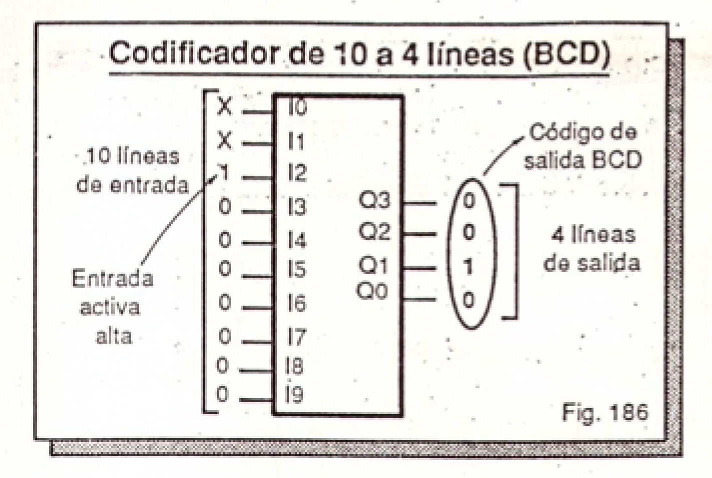


Fig. 186

plo, a la línea I2 le corresponde el código BCD Q3Q2Q1Q0 = **0010**, a la línea I9 le corresponde el código BCD Q3Q2Q1Q0 = **1001**, etc. El código BCD se explica al comienzo de esta lección.

Existen varios circuitos integrados de mediana escala diseñados específicamente para generar códigos BCD. Uno de los más populares es el *chip* CMOS 40147 que se describe a continuación. La versión TTL del 40147 es el CI 74147.

El circuito integrado 40147

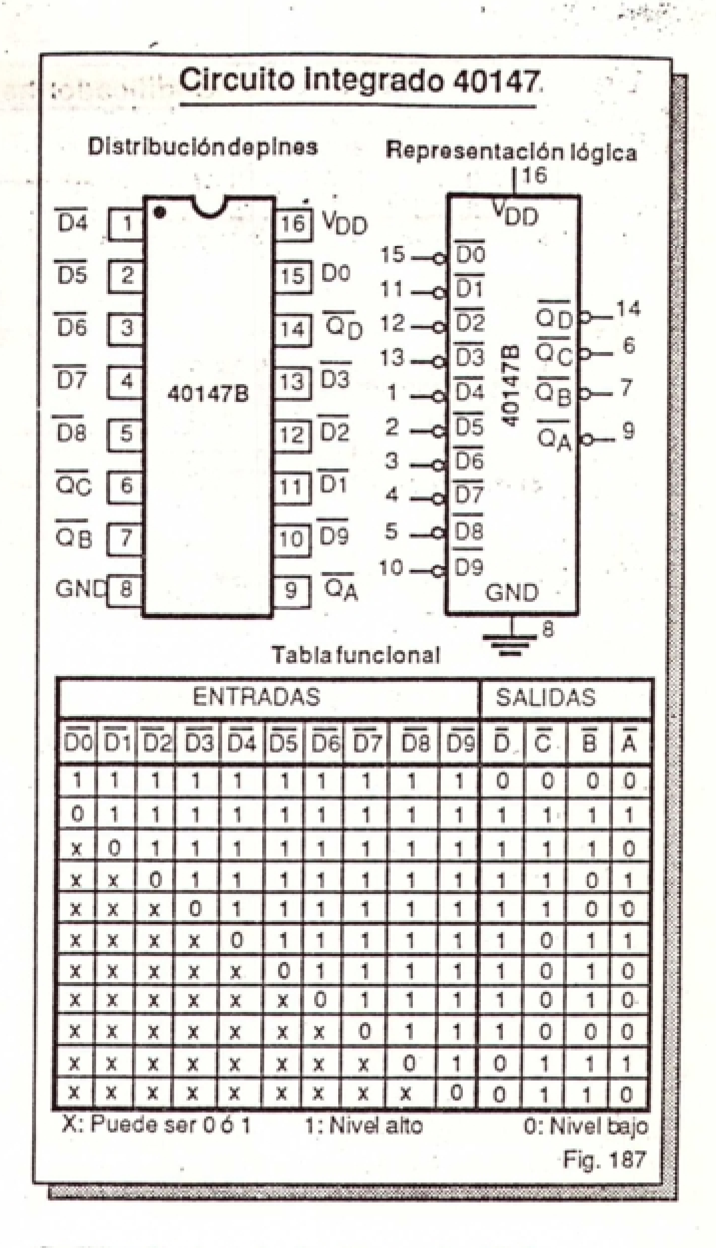
El circuito integrado 40147 es un codificador de prioridad con diez (10) líneas de entrada y cuatro (4) líneas de salida que suministra el código BCD correspondiente a la línea de más alto orden. En la figura 187 se muestra el diagrama de pines, el símbolo lógico y la tabla funcional de este *chip*.

Según la tabla de verdad de la figura 187, las entradas ($\overline{D0}$-$\overline{D9}$) y salidas ($\overline{QD}$, $\overline{QC}$, $\overline{QB}$ y $\overline{QA}$) del codificador son activas en **bajo** ó **0** lógico. Si ninguna de las líneas de entrada está activa (todas en 1), las salidas permanecen normalmente en **bajo**. La entrada de más alta prioridad es la línea $\overline{D9}$ y la de más baja es $\overline{D0}$.

Un ejemplo típico de aplicación del circuito integrado 40147 es como codificador de 10 teclas. Cada tecla está asociada a un número entre 0 y 9. Al oprimir cualquiera de ellas, en las salidas del circuito se obtiene el código BCD correspondiente. Si se pulsan más de dos teclas al tiempo, se envía el código de la de más alto rango.

CIRCUITOS DE APLICACION

A continuación se presentan dos aplicaciones típicas del codificador de prioridad 4532 estudiado en esta lección. El primero es un codificador de 16 a 4 líneas o *hexadecimal* y el segundo un codificador de 10 a 4 líneas (BCD). Armelos en su *protoboard* y analice cómo funcionan.



ENTRADAS										SALIDAS			
$\overline{D0}$	$\overline{D1}$	$\overline{D2}$	$\overline{D3}$	$\overline{D4}$	$\overline{D5}$	$\overline{D6}$	$\overline{D7}$	$\overline{D8}$	$\overline{D9}$	$\overline{D}$	$\overline{C}$	$\overline{B}$	$\overline{A}$
1	1	1	1	1	1	1	1	1	1	0	0	0	0
0	1	1	1	1	1	1	1	1	1	1	1	1	1
x	0	1	1	1	1	1	1	1	1	1	1	1	0
x	x	0	1	1	1	1	1	1	1	1	1	0	1
x	x	x	0	1	1	1	1	1	1	1	1	0	0
x	x	x	x	0	1	1	1	1	1	1	0	1	1
x	x	x	x	x	0	1	1	1	1	1	0	1	0
x	x	x	x	x	x	0	1	1	1	1	0	1	0
x	x	x	x	x	x	x	0	1	1	1	0	0	0
x	x	x	x	x	x	x	x	0	1	0	1	1	1
x	x	x	x	x	x	x	x	x	0	0	1	1	0

X: Puede ser 0 ó 1 1: Nivel alto 0: Nivel bajo

Fig. 187

Codificador hexadecimal con prioridad

En la figura 188 se ilustra la forma de conectar dos codificadores 4532 en cascada para obtener un codificador de prioridad de 16 a 4 líneas. Las líneas de entrada están marcadas desde I0 hasta I15. La más alta prioridad corresponde a I15 y la más baja a I0. Las líneas de salida son QD, QC, QB y QA.

La entrada EIN es la línea general de habilitación del sistema y es activa en **alto**. Inhibe o permite la operación del codificador. La salida GOUT es la línea selectora de grupo y es activa en **alto**. Indica si una o más entradas están activas (en **alto**).

Cuando se aplica un **1** lógico a una o más entradas, en las salidas QD a QA aparece un código de 4 *bits* que identifica la línea activada o la de mayor prioridad. Por ejemplo, si se activa la línea I10, en las salidas QDQCQBQA aparece el código **1010**, el cual identifica exclusivamente a esa línea.

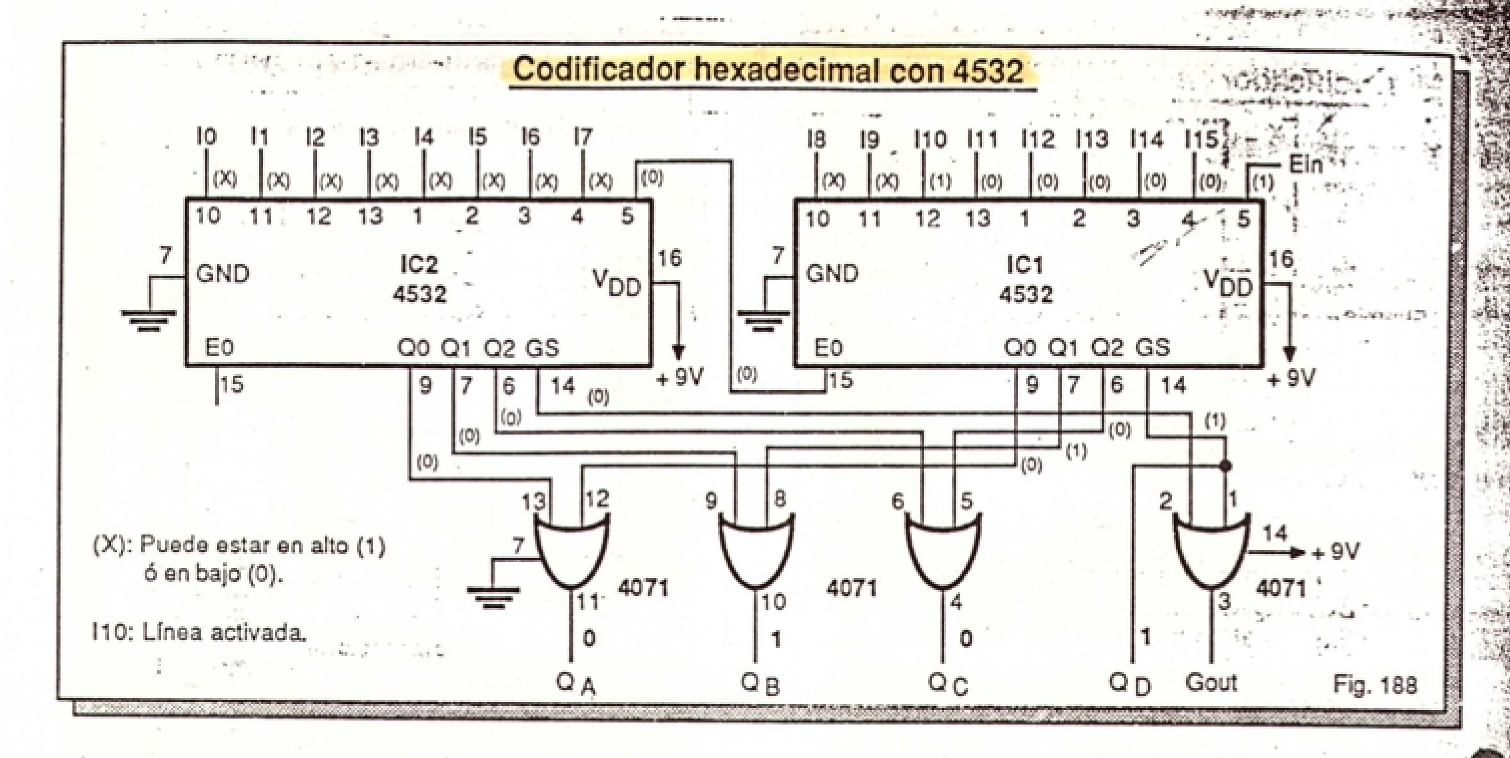


Fig. 188

Codificador BCD con prioridad

En la figura 189 se ilustra la forma de conectar el circuito integrado 4532 como codificador BCD. Cada pulsador representa un número del 0 al 9. Cuando se teclea un dígito, en las salidas QD, QC, QB y QA aparece el código BCD correspondiente. Si se teclean dos o más dígitos, el código de salida resultante es el correspondiente al número mayor.

Por ejemplo, si se pulsa la tecla #5, el código de salida es QDQCQBQA=**0101**; si se pulsan las teclas #1, #6 y #7, el código de salida es **0111**, que corresponde al número 7, y así sucesivamente.

El codificador de la figura 189 posee también un circuito eliminador de rebote conectado a la salida GS (línea selectora de grupo). Cuando se pulsa una tecla, la salida GS se hace **alta** y se genera un código de salida. Sin embargo, este último no es confiable durante el período de rebote de la tecla y puede ser mal interpretado por los circuitos externos.

El circuito de antirrebote, constituido por R11, R12, R13, C1 y el buffer 4050, retarda durante algunos milisegundos la aparición de la señal GS, con el fin de que esta última sea activa sólo después de que ha terminado el período de rebote de la tecla. Esta estrategia es muy común en circuitos digitales.

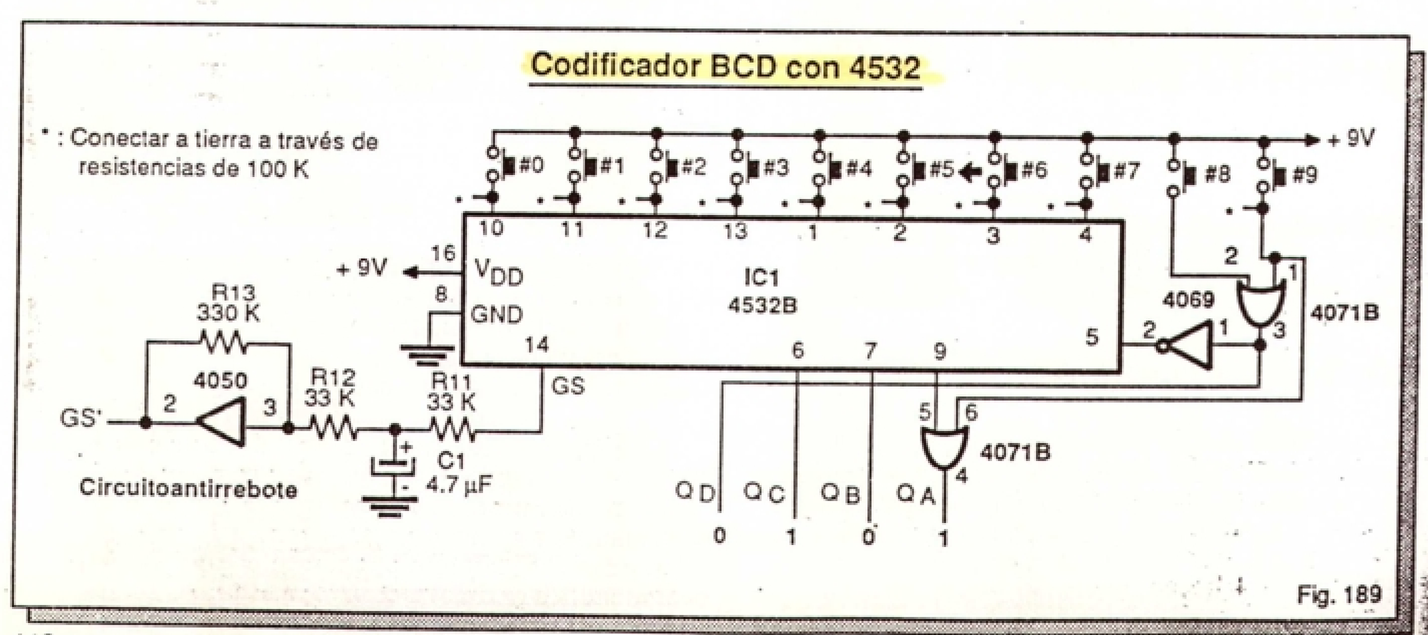


Fig. 189

El código de barras

El código de barras (figura A) es un grupo rectangular de líneas paralelas, con números impresos en la parte inferior, utilizado para identificar productos de todo tipo (ropa, alimentos, revistas, etc.) en cualquier parte del mundo. Este código proporciona información acerca del país de origen, el fabricante, el peso, etc. del producto.

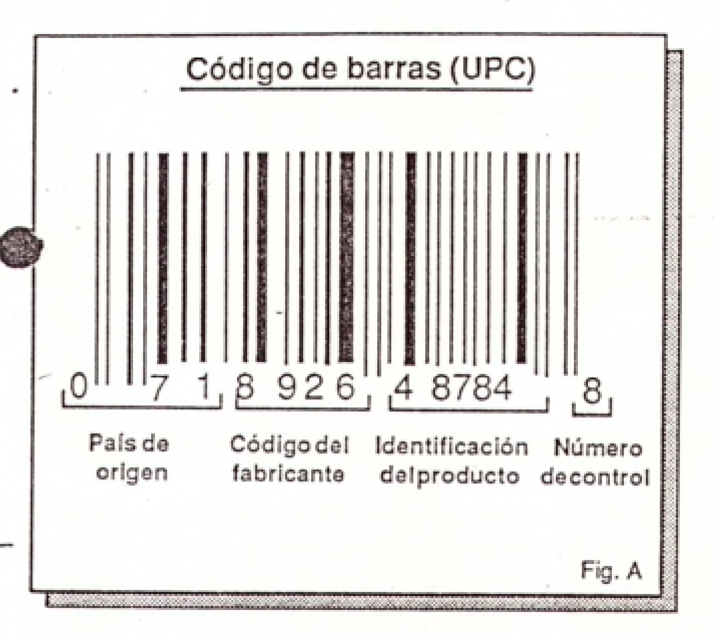


Fig. A

El código de barras se denomina también *código universal de productos* o UPC (*universal product code*). Sin importar su complejidad, un UPC está formado por una sucesión de barras delgadas y gruesas (1's y 0's) que representan un número de trece (13) cifras. Este número es algo así como la cédula de ciudadanía del producto.

Las tres primeras cifras identifican el país de origen y las cuatro siguientes el fabricante. Las cinco cifras restantes son propias del producto y especifican características como referencia, peso, talla, precio, etc. Con estas cinco cifras, el fabricante puede distinguir hasta cien mil artículos. La última cifra se utiliza para efectos de control.

En los supermercados y establecimientos comerciales donde se utiliza el sistema de identificación UPC, el código de barras del producto se hace pasar por un *escáner* o lector óptico situado en el punto de pago. Los circuitos digitales del escáner interpretan la información recibida y la trasmiten a un computador central (figura B).

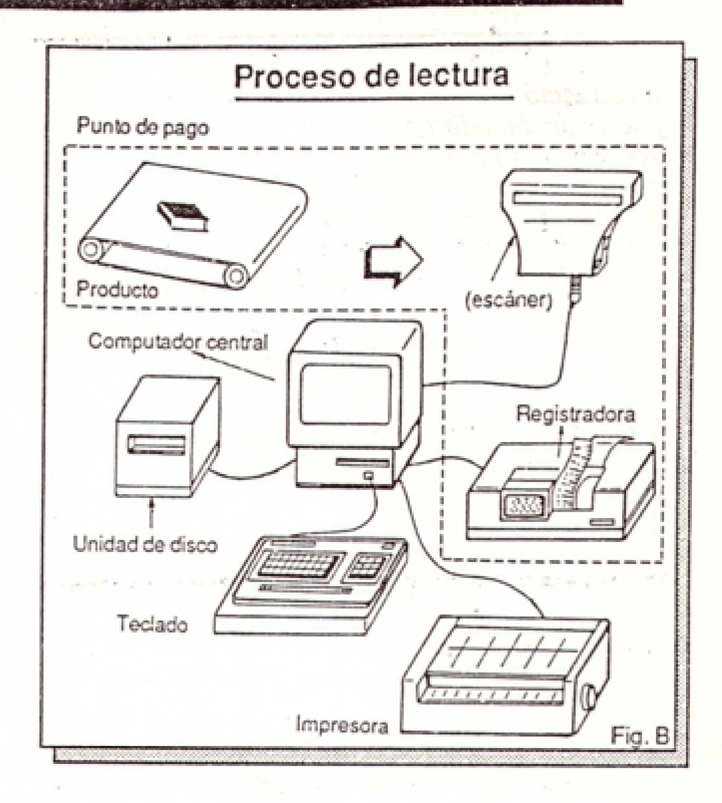


Fig. B

El computador central se programa para procesar la información anterior, de acuerdo con las necesidades del comerciante o del fabricante. Por ejemplo, puede utilizarse para agilizar la facturación, mantener actualizado los inventarios u obtener datos pormenorizados sobre la demanda y preferencia de los consumidores con relación a ciertos productos.

El código de barras es tan eficiente que se utiliza incluso para identificar equipaje de pasajeros en aeropuertos de mucho tráfico. Si una maleta se extravía en un viaje y aparece en otra parte del mundo, al pasar las barras por un lector óptico la aerolínea podrá identificar automáticamente a quién le corresponde y en qué ruta se extravió.

También se ha propuesto su utilización en la marcación de billetes, con el fin de poder seguirles el rastro. Esta medida contrarrestaría el llamado *lavado de dólares*. El código de barras se puede también emplear para identificar papeles como boletas, tiquetes, documentos, etc. y detectar su autenticidad

El principal promotor del código de barras a nivel mundial es la Asociación Europea de Numeración de Artículos (EAN). Este organismo cuenta con filiales en varios países, encargadas de asignar localmente el código UPC a fabricantes y comerciantes. Un ejemplo es el Instituto Colombiano de Codificación y Automatización Comercial (IAC).

Decodificadores

- *Introducción*
- *Qué es un decodificador*
- *Decodificadores de N a M líneas y BCD*
- *Decodificadores de N a M integrados*
- *El circuito integrado 74LS138*
- *El circuito integrado 4028B*
- *Experimento 12. Operación de un decodificador de BCD a decimal*
- *Displays de siete segmentos*
- *Displays de diodos emisores de luz (LED)*
- *Displays de cristal líquido (LCD)*
- *Decodificadores de BCD a siete segmentos*
- *Decodificadores de display integrados*
- *El circuito integrado 4543*
- *El circuito integrado 4511*
- *El circuito integrado 7447*
- *Experimento 13. Operación de un decodificador de BCD a siete segmentos*
- *Circuitos de aplicación*
- *Actividad práctica Nº 8*

Introducción

Continuando con nuestro estudio de las funciones lógicas combinatorias disponibles como circuitos integrados de mediana escala (MSI), en esta lección analizaremos los *decodificadores*. Un decodificador opera en forma inversa a un codificador, convirtiendo códigos binarios en información reconocible (letras, números, símbolos, señales de control, etc.).

Enfocaremos nuestra atención en los dos tipos más comunes de decodificadores: los lógicos y los de visualizadores. Los primeros se utilizan para identificar códigos binarios y los segundos para presentar información numérica o alfanumérica en *displays* de siete segmentos, pantallas de cristal líquido y otros dispositivos de salida.

Describiremos los circuitos integrados más representativos en cada caso, realizaremos varios experimentos con ellos y los utilizaremos en aplicaciones reales. Conoceremos qué son, cómo operan y cómo se utilizan los *displays* de siete segmentos, tanto en su versión LED (con diodos emisores de luz) como LCD (*displays* de cristal líquido).

Los decodificadores son uno de los dispositivos digitales más importantes, versátiles e interesantes. Se utilizan en todo tipo de aplicaciones digitales, incluyendo sistemas de microprocesador, circuitos de control, juegos de video, redes de trasmisión de datos, memorias, etc.

Qué es un decodificador

Un decodificador (figura 190) es un circuito lógico combinatorio que convierte códigos binarios en información reconocible (letras, números, símbolos, señales de control, etc.). En otras palabras, un decodificador identifica, reconoce o detecta un código particular, realizando la función contraria de un codificador.

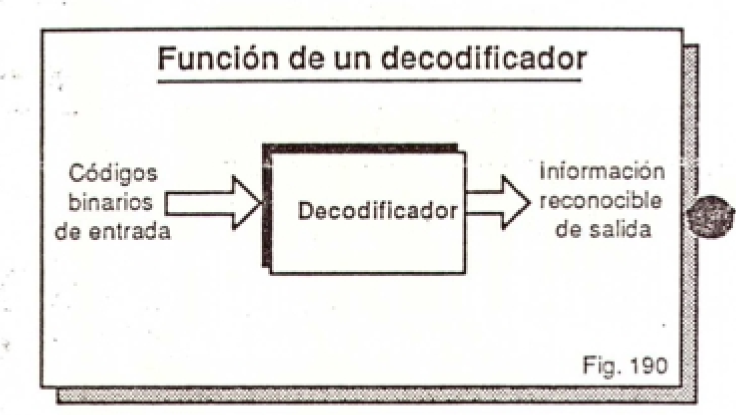


Fig. 190

Existen dos tipos de decodificadores: los lógicos y los controladores de *displays*. Los primeros activan solamente una de las líneas de salida en respuesta al código de entrada. Los segundos pueden activar más de una línea de salida, suministrando códigos especiales que controlan directamente *displays* de 7 segmentos y otros dispositivos visualizadores.

Comenzaremos analizando los decodificadores lógicos o de N a M líneas. Posteriormente estudiaremos los *displays* de 7 segmentos y los decodificadores utilizados para su manejo. Al final se proponen varios circuitos de aplicación útiles.

Decodificadores de N a M líneas y BCD

Los decodificadores de N a M líneas son circuitos lógicos combinatorios con un cierto número de líneas de entrada (N) y un cierto número de líneas de salida (M) que activan una o más salidas cuando en las entradas se aplica un código o una combinación específica de *bits*. Las salidas pueden ser activas en **alto** o en **bajo** dependiendo del diseño.

En la figura 191 se ilustra cómo opera un decodificador de N a M líneas. Con excepción de los decodificadores de BCD a decimal, el número de líneas de salida (M) es igual a 2^N, siendo N=1, 2, 3, etc.

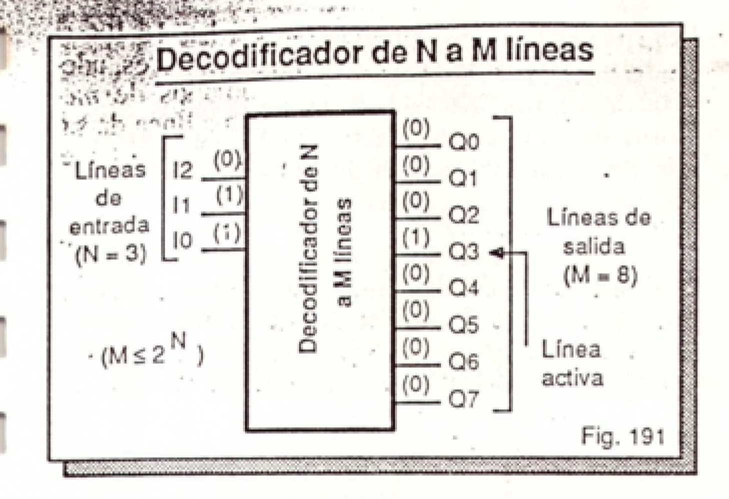


Fig. 191

el número de líneas de entrada. Por ejemplo, si N=3, entonces $M=2^3=2x2x2=8$, obteniéndose un decodificador octal o de 3 a 8 líneas.

En este caso, las líneas de entrada son I2, I1 e I0 y las líneas de salida son Q0, Q1,..., hasta Q7. Se supone que tanto las entradas como las salidas son activas en **alto**, pero éste no es el caso general. Si se aplica, por ejemplo, el código de entrada **011** (I2 = 0, I1 = **1**, I0 = **1**), se activa, en **alto**, únicamente la salida Q3 y las demás permanecen en **bajo**.

El circuito de la figura 191 se designa también como *decodificador 1 de 8*, ya que sólo una de las 8 salidas es activa en un momento dado. Como es natural, no existen *decodificadores de prioridad*, porque es imposible tener aplicados al mismo tiempo dos códigos diferentes en las entradas.

Un caso particular y muy importante de decodificador de N a M líneas es el *decodificador de BCD a decimal* o de 4 a 10 líneas (figura 192). Este circuito combinatorio posee 4 líneas de entrada y 10 líneas de salida. Cuando se aplica en sus entradas un código BCD de 4 *bits*, se activa únicamente la línea de salida asociada a ese código.

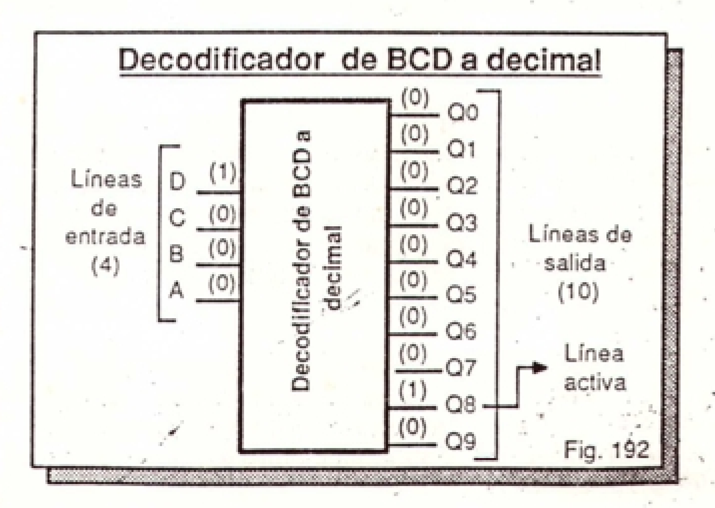


Fig. 192

Suponiendo que las salidas son activas en **alto**, lo anterior significa que si, por ejemplo, se aplica el código DCBA = **1000** (#8 en sistema BCD: ver tabla 9-3, página 110), sólo la línea Q8 se hace **alta** mientras las demás permanecen en **bajo**.

Si se aplica un código BCD inválido, por ejemplo **1100** (#12 en BCD), el decodificador debe ignorarlo, manteniendo todas sus líneas de salida inactivas, es decir, **bajas**.

El decodificador BCD de la figura 192 puede convertirse fácilmente en un decodificador octal (3 a 8 líneas) haciendo **baja** la entrada D y aplicando el código de entrada a las líneas C, B y A. De este modo, sólo una de las 8 primeras salidas (Q0-Q7) podrá ser activa. Esta situación se ilustra en la figura 193 con el código de entrada CBA=**100** (4).

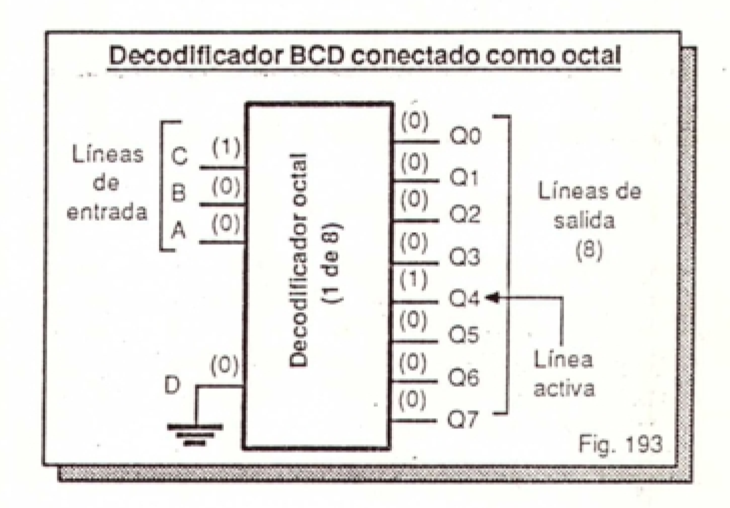
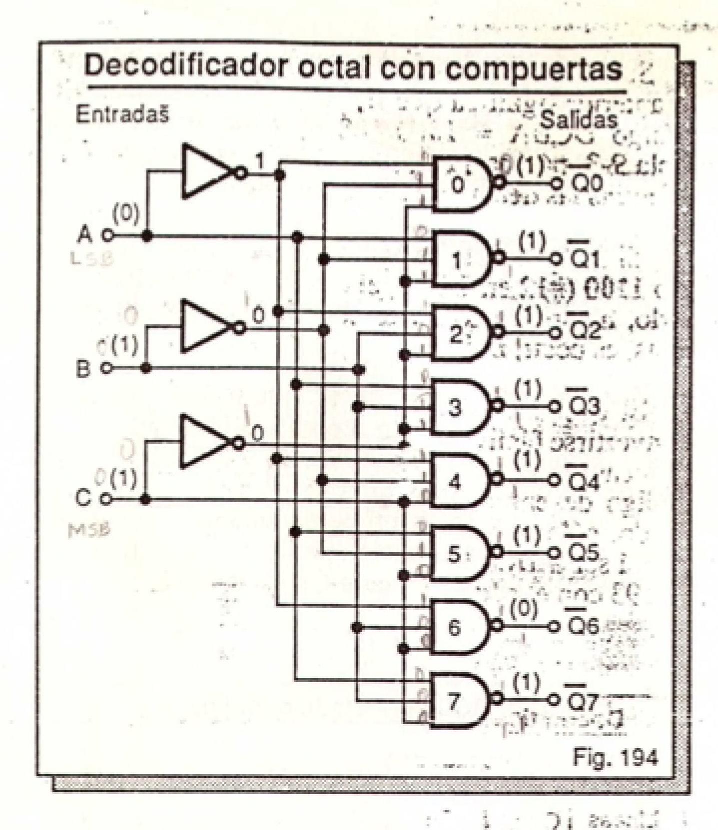


Fig. 193

Así como los codificadores, los decodificadores, por ser circuitos combinatorios, se pueden realizar en la práctica interconectando compuertas de pequeña escala (*SSI*). En la figura 194 se muestra como ejemplo un decodificador de 3 a 8 líneas con salidas activas en **bajo**, obtenido con inversores y compuertas NAND.

La situación ilustrada (*prueba de escritorio*) corresponde a la aplicación del código de entrada CBA=**110**. En este caso, la única salida activa o baja es $\overline{Q6}$ mientras las otras permanecen inactivas, es decir, en **alto**. La razón es sencilla: todas las compuertas NAND están recibiendo por lo menos un **0** en sus entradas, a excepción de la #6.

Existen varios *chips* de mediana escala (MSI) disponibles como decodificadores de N a M líneas. A continuación se describen algunos de los más representativos. Como veremos en la lección 12, los decodificadores MSI, por su misma naturaleza, pueden operar también como *demultiplexores* o distribuidores de datos.



Decodificadores de N a M integrados

Los siguientes son algunos ejemplos de decodificadores de N a M líneas MSI, tanto CMOS (series 40, 45 y 74C) como TTL (series 74 y 74LS). Los TTL operan con una tensión de alimentación de +5V. Los CMOS trabajan con cualquier voltaje entre +3V y +18V.

4028B, 7442, 74C42, 74LS42. Decodificadores de 4 a 10 líneas o BCD.

4555B, 4556B, 74LS139, 74155, 74LS155. Decodificadores *dobles* de 2 a 4 líneas. El término *doble* especifica que cada *chip* incorpora dos decodificadores de este tipo en una misma cápsula.

74156, 74LS156. Decodificadores dobles de 2 a 4 líneas con salidas de colector abierto. Este tipo de dispositivos, al igual que las compuertas de colector abierto, necesita de resistencias externas de *pull-up* en las salidas para desarrollar su lógica normal.

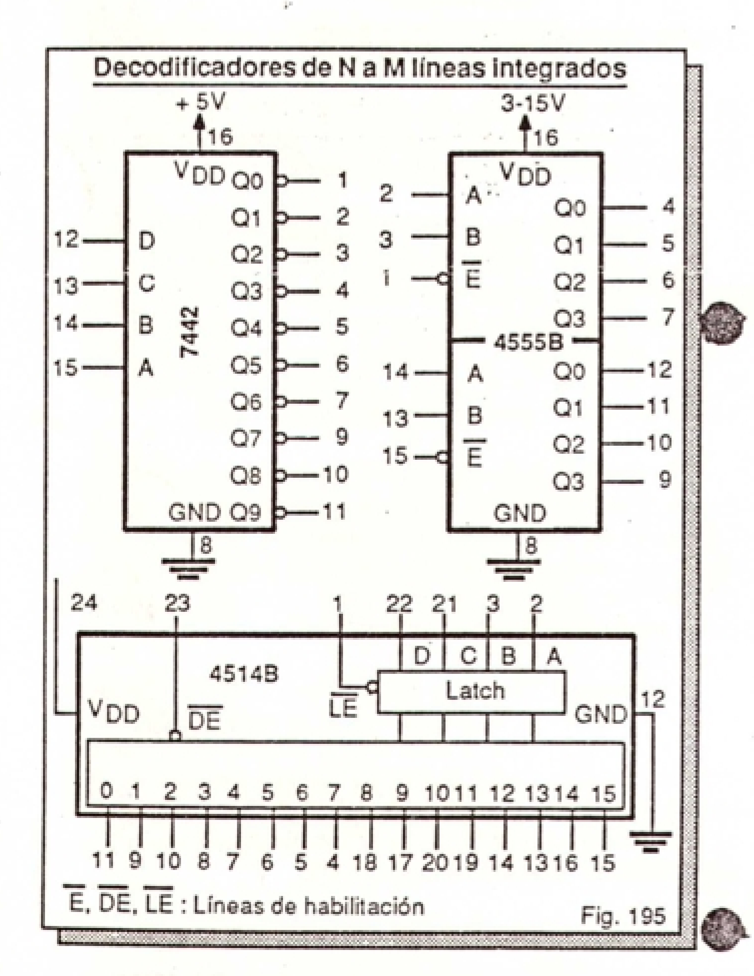
Las características generales de los dispositivos con salidas de colector abierto se explicaron en la lección 6. Los decodificadores con esta opción suministran mayores corrientes de salida que los decodificadores TTL convencionales y pueden manejar voltajes superiores al de alimentación. Para más detalles, ver páginas 58 a 60.

74154, 74C154. Decodificadores de 4 a 16 líneas.

74LS138, 74S138: Decodificadores de 3 a 8 líneas.

4514B, 4515B: Decodificadores de 4 a 16 líneas con salidas *latch*. Este tipo de decodificadores, además de su función básica, están dotados de *memoria*, es decir, retienen activa la última línea de salida decodificada incluso después de suspender el código que originó su activación.

En la figura 195 se muestra la distribución funcional de pines de algunos de estos *chips*. En las secciones siguientes describiremos en detalle los circuitos integrados 74LS138 (decodificador de 3 a 8 líneas TTL) y 4028B (decodificador BCD CMOS).



El circuito integrado 74LS138

El circuito integrado TTL 74LS138 es un decodificador de 3 a 8 líneas con salidas activas en bajo. Además de sus líneas básicas de entrada y salida, el 74LS138 posee 3 líneas de habilitación adicionales, las cuales permiten conectar varios 74LS138 en cascada y expandir el rango de decodificación a 16 ó más líneas.

En la figura 196 se muestra la distribución de pines, el símbolo lógico y la tabla funcional del 74LS138. El *chip* opera con un voltaje de alimentación nominal de +5V, aplicados entre los pines 16 (Vcc) y 8 (GND).

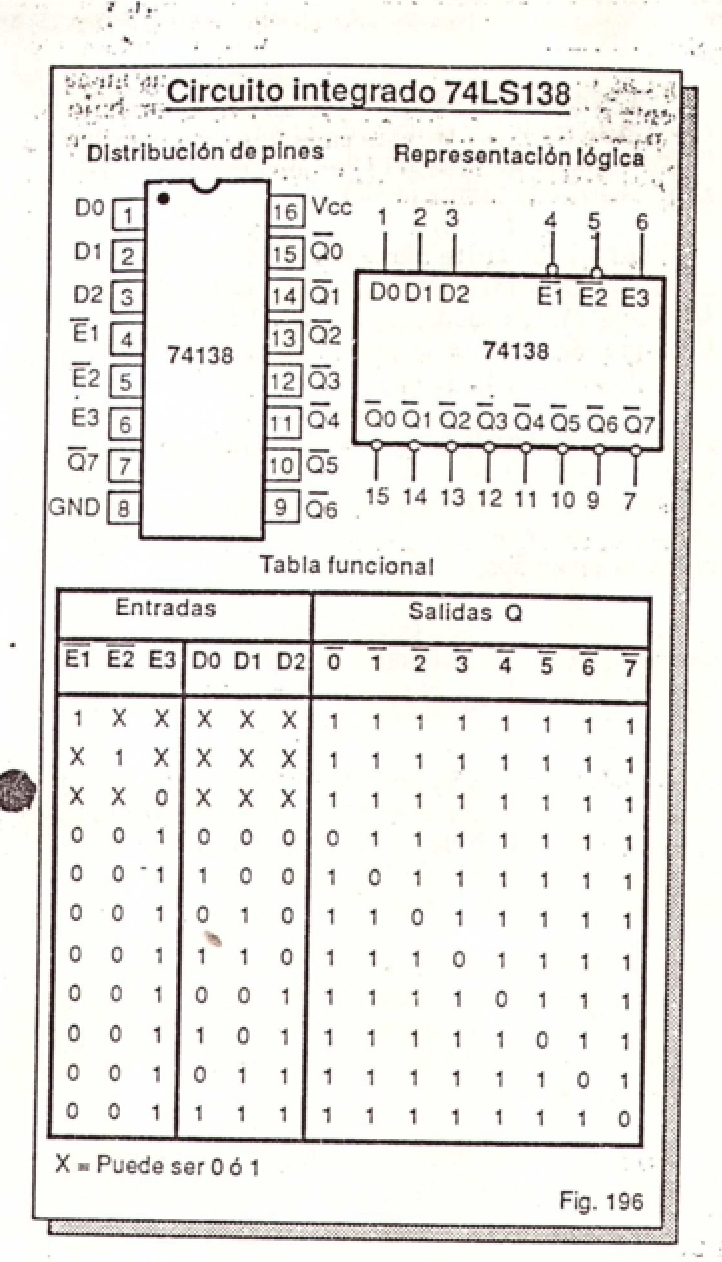


Tabla funcional

Entradas						Salidas Q							
$\overline{E1}$	$\overline{E2}$	E3	D0	D1	D2	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$
1	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	0	X	X	X	1	1	1	1	1	1	1	1
0	0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	0	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	0	1	1	1	0	1	1	1	1
0	0	1	0	0	1	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	0	1	1
0	0	1	0	1	1	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0

X = Puede ser 0 ó 1

Fig. 196

Las entradas $\overline{E1}$ (pin 4), $\overline{E2}$ (pin 5) y E3 (pin 6) son líneas de habilitación. $\overline{E1}$ y $\overline{E2}$ son activas en **bajo**, como lo sugieren el símbolo lógico y las barras sobre sus letras nemotécnicas. La línea E3 es activa en **alto**. Cuando estas tres líneas son activas ($\overline{E1}$=0, $\overline{E2}$=0 y E3=1), el 74LS138 está habilitado y desarrolla su función lógica como decodificador.

Cuando una cualquiera de las líneas $\overline{E1}$, $\overline{E2}$ ó E3 está desactivada (por ejemplo E3=0), el *chip* se inhibe, ignora los códigos de entrada y todas sus salidas permanecen desactivadas, es decir **altas**.

Las líneas de entrada son D2 (pin 3), D1 (pin 2) y D0 (pin 1). De acuerdo con la tabla de verdad y el símbolo lógico de la figura 196, estas entradas son activas en alto. Por ejemplo, si se aplica el código de entrada **011** (D2=0, D1=1, D0=1), se activa la línea de salida Q3, porque **011** es el código del número 3 en el sistema octal (ver tabla 9-1, página 109).

Las líneas de salida son $\overline{Q0}$ (pin 15), $\overline{Q1}$ (pin 14), $\overline{Q2}$ (pin 13), $\overline{Q3}$ (pin 12), $\overline{Q4}$ (pin 11), $\overline{Q5}$ (pin 10), $\overline{Q6}$ (pin 9) y $\overline{Q7}$ (pin 7). Todas estas salidas son activas en bajo. Por ejemplo, si se aplica el código de entrada **011**, la línea $\overline{Q3}$ se hace baja (0) mientras las otras permanecen inactivas, en **1**.

El circuito integrado 4028B

El circuito integrado 4028B es un decodificador de BCD a decimal con salidas activas en **alto** que responde a códigos binarios de entrada de 4 *bits* desde **0000** (0) hasta **1001** (9). Para códigos superiores, las salidas Q0 a Q7 son siempre **bajas**. En la figura 197 se muestran la distribución de pines, el símbolo lógico y la tabla de verdad de este *chip*.

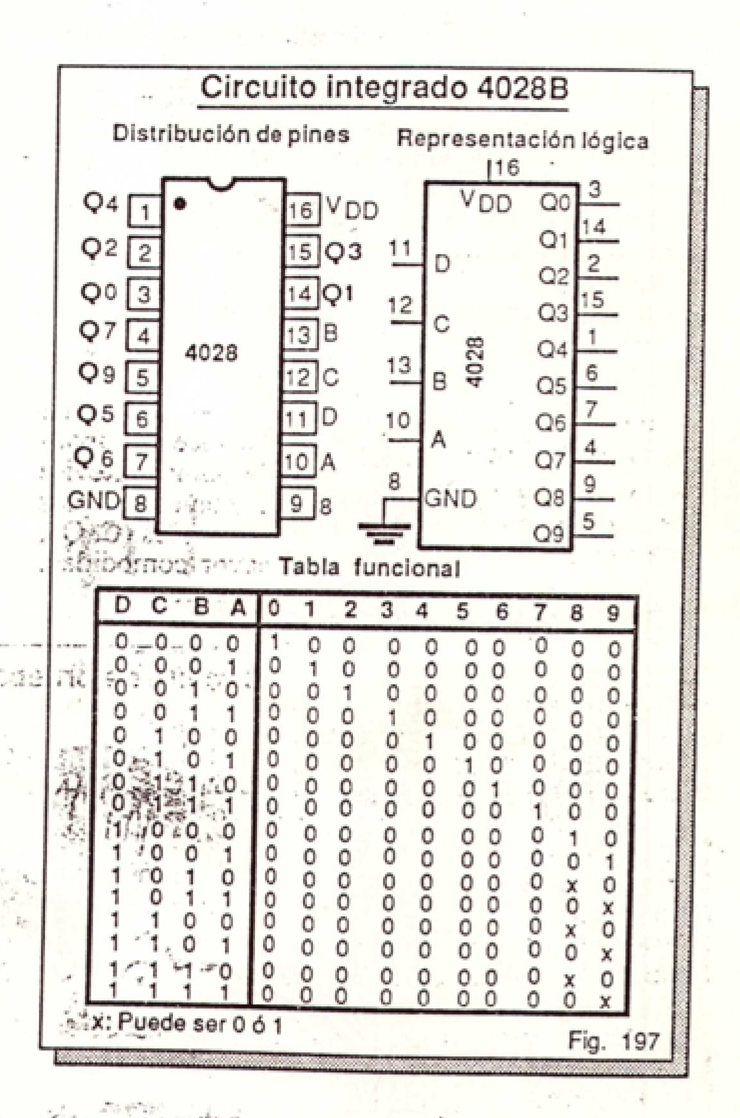


Tabla funcional

D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	0	0	0	0	0	0	0	0	x	0
1	0	1	1	0	0	0	0	0	0	0	0	0	x
1	1	0	0	0	0	0	0	0	0	0	0	x	0
1	1	0	1	0	0	0	0	0	0	0	0	0	x
1	1	1	0	0	0	0	0	0	0	0	0	x	0
1	1	1	1	0	0	0	0	0	0	0	0	0	x

x: Puede ser 0 ó 1

Fig. 197

El 4028B puede también utilizarse como decodificador de 3 a 8 líneas (octal), conectando permanentemente la entrada D (pin 11) a nivel **bajo** (0) y aplicando el código de entrada a las líneas C (pin 12), B (pin 13) y A (pin 10). En esta circunstancia, las salidas Q8 (pin 9) y Q9 (pin 5) siempre permanecerán desactivadas, en **0**.

EXPERIMENTO 12

Operación de un decodificador de BCD a decimal

Objetivos

- Verificar experimentalmente la operación de un decodificador de 4 a 10 líneas o BCD.
- Familiarizarse con el manejo del código BCD.

Materiales y herramientas necesarios

1 circuito integrado 4028B (decodificador de BCD a decimal). IC1.
1 circuito integrado 4069B (6 inversores). IC2.
1 módulo ED-1 (4 monitores lógicos). D1-D4.
6 diodos emisores de luz (LED). D5-D10.
1 resistencia de 1 KΩ. R1.
1 fuente de 9V, 300 mA (*kit* CEKIT K10) o una batería de 9V con conector. B1.
1 *protoboard*.
Puentes de alambre telefónico #22 ó # 24.

Procedimiento

Paso 1. En la figura E21 se muestra el circuito de prueba de un decodificador 4028. Realice este montaje sobre su *protoboard* como se indica. Revise bien todas las conexiones. Manipule con cuidado los circuitos integrados. Identifique con rótulos (C, Q6, etc.) las diferentes líneas para mayor comodidad. Utilice alambres de colores y puentes cortos.

Las líneas D, C, B y A están conectadas inicialmente a tierra y por tanto cada una recibe un bajo ó **0**. Para aplicar un **alto (1)** en una entrada, conéctela al positivo de la fuente (+9V).

El estado de las salidas Q0 a Q3 se visualiza mediante los LED D1 a D4 del módulo ED-1 y el de las salidas Q4 a Q9 mediante los LED D5 a D10. Un LED prendido indica la presencia de un **1** lógico y un LED apagado la de un **0**.

Paso 2. Encienda la fuente de alimentación. Observe lo que sucede en las salidas Q0 a Q9. Notará que se prende el LED D1, indicando que la línea Q0 está activa, es decir en **alto**. Los otros LED deben permanecer apagados.

Lo anterior sucede porque, con todas las entradas en **bajo**, el decodificador recibe el código de entrada DCBA=**0000** y lo reconoce, activando la línea Q0.

Paso 3. Desconecte la entrada A (pin 10 del 4028) de tierra y conéctela a +9V. De este modo estará aplicando el código de entrada DCBA=**0001**. Notará que sólo se prende el LED D2, indicando que la línea Q1 está activa (**alta**).

Paso 4. Conecte las líneas D, C, B y A a tierra o al positivo de la fuente, según corresponda, y aplique, en su orden, los códigos de entrada **0010**, **0011**, **0100**, **0101**, **0110**, **0111**, **1000** y **1001**. Observe lo que sucede en cada caso.

Notará que con **0010** se prende el LED D3, con **0011** se prende el LED D4 y así sucesivamente, has-

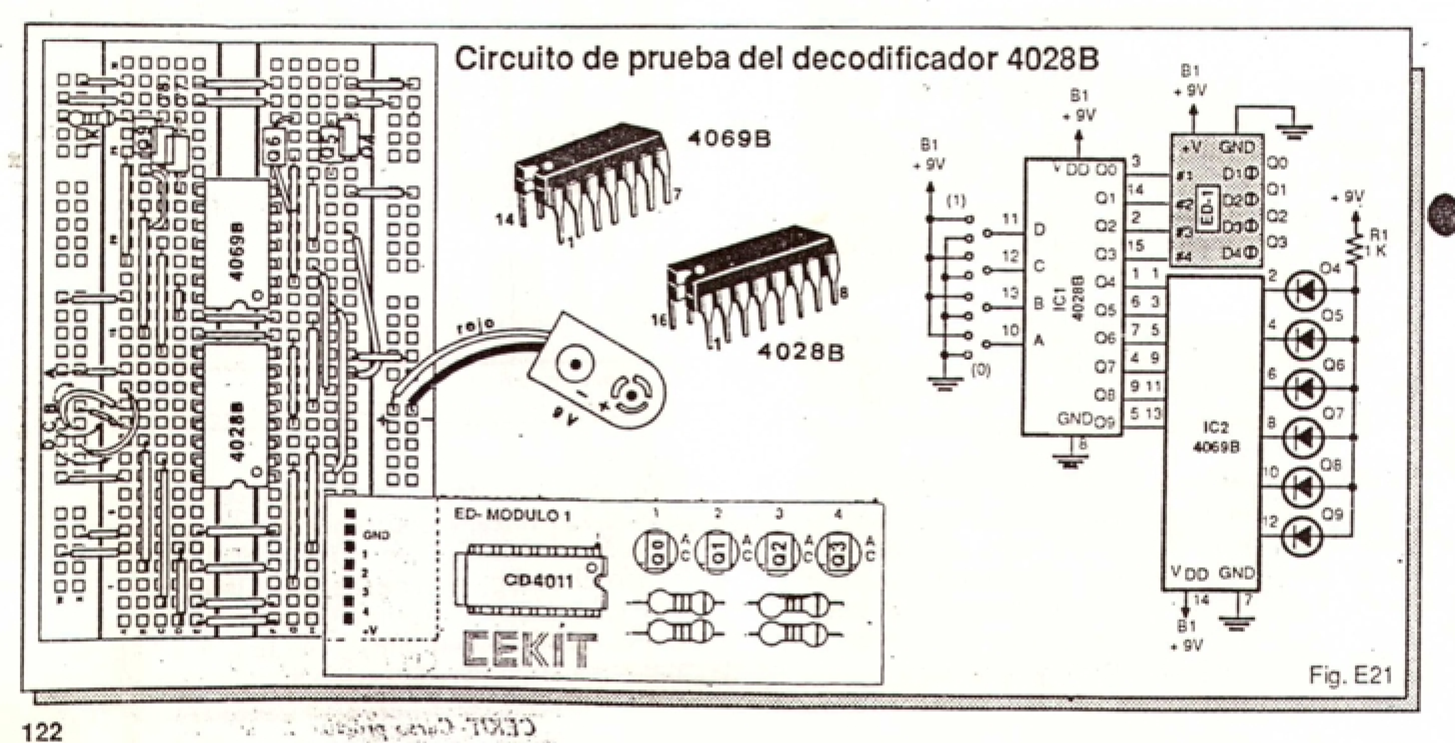


Fig. E21

ta el código **1001**, el cual prende el LED D9. Para familiarizarse con el código BCD, asocie mentalmente cada línea de salida activada (Q0, Q1, etc.) con el dígito decimal (0, 1, etc.) correspondiente.

Paso 5. Utilizando el mismo procedimiento anterior, aplique, en su orden los códigos de entrada **1010, 1011, 1100, 1101, 1110** y **1111**.

Notará que, para cualquiera de estos códigos, todos los LED permanecen apagados, indicando que ninguna línea de salida está activa. Esto se debe a que se están aplicando códigos inválidos en BCD, los cuales no son reconocidos por el decodificador. Puede suceder también que se prenda D8 ó D9.

* * *

Displays de siete segmentos

El *display* de siete segmentos (figura 198) es uno de los dispositivos más utilizados en los circuitos digitales para visualizar números y otros caracteres. Cada segmento está hecho de un material que emite luz o se oscurece cuando circula a través de él una corriente de pequeña intensidad.

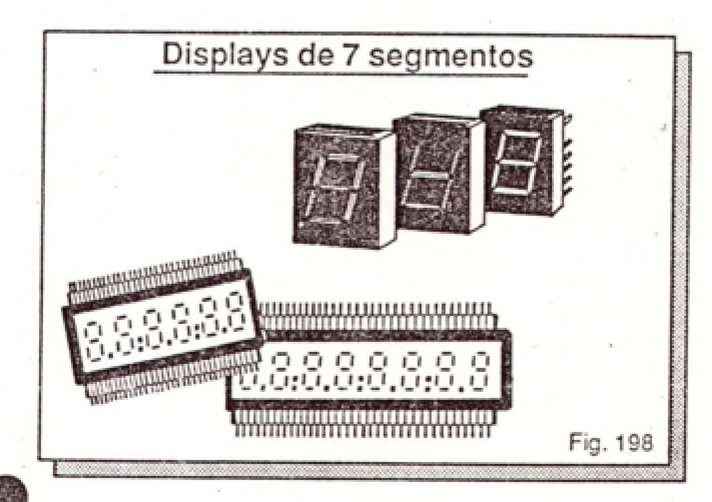


Fig. 198

Los segmentos se organizan y se designan como se muestra en la figura 199. Para visualizar un número cualquiera, por ejemplo 5, deben iluminarse ciertos segmentos (**a**, **f**, **g**, **c** y **d**, en este caso) mientras los otros (b y e) deben permanecer apagados. La única excepción es el número 8, el cual exige la iluminación de todos los segmentos.

Con un *display* de siete segmentos es posible también generar algunas letras y algunos caracteres no numéricos (figura 200). Para representar la letra "E", por ejemplo, se necesita que todos los segmentos estén iluminados, con excepción de **b** y **c**.

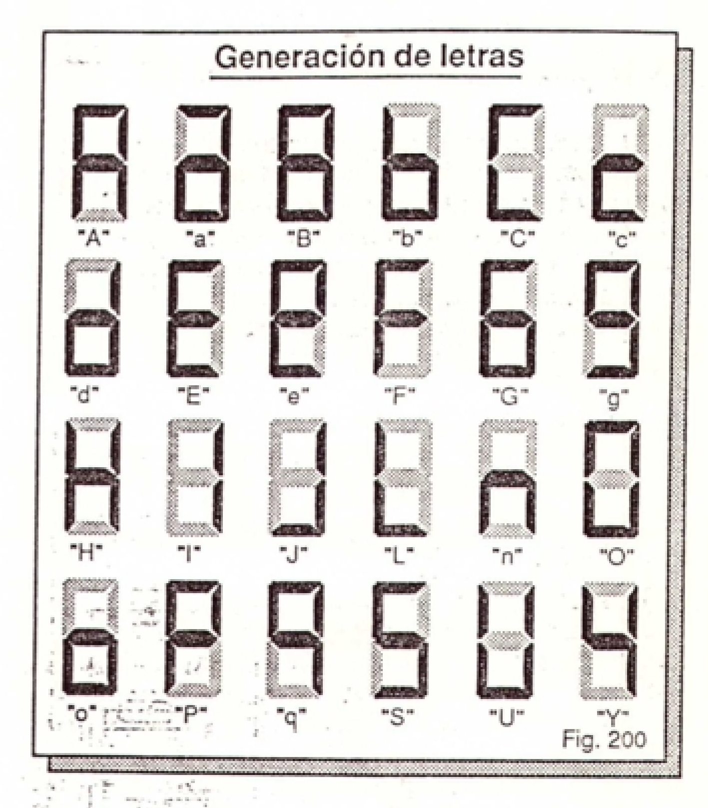


Fig. 200

Existen varios tipos de *displays*. Los más populares son los que utilizan diodos emisores de luz (LED) y *cristales líquidos* (LCD). Otros *displays* comunes son los incandescentes y los fluorescentes (figura 201). En esta lección enfocaremos nuestra atención en los dos primeros. Antes de los *displays*, era muy común el uso de *tubos Nixie*.



Fig. 199

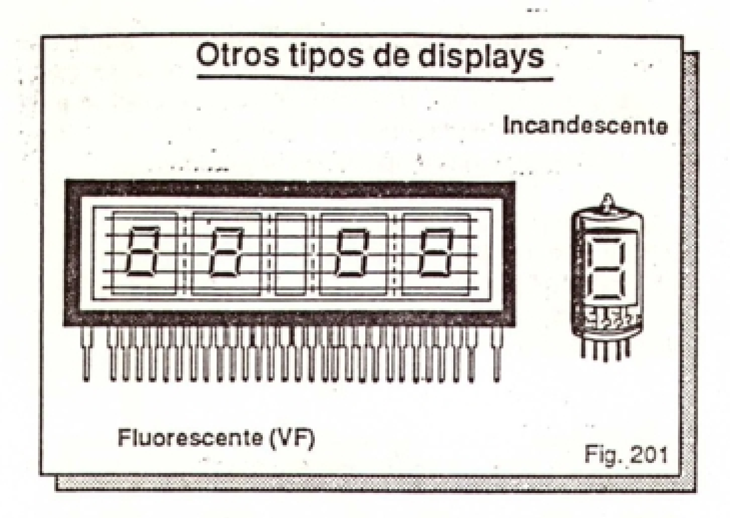


Fig. 201

Los *displays* con LED (figura 202) vienen en una gran variedad de estilos y tamaños. Cada segmento es un LED que emite una luz roja o de otro color (verde, amarilla, naranja, etc.) cuando pasa a través de él una corriente de pequeña intensidad (de 10 mA a 40 mA). Los segmentos son generalmente de *arseniuro de galio* (GaAs), un material semiconductor.

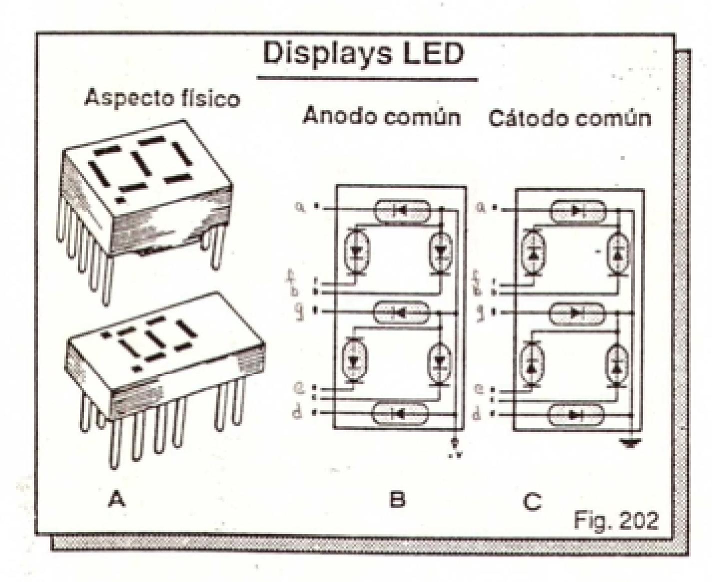


Fig. 202

Los *displays* con LED pueden ser de *ánodo común* o de *cátodo común*. En el primer caso (figura 202B), todos los ánodos están conectados internamente a un punto común y todos los cátodos están libres. En el segundo (figura 202C), están conectados entre sí los cátodos mientras los ánodos quedan libres. El ánodo común se conecta a +V y el cátodo común a tierra.

En la figura 203 se indica la forma de probar un *display* de ánodo común típico. Los interruptores S1 a S7 conectan individualmente a tierra cada cátodo a través de las resistencias R1 hasta R7. Observe que el ánodo común está conectado directamente al positivo de la fuente.

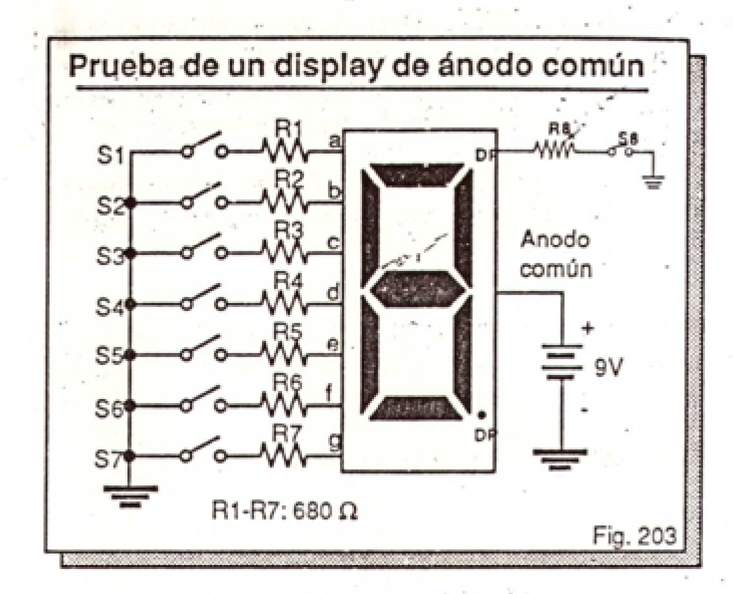


Fig. 203

Con todos los interruptores abiertos, ninguno de los segmentos se ilumina y el *display* permanece en blanco. Al cerrar cualquier interruptor, circula una corriente a través del segmento correspondiente y éste se ilumina. El interruptor S8 maneja el punto decimal (DP), una característica adicional presente en la mayoría de *displays* modernos.

Combinando el estado de los interruptores se pueden crear diferentes números y letras. Por ejemplo, al cerrar los interruptores S1, S2 y S3, los segmentos **a, b** y **c** se prenden, visualizándose el número **7.** Si se cierran todos los interruptores, excepto S1 y S4, los segmentos **b, c, e, f** y **g** se iluminan y se visualiza la letra H.

La figura 204 ilustra la forma de probar un *display* de cátodo común. En este caso, el terminal común se conecta directamente a tierra, mientras los interruptores S1 a S7 conectan cada segmento a +V a través de las resistencias limitadoras R1 a R7. Para visualizar el número 0, por ejemplo, deben cerrarse todos los interruptores, excepto S7.

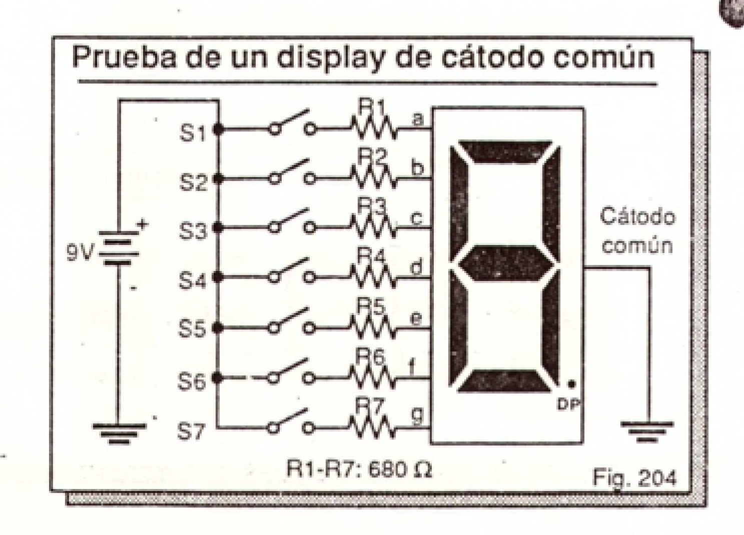


Fig. 204

Los *displays* LED ofrecen las ventajas de ser visibles en la oscuridad y muy flexibles en cuanto a su uso. Sin embargo, tienden a consumir mucha corriente (de 10 mA a 40 mA por segmento) y su lectura no es nítida en presencia de luz ambiente intensa. Los *displays* de cristal líquido (LCD) que veremos en seguida solucionan estos inconvenientes.

Displays de cristal líquido (LCD)

Los *displays* de cristal líquido (LCD) de siete segmentos (figura 205) operan bajo un principio diferente al de los *displays* LED. Cada segmento está hecho de un fluido viscoso que normalmente es trasparente, pero se opaca (aparece oscuro) cuando se energiza mediante un pequeño voltaje de corriente alterna de baja frecuencia.

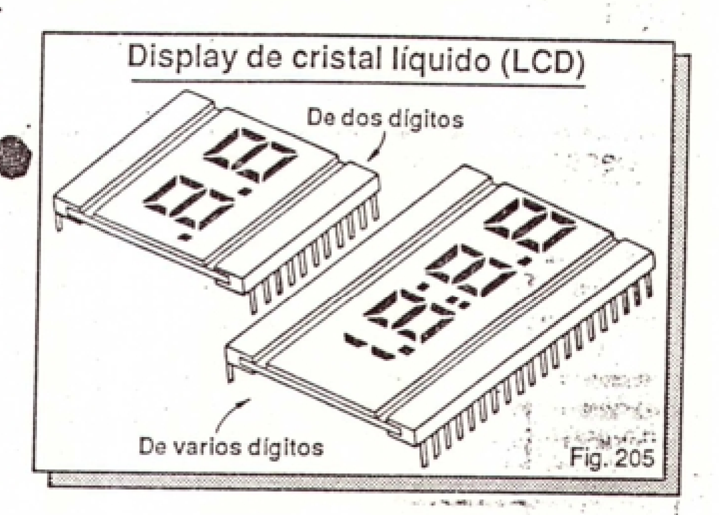


Fig. 205

El voltaje alterno de excitación es generalmente una onda cuadrada de 3V a 15V de amplitud y de 25 Hz a 60 Hz de frecuencia. Se aplica entre el pin de acceso al segmento (a, b, c, etc.) y un pin especial llamado *backplane* (léase *bacplein*), que sustituye el terminal común (ánodo o cátodo) de los *displays* LED convencionales.

En la figura 206 se ilustra la estructura interna y el principio de funcionamiento de un *display* de cristal líquido. En contraste con los *displays* LED, los LCD no generan luz sino que simplemente controlan la luz incidente. La clave de su operación es un fluido especial llamado *cristal líquido* colocado en *sandwich* entre dos láminas trasparentes.

Sobre la lámina superior se forman los segmentos del *display*, los cuales se metalizan para permitir que puedan ser controlados externamente. La lámina inferior o *backplane* actúa como una superficie reflectora de luz y también está metalizada.

En condiciones normales, las moléculas de cristal líquido están alineadas o *polarizadas*. Cuando

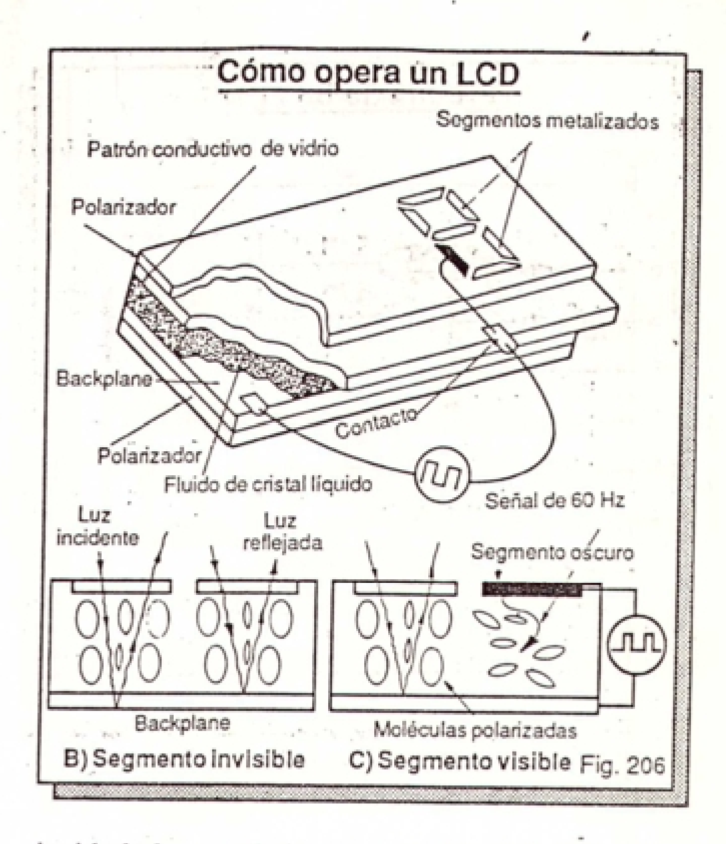


Fig. 206

incide la luz en el sistema, esta pasa a través de las moléculas del fluido, se refleja en el *backplane* y retorna a la superficie sin sufrir cambio alguno. Como resultado, el segmento permanece brillante y aparece invisible al ojo humano.

Cuando se aplica un voltaje alterno entre el segmento y el *backplane*, las moléculas se dispersan y absorben la luz incidente, es decir, no la dejan pasar y por tanto el *backplane* no la refleja. Como resultado, el segmento aparece oscuro. El mismo principio se aplica para hacer visible cualquier otro segmento y visualizar así números, letras, etc.

En la figura 207 se muestra la forma de probar un *display* de cristal líquido. El *backplane* recibe directamente un tren de pulsos de baja frecuencia de 30 Hz procedente de un oscilador. Los interruptores S1 a S7 controlan, a través de las compuertas XOR, la *fase* de la señal aplicada a cada segmento.

Para que un segmento se oscurezca y sea visible, la señal aplicada al mismo debe estar desfasada con respecto a la del *backplane*. Es decir, si esta última es alta (1), la del segmento debe ser baja (0) y viceversa. Esto se consigue aplicando un nivel alto a la entrada de la compuerta XOR que controla ese segmento en particular (figura 208).

En otras palabras, la señal aplicada al segmento debe ser el inverso o complemento de la señal aplicada al *backplane*. Recuerde que una compuerta XOR actúa como un inversor controlado, invirtiendo la señal aplicada a una de sus entradas cuando la

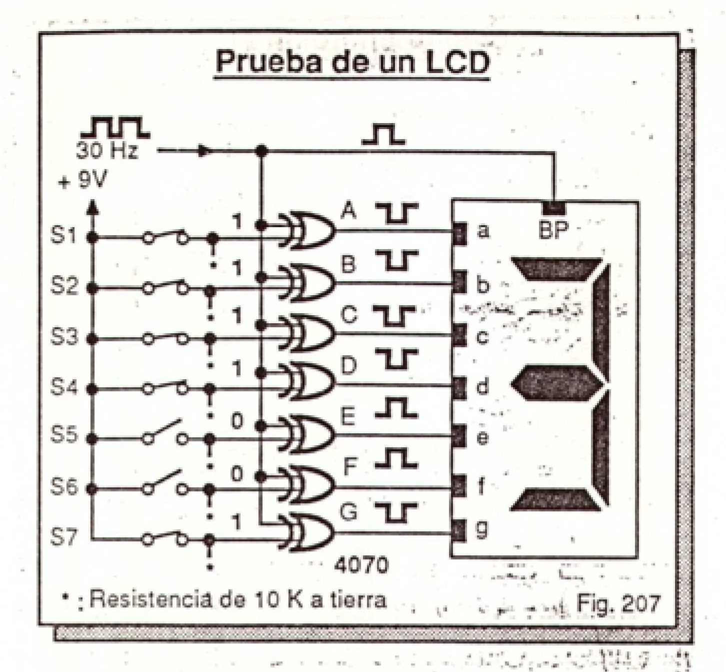


Fig. 207

otra entrada está en **alto** y trasfiriéndola sin inversión cuando está en **bajo**.

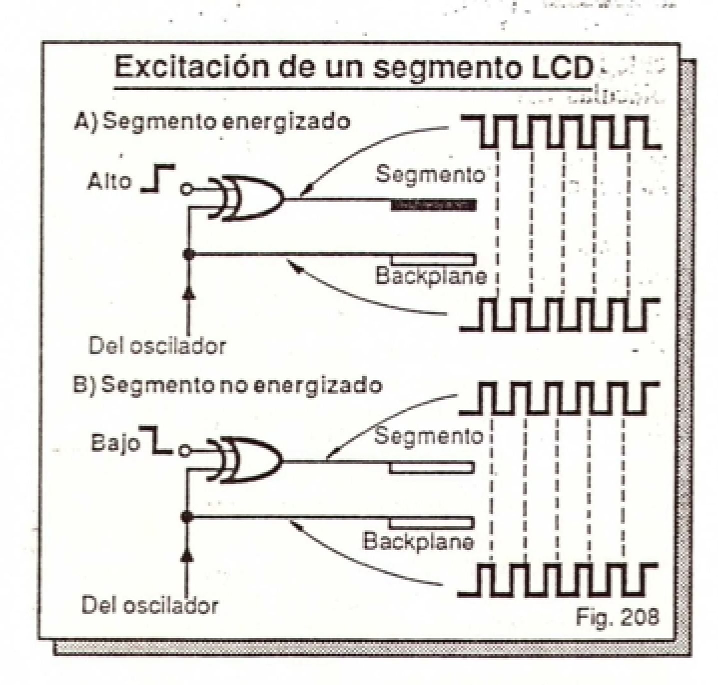


Fig. 208

Para visualizar el número 3, por ejemplo, deben cerrarse todos los interruptores, excepto S5 y S6. De este modo, las compuertas A, B, C, D y G reciben un **alto** en una de sus entradas y aplican una señal invertida o fuera de fase a los segmentos **a**, **b**, **c**, **d** y **g** del *display*. Los segmentos **e** y **f** reciben una señal en fase y, por tanto, permanecen brillantes.

Los LCD se utilizan extensamente en relojes, calculadoras, termómetros, instrumentos y otras aplicaciones digitales. Su mayor ventaja es el bajo consumo de corriente. Además, son más económicos y flexibles que sus contrapartes LED y pueden ser leídos en presencia de luz brillante. Sin embargo, presentan algunos inconvenientes.

En primer lugar, un LCD no puede ser leído en la oscuridad. Por esta razón, algunos *displays* de este tipo incluyen una lámpara incandescete miniatura. En segundo lugar, necesitan de una fuente externa de pulsos para operar. En tercer lugar, son muy sensibles a las bajas temperaturas. Además, son muy delicados y tienden a ser lentos.

Decodificadores de BCD a siete segmentos

En los circuitos de las figuras 203, 204 y 207, se utilizan interruptores mecánicos para conectar y desconectar los segmentos del *display* y visualizar así cualquier número entre 0 y 9. En la práctica, esta función se realiza electrónicamente empleando un *decodificador de BCD a siete segmentos* (figura 209).

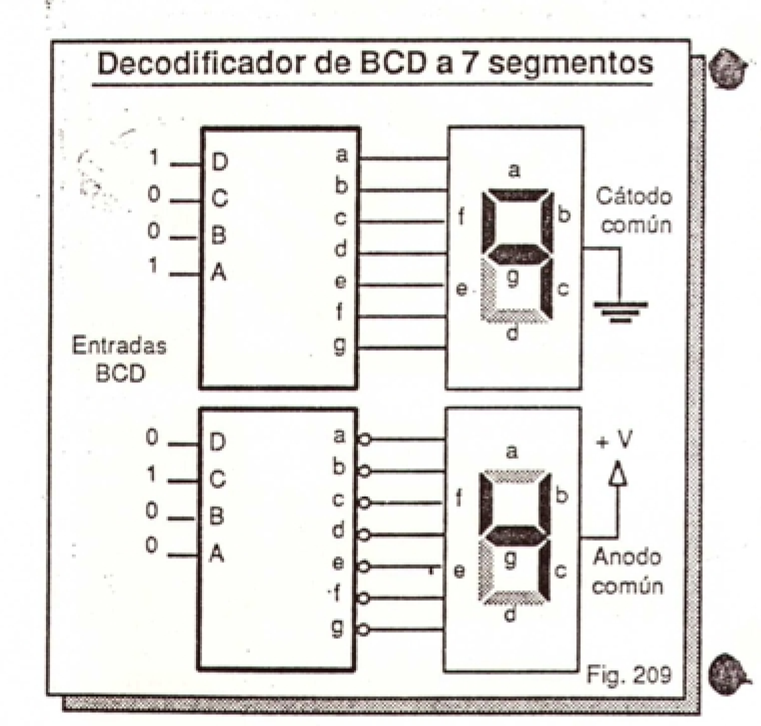


Fig. 209

Un decodificadores de BCD a siete segmentos posee 4 líneas de entrada (D, C, B y A) y siete líneas de salida (a, b, c, d, e, f y g). El dispositivo acepta en sus entradas un código BCD de 4 *bits* y lo convierte en un código de 7 *bits* que al excitar un *display* visualiza el dígito decimal correspondiente.

Las salidas de un decodificador de BCD a siete segmentos pueden ser activas en **alto** o en **bajo** dependiendo del tipo de *display* utilizado. En un decodificador de ánodo común, las salidas son activas en **bajo** y en uno de cátodo común son activas en **alto**. Los decodificadores para LCD entregan trenes de pulsos en fase o fuera de fase.

Decodificadores de BCD a siete segmentos integrados

Existen varios decodificadores MSI de BCD a 7 segmentos diseñados específicamente para manejar *displays* de ánodo común, de cátodo común y/o de cristal líquido. Los siguientes son algunos ejemplos:

4055, 4056, 4543: Decodificadores para *displays* de cristal líquido.

4511, 7448, 74LS48, 74C48, 8368: Decodificadores para *displays* de cátodo común.

7447, 74LS47, 74LS247, 8374: Decodificadores para *displays* de ánodo común.

Además de su función básica (convertir códigos BCD en códigos de siete segmentos), la mayoría de estos dispositivos pueden realizar funciones especiales de visualización tales como:

a) Manejar, indistintamente, *displays* de ánodo común, de cátodo común y de cristal líquido. Ejemplos: 4055, 4056, 4543 y 74C48. Los decodificadores de *displays* de cátodo común pueden adaptarse a *displays* de ánodo común o viceversa, manejando los segmentos a través de transistores. Los decodificadores TTL no son adecuados para LCD.

b) Retener el último código de siete segmentos activado, incluso después de suspender o cambiar el código BCD de entrada que lo originó. Esta característica de memoria es propia de los decodificadores tipo *latch* como el 4056, el 4511 y el 4543.

c) Generar códigos de siete segmentos y caracteres especiales cuando se aplican códigos BCD de entrada inválidos (**1010**, **1011**, etc.). Ejemplos: 4055, 4056, 7447, 7448, 8368 y 8374.

d) Probar individualmente cada segmento del *display*, controlar su brillo o borrar la información visualizada, es decir, dejar el *display* en blanco. Ejemplos: 4511, 4543, 7447 y 7448.

En las siguientes secciones analizaremos en detalle los circuitos integrados 4543, 4511 y 7447. En el experimento 13 comprobaremos en la práctica cómo trabaja y se utiliza un decodificador de BCD a siete segmentos representativo. Al final de esta lección se describen algunos circuitos de aplicación.

El circuito integrado 4543

El **4543** (figura 210) es un decodificador de BCD a 7 segmentos tipo *latch*, diseñado originalmente para manejar *displays* LCD. El código de entrada se aplica a las líneas DCBA (pines 2 al 5) y el de salida se obtiene en las líneas abcdefg (pines 9 al 15).

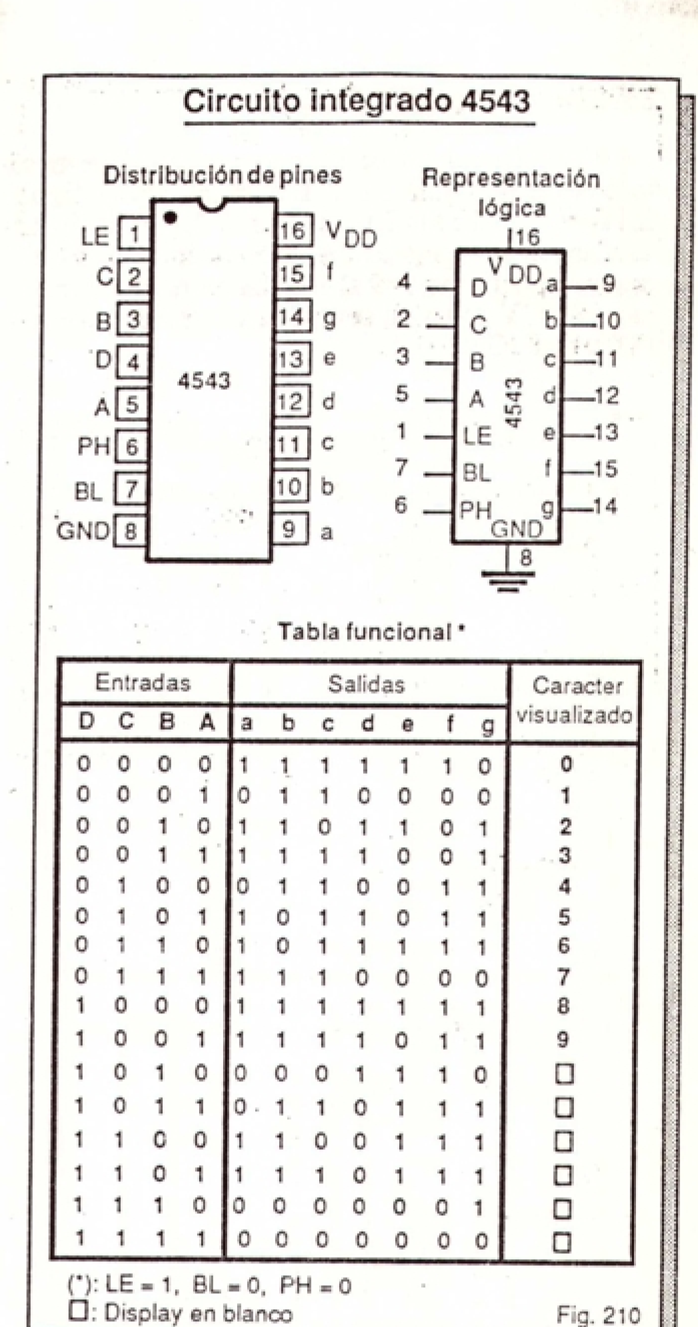


Tabla funcional *

Entradas				Salidas							Caracter visualizado
D	C	B	A	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9
1	0	1	0	0	0	0	1	1	1	0	□
1	0	1	1	0	1	1	0	1	1	1	□
1	1	0	0	1	1	0	0	1	1	1	□
1	1	0	1	1	1	1	0	1	1	1	□
1	1	1	0	0	0	0	0	0	0	1	□
1	1	1	1	0	0	0	0	0	0	0	□

(*): LE = 1, BL = 0, PH = 0
□: Display en blanco

Fig. 210

La tensión de alimentación se aplica entre los pines 16 (VDD) y 8 (GND). La función *latch* la proporciona la línea LE (pin 1). Cuando LE=**1**, se habilita la decodificación y cuando LE=**0**, se inhibe, quedando almacenado el último código BCD seleccionado. El 4543 puede manejar también *displays* de ánodo común y de cátodo común.

Para *displays* de ánodo común, la línea PH (pin 6) debe ser de nivel **alto** (**1**) y para *displays* de cátodo común debe ser de nivel **bajo** (**0**). Para *displays* LCD, debe aplicarse en esta entrada un tren de pulsos de baja frecuencia (30 Hz a 200 Hz).

La línea de borrado BL (*blanking*, pin 7), inhibe la visualización cuando recibe un nivel **alto**. En estas circunstancias no se ilumina segmento alguno.

El circuito integrado 4511

El **4511** es un decodificador para *displays* de cátodo común (figura 211). Las entradas del código BCD son las líneas DCBA (pines 6, 2, 1 y 7). Las salidas de siete segmentos, activas en **alto**, son las líneas abcdefg (pines 9 al 15). La tensión de alimentación (3V a 15V) se aplica entre los pines 16 (VDD) y 8 (GND).

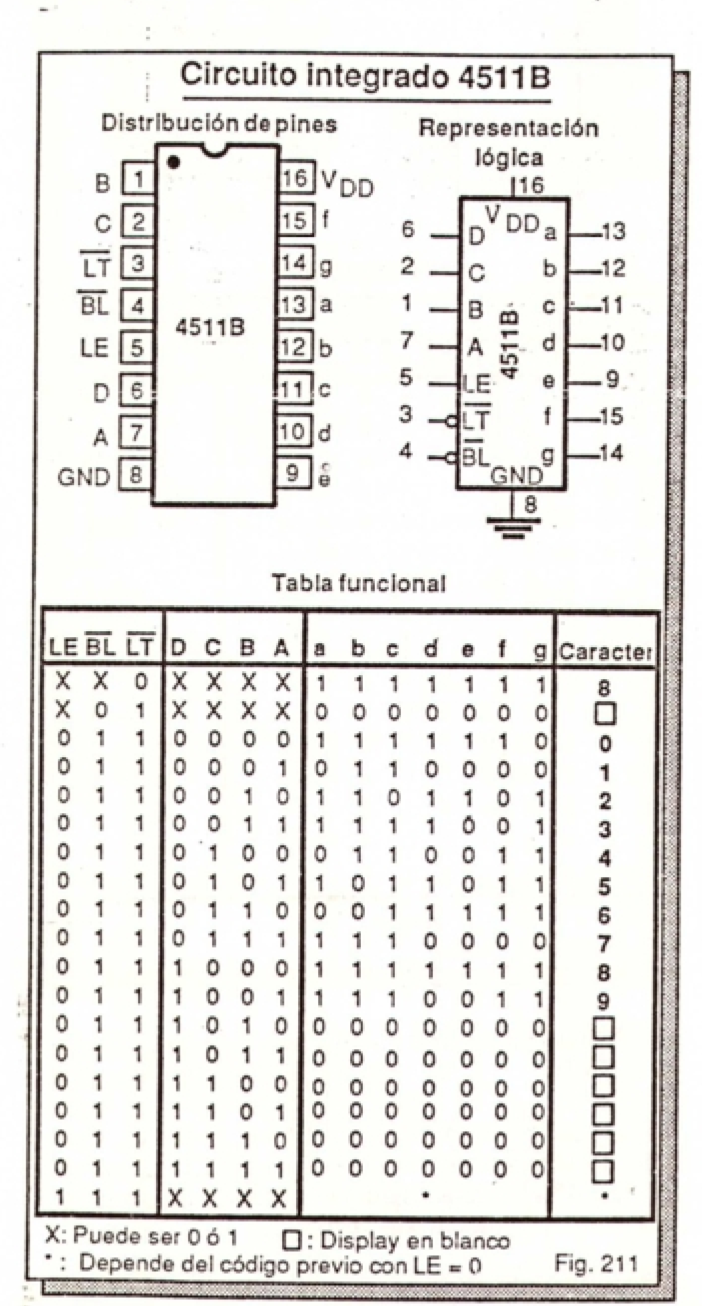


Tabla funcional

LE	$\overline{BL}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	Caracter
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	□
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	□
0	1	1	1	0	1	1	0	0	0	0	0	0	0	□
0	1	1	1	1	0	0	0	0	0	0	0	0	0	□
0	1	1	1	1	0	1	0	0	0	0	0	0	0	□
0	1	1	1	1	1	0	0	0	0	0	0	0	0	□
0	1	1	1	1	1	1	0	0	0	0	0	0	0	□
1	1	1	X	X	X	X				*				*

X: Puede ser 0 ó 1 □: Display en blanco
*: Depende del código previo con LE = 0 Fig. 211

El 4511 es del tipo *latch*. Esta función de memoria la provee la entrada LE (pin 5). Cuando LE=0, se habilita la decodificación y en las salidas aparece el código de 7 segmentos correspondiente al código BCD de entrada. Cuando LE=1, la decodificación se inhibe, el *chip* ignora las entradas BCD y en las salidas permanece el último código seleccionado.

La entrada $\overline{LT}$ (*lamp test*, pin 3) se utiliza para probar los segmentos del *display*. Cuando $\overline{LT}$=0, las salidas se hacen **altas** y se iluminan todos los segmentos, visualizándose el número 8. Si un segmento no prende, lo más probable es que esté defectuoso. Normalmente, $\overline{LT}$ debe ser **1**.

La entrada BL (*blanking*, pin 4) provee la función de borrado. Cuando $\overline{BL}$=0 y $\overline{LT}$=1, ningún segmento se ilumina y el *display* permanece en blanco. Normalmente, $\overline{BL}$ debe ser **1**. Esta línea se utiliza también para controlar el *display* por pulsos. Este método elimina la necesidad de resistencias limitadoras de corriente en serie con cada segmento.

Para códigos BCD inválidos, el 4511 no provee decodificación y el *display* permanece en blanco. Otros decodificadores, como el 7447 que veremos a continuación, muestran caracteres especiales. El 4511 es funcionalmente equivalente al decodificador TTL 7448, excepto que este último no posee la característica de almacenar códigos.

El circuito integrado 7447

El **7447** (figura 212) es un decodificador para *displays* de ánodo común con salidas de colector abierto activas en **bajo**. Las líneas $\overline{LT}$ y $\overline{BL}$ cumplen las mismas funciones que en el 4511. Para códigos BCD inválidos se visualizan caracteres especiales.

La línea $\overline{RBI}$ (pin 5) se utiliza para omitir la presentación del número cero (0). Cuando RBI=0 y el código de entrada es **0000**, el display se borra.

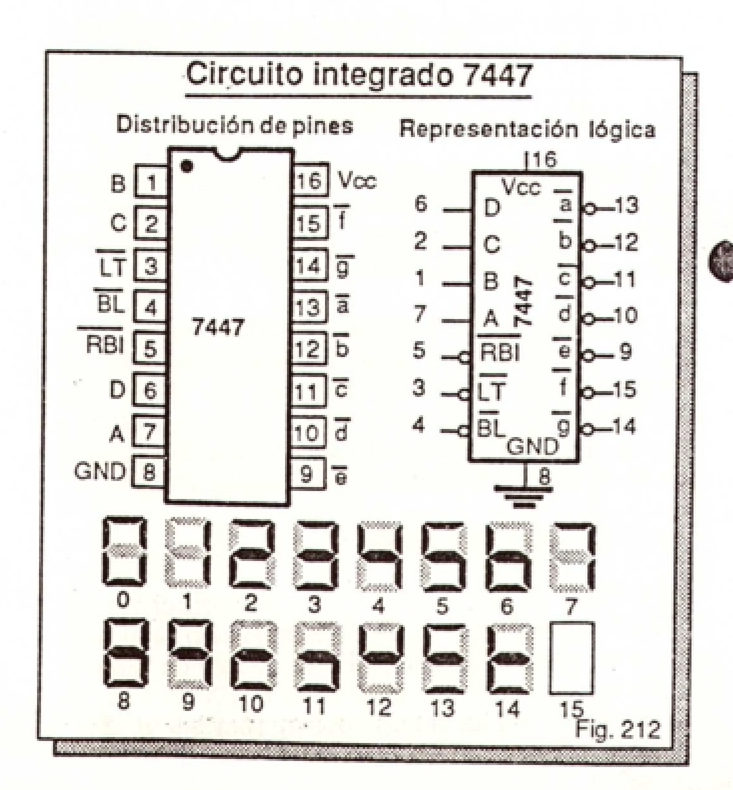


Fig. 212

EXPERIMENTO 13

Operación de un decodificador de BCD a siete segmentos

Objetivos

- Verificar experimentalmente la operación de un decodificador de BCD a siete segmentos con memoria.
- Familiarizarse con la utilización de *displays* tipo LED y con la interpretación numérica del código BCD.
- Aprender a identificar el terminal común y los segmentos de *displays* desconocidos.

Materiales y herramientas necesarios

1 circuito integrado 4511B (decodificador CMOS de BCD a 7 segmentos). IC1
1 *display* de siete segmentos de cátodo común LTS315 o similar. DISP1.
8 resistencias de 330 Ω, 1/2 W
1 fuente de 9V, 300 mA (*kit* CEKIT K10) o una batería alcalina de 9V con conector. B1.
1 *protoboard.*

Procedimiento

Paso 1. Arme el circuito de la figura E22 en su *protoboard.* Las entradas DCBA aplican el código BCD de entrada a los pines 6, 2, 1 y 7 del 4511, respectivamente. Los pines 13, 12, 11, 10, 9 y 15 excitan, en su orden, los segmentos a, b, c, d, e, f y g del *display.* Antes de conectar la batería, asegúrese de que todas las conexiones estén correctas.

Observe que, inicialmente, las entradas de borrado ($\overline{BL}$, pin 4) y de prueba de segmentos ($\overline{LT}$, pin 3) están en **alto** y la entrada habilitadora de *latch* (LE, pin 5) está en **bajo**. No olvide conectar, en su orden, las entradas de alimentación VDD (pin 16) y Vss (pin 8) del 4511 a los terminales positivo y negativo de la fuente o de la batería.

Identifique adecuadamente los segmentos del *display* y conéctelos a las respectivas salidas del decodificador a través de las resistencias limitadoras de corriente R1 a R7. Identifique el cátodo común y conéctelo directamente al negativo de la fuente. La localización de estos pines difiere de un *display* a otro. La distribución indicada es la del LTS315.

La resistencia R8 y el punto decimal del display (DP, pin 9) forman un monitor lógico que puede utilizarse para chequear el estado de las diferentes entradas y salidas del circuito. El punto prendido indica la presencia de un nivel **alto** (1) y apagado la de un nivel **bajo** (0).

Si utiliza otra referencia de *display* y desconoce la distribución de pines, utilice una batería de 9V y una resistencia de 1KΩ en serie para identificar el cátodo, como se muestra en la figura E23. Conecte el terminal negativo de la batería a un extremo de la resistencia y el positivo a un pin cualquiera del *display,* por ejemplo el #1.

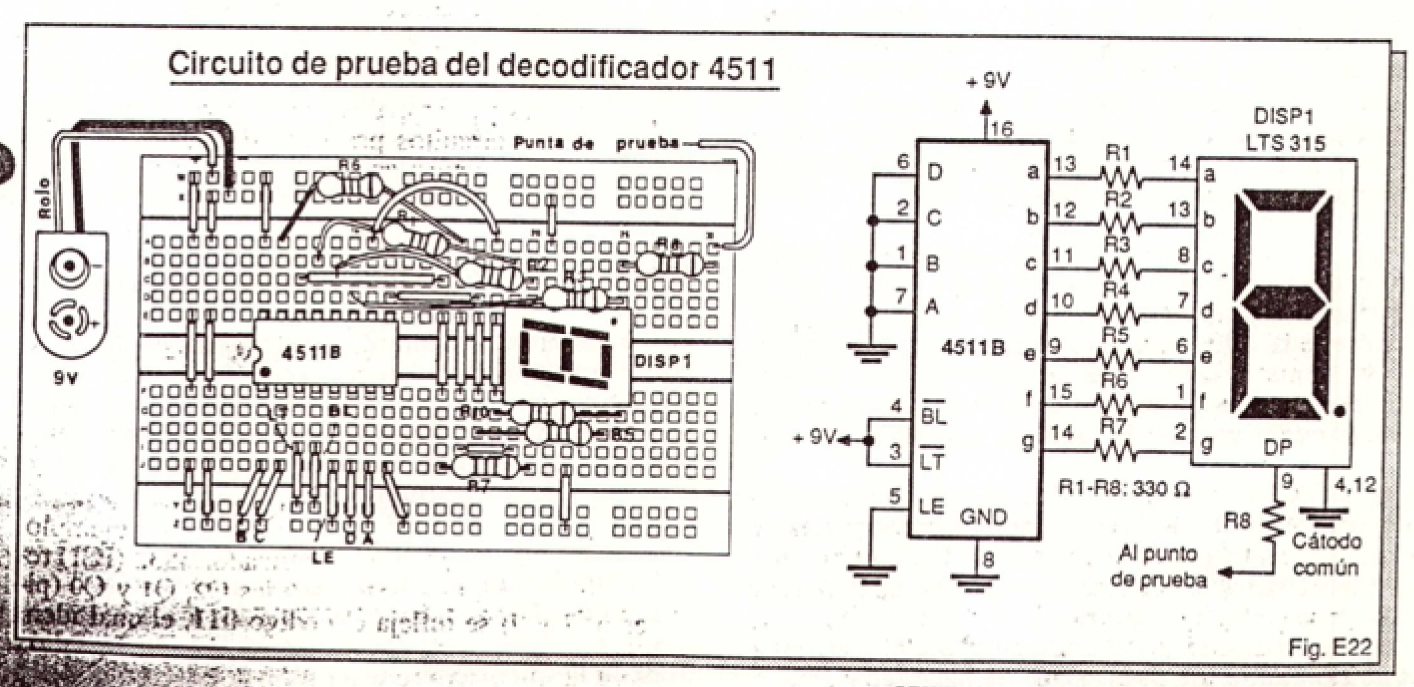


Fig. E22

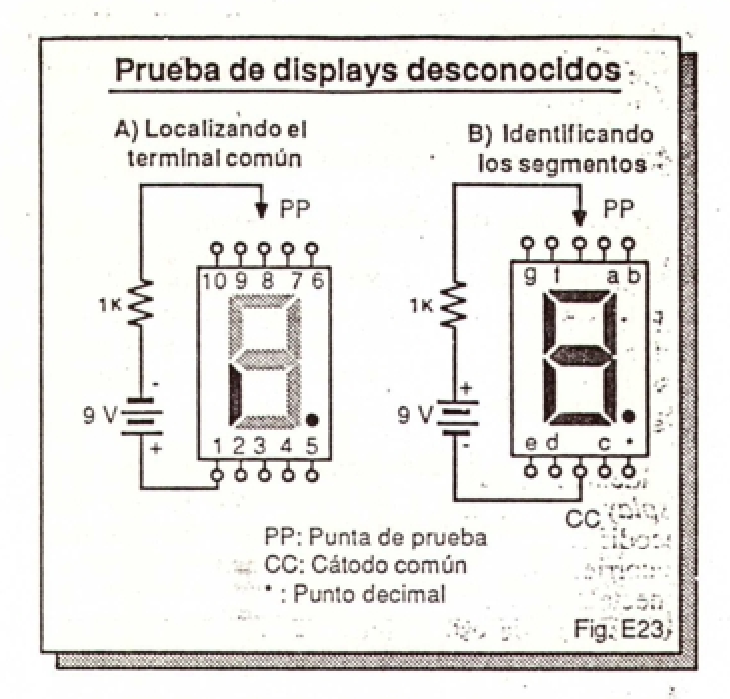


Fig. E23

Con el extremo libre de la resistencia toque cada uno de los pines restantes hasta que se prenda un segmento cualquiera: el pin que produce el encendido es el cátodo. Si no se prende segmento alguno, el cátodo será el pin conectado al terminal positivo de la batería. Verifíquelo cambiando este último de lugar y repitiendo la prueba.

Una vez localizado el cátodo común, la identificación de los pines de acceso de cada segmento es muy fácil. Desconecte la batería, conecte el terminal positivo a un extremo de la resistencia y el negativo al cátodo. Con el extremo libre de la resistencia, toque cada uno de los pines restantes.

En cada ocasión debe prenderse un segmento diferente (a, b, c, etc.) del *display*, incluyendo el punto decimal, si lo trae. Este mismo procedimiento es válido para identificar *displays* de ánodo común, invirtiendo la polaridad de la batería con respecto a la figura E23. La mayoría de *displays* tienen un ánodo o un cátodo común en cada fila de pines.

Paso 2. Conecte la batería. Observará que en el *display* aparece el número 0. Esto se debe a que las entradas DCBA están en **bajo** y aplican el código BCD de entrada **0000**, corrrespondiente a este número. Con la punta de prueba del monitor lógico, verifique el estado de las salidas a hasta g. Notará que todas, con excepción de la salida g, son **altas**.

Paso 3. Conecte cada línea D, C, B y A al positivo o negativo de la fuente, según corresponda y aplique, en su orden, los códigos BCD de entrada desde **0001** hasta **1001**. Observará que en el *display* aparecen, en ese mismo orden, los números 1, 2, 3, etc., dependiendo del código aplicado. Verifique con el monitor lógico el estado de las salidas.

Paso 4. Aplique en las líneas DCBA los códigos BCD inválidos desde **1010** hasta **1111**. Observará que no se prende segmento alguno, indicando que el decodificador no reconoce estos códigos.

Paso 5. Para probar la función de memoria, aplique un código BCD cualquiera, por ejemplo, **1100**, y observe el dígito visualizado (6, en este caso). Desconecte la línea LE de tierra y conéctela al positivo. A continuación, aplique en las entradas un código diferente, por ejemplo **1001** (9).

Notará que el decodificador ignora este último código y mantiene visualizado el dígito previo (6). Ensaye con otros códigos. Notará que mientras la línea LE esté conectada al positivo (en **alto**), la información original (6) no desaparece.

Paso 6. Para probar la función de borrado, conecte nuevamente la línea LE a tierra, aplique un código de entrada cualquiera válido y observe la lectura del *display*. Desconecte la línea $\overline{BL}$ (pin 4) del positivo y conéctela a tierra. Notará que el dígito previamente visualizado se borra y el *display* queda en blanco, es decir todos los segmentos se apagan.

Paso 7. Para probar la función de prueba de segmentos, desconecte la línea $\overline{LT}$ (pin 3) del positivo y conéctela a tierra. Observará que, sin importar el estado de las otras entradas, se iluminan todos los segmentos y se visualiza el número 8, indicando que el *display* está en buen estado.

* * *

CIRCUITOS DE APLICACION

A continuación se presentan dos aplicaciones típicas de los decodificadores estudiados en esta lección. La primera es un sistema de visualización numérica y la segunda una unidad de conteo decimal. En lecciones posteriores encontraremos frecuentemente otros circuitos prácticos donde los decodificadores interactúan con contadores, registros, etc.

Sistema de visualización numérica con memoria

El circuito de la figura 213 presenta en un *display* de siete segmentos el número (0, 1, 2, etc.) asociado a la tecla pulsada y lo mantiene visualizado hasta que se pulse una nueva tecla. Si se accionan dos o más teclas al mismo tiempo, sólo se visualiza el número de la tecla mayor.

Cuando se pulsa la tecla número 3, por ejemplo, la entrada D3 (pin 13) del codificador 4532 (IC1) recibe un nivel **alto** y en las salidas Q2, Q1 y Q0 (pines 6, 7 y 9) se refleja el código **011**, el cual identifica la línea activada. Al mismo tiempo, la salida

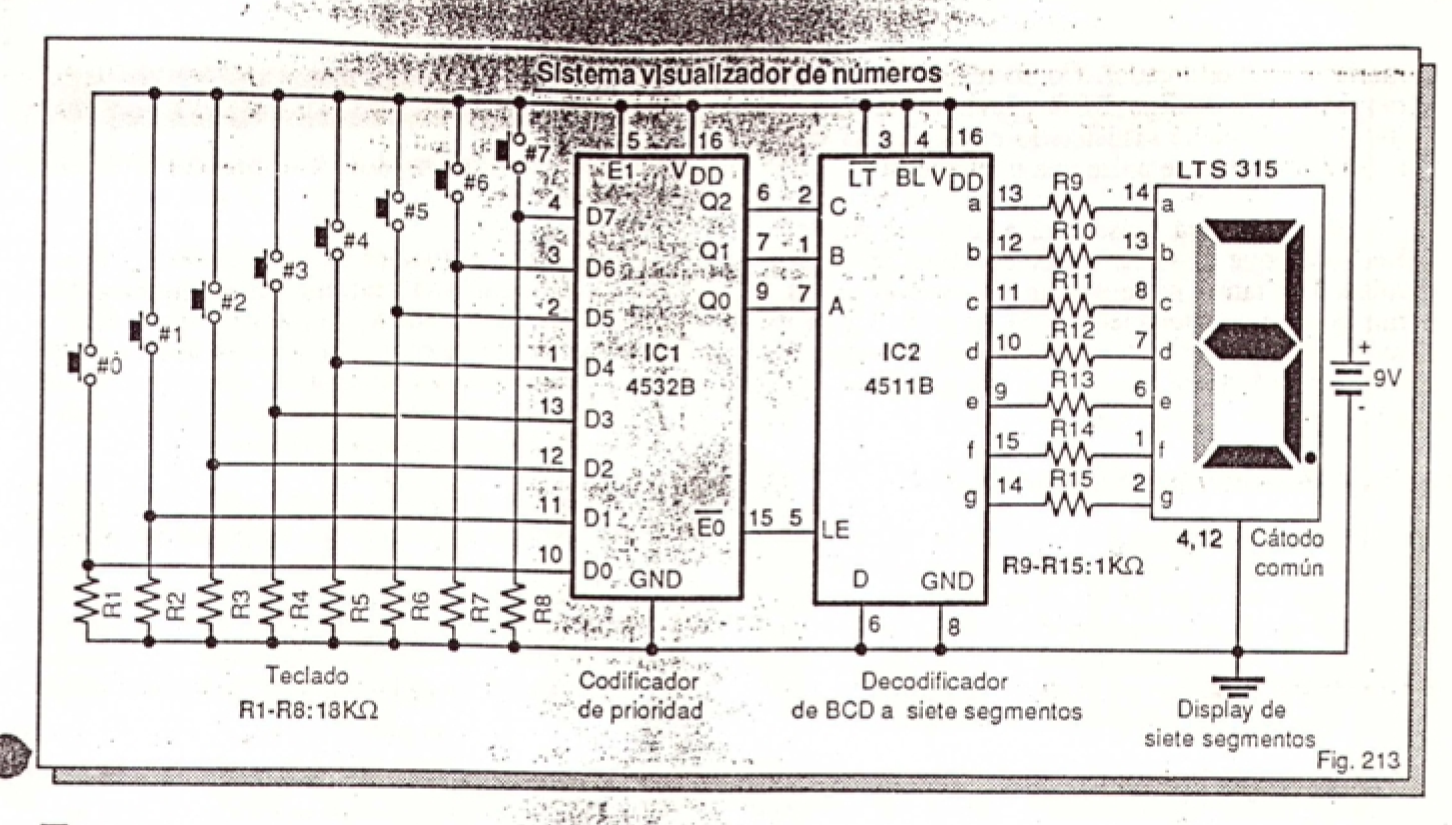


Fig. 213

$\overline{E0}$ (pin 15) se hace **baja** y aplica este nivel **bajo** a la entrada LE (pin 5) del decodificador 4511B (IC2).

Con la línea LE **baja**, el decodificador reconoce el código BCD **0011** aplicado a sus entradas D, C, B y A (pines 6, 2, 1 y 7) y produce en sus salidas a, b, d, e, f y g (pines 9 al 14) el código **1111001**. Este código excita los segmentos *a, b, c, d* y *g* del *display* y se visualiza el número 3, que es precisamente el número de la tecla pulsada.

Cuando la tecla número 3 se libera, el código **0011** desaparece de las salidas del codificador pero su salida $\overline{E0}$ se hace **alta** y habilita el *latch* o me-

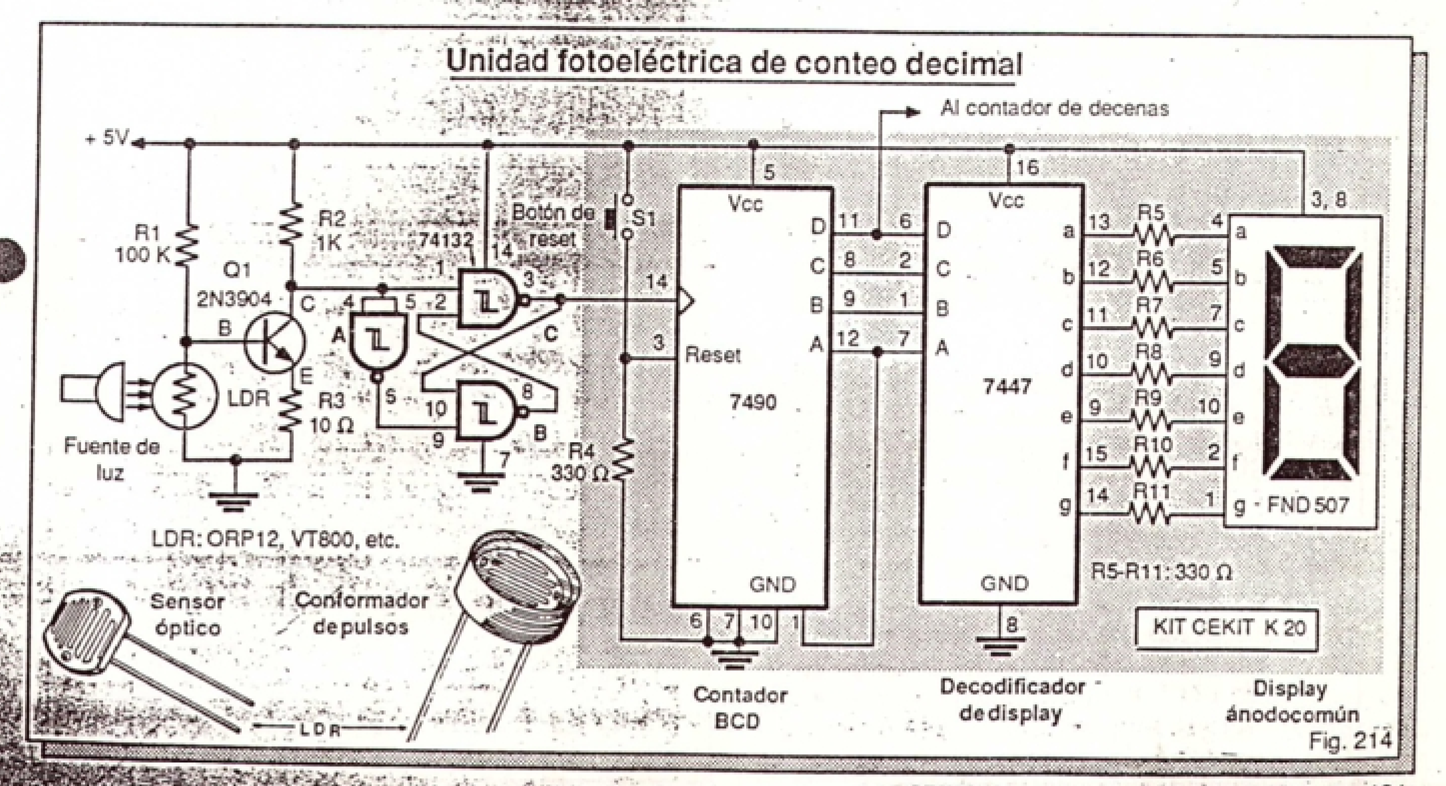


Fig. 214

moria del decodificador. Como resultado, este último retiene el código BCD previamente aplicado (0011) y mantiene visualizado en el *display* el número 3 hasta que se pulse una nueva tecla.

Con cada nueva pulsación, el proceso se repite. Recuerde que el 4532 es un codificador de prioridad. Por tanto, si se pulsan dos o más teclas al mismo tiempo, por ejemplo la número 3 y la número 6, sólo se produce la decodificación y visualización de la tecla de más alto orden (la número 6, en este caso).

Unidad fotoeléctrica de conteo decimal

El circuito de la figura 214 registra en un *display* de siete segmentos el número de veces que un objeto interrumpe un rayo de luz. Consta de un sensor óptico, un *latch* conformador de pulsos, un contador de pulsos, un decodificador y un *display*. Con dos unidades similares se pueden contar hasta 99 objetos, con tres hasta 999 y así sucesivamente.

El sistema utiliza como sensor de objetos una *fotocelda* o LDR. Normalmente, una LDR (*light dependent resistor:* resistencia dependiente de la luz) presenta una resistencia muy alta (por ejemplo, 10 MΩ) en la oscuridad y una resistencia muy baja (por ejemplo, 1 KΩ) en presencia de luz brillante.

El transistor Q1 actúa como un interruptor activado por luz. En condiciones normales, la fuente ilumina plenamente la LDR y el transistor no conduce, aplicando un nivel **alto** a las entradas de las compuertas *Schmitt-trigger* IC1A e IC1C. La salida de esta última compuerta envía, como respuesta, un nivel **bajo** a la entrada (pin 14) del contador IC2.

Cuando se interpone un objeto entre el rayo de luz y la LDR, el transistor conduce, su salida se hace **baja** y la compuerta IC1C envía un **alto** a la entrada del contador. Este último interpreta la transición de **bajo** a **alto** como un *pulso* y lo cuenta, suministrando en sus salidas DCBA el código BCD correspondiente al estado de la cuenta.

Para el primer pulso, DCBA=**0001** y se visualiza en el *display* el número 1; para el segundo pulso DCBA=**0010** y se visualiza el número 2, etc. Cuando la cuenta llega a 9 (**1001**), el contador la reinicia en **0000** (0) y la salida D se hace **baja**. Conectando esta última a la entrada de pulsos de una unidad similar se pueden contar hasta 99 pulsos.

El pulso producido por el transistor como consecuencia de la interposición de un objeto opaco entre la lámpara y la LDR no es limpio sino que presenta ruido y es, además, muy lento. El circuito formado por las compuertas A, B y C mejora la inmunidad al ruido y la velocidad de respuesta del sistema.

ACTIVIDAD PRACTICA Nº 8

Construcción del módulo 2. 4 interruptores lógicos. Primera parte

El módulo 2 de nuestro entrenador digital es un juego de cuatro (4) interruptores independientes, cada uno de los cuales suministra un nivel **alto** o **bajo** a la entrada de cualquier circuito digital. En la figura A11 se muestran el diagrama esquemático, el circuito impreso a tamaño natural y la guía de localización de componentes del mismo.

Todos los interruptores son del tipo spdt (1 polo, 2 tiros). Los contactos de los *polos* están conectados a las salidas S1 a S4 y los de los *tiros* a las líneas de alimentación +V y GND. En la posición "**1**", cada interruptor (S1, S2, S3 ó S4) suministra un nivel **alto** de voltaje igual al valor de la fuente de alimentación (+V) y en la posición "**0**" un nivel **bajo** de 0 V.

En las siguientes actividades suministraremos las instrucciones de ensamble paso a paso de este módulo. Una vez armado, lo utilizaremos en todos los experimentos y proyectos que lo requieran. Como vimos en la lección 8, el uso de interruptores es una de las formas más comunes y prácticas de entrar información en un sistema digital.

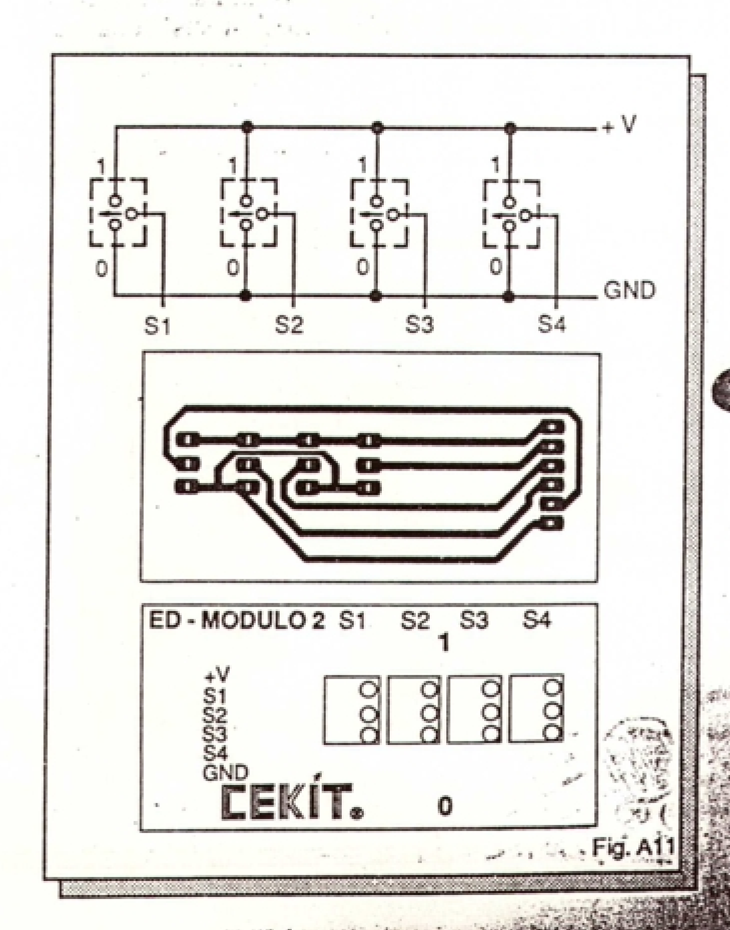


Fig. A11

Multiplexores o selectores de datos

- *Introducción*
- *Qué es un multiplexor*
- *Multiplexores integrados de mediana escala*
- *Multiplexores de 2 canales. El CI 74LS157*
- *Experimento 14. Operación de un multiplexor*
- *Multiplexores de 4 canales. El CI 74LS153*
- *Multiplexores de 8 canales. El CI 4512*
- *Multiplexores de 16 canales. El CI 74150*
- *Circuitos de aplicación.*
- *Actividad práctica Nº 9.*

Introducción

Los multiplexores o selectores de datos son circuitos combinatorios que seleccionan una de varias líneas de entrada posibles y dirigen el dato situado en esa línea (un **1** ó un **0**) a una línea única de salida. En este sentido, un multiplexor opera en forma análoga a un interruptor de varias posiciones.

Los multiplexores se emplean en sistemas de trasmisión de datos, secuenciadores de eventos, generadores de funciones lógicas y otras aplicaciones. En esta lección estudiaremos sus aspectos básicos, haciendo especial énfasis en la descripción de los multiplexores MSI más comunes y la forma de utilizarlos en proyectos sencillos.

Qué es un multiplexor

Un *multiplexor* (MUX) o selector de datos (figura 215) es un circuito lógico combinatorio con un cierto número de líneas de entrada (M), un cierto número de líneas de *selección* (N) y una línea única de salida (Y) que dirige o enruta una información desde una de las entradas hasta la salida de acuerdo al código presente en sus líneas de selección.

Por ejemplo, si se aplica el código $S_2S_1S_0$=**011** a las líneas de selección del MUX de la figura 215A, en la salida Y aparecerá la información presente en la entrada D_3; si aplicamos el código **110** se reflejará el dato de la línea D_6 y así sucesivamente. La información de entrada puede ser un **1**, un **0**, un tren de pulsos o una señal digital cualquiera.

Las líneas de entrada de un multiplexor se denominan comúnmente *canales*. Existen multiplexores de 2, 4 , 8, 16 y más canales. En general, con N líneas de selección es posible manejar o *direccionar* hasta $M=2^N$ canales. Por ejemplo, si N=4, entonces $M=2^4=2x2x2x2=16$ canales.

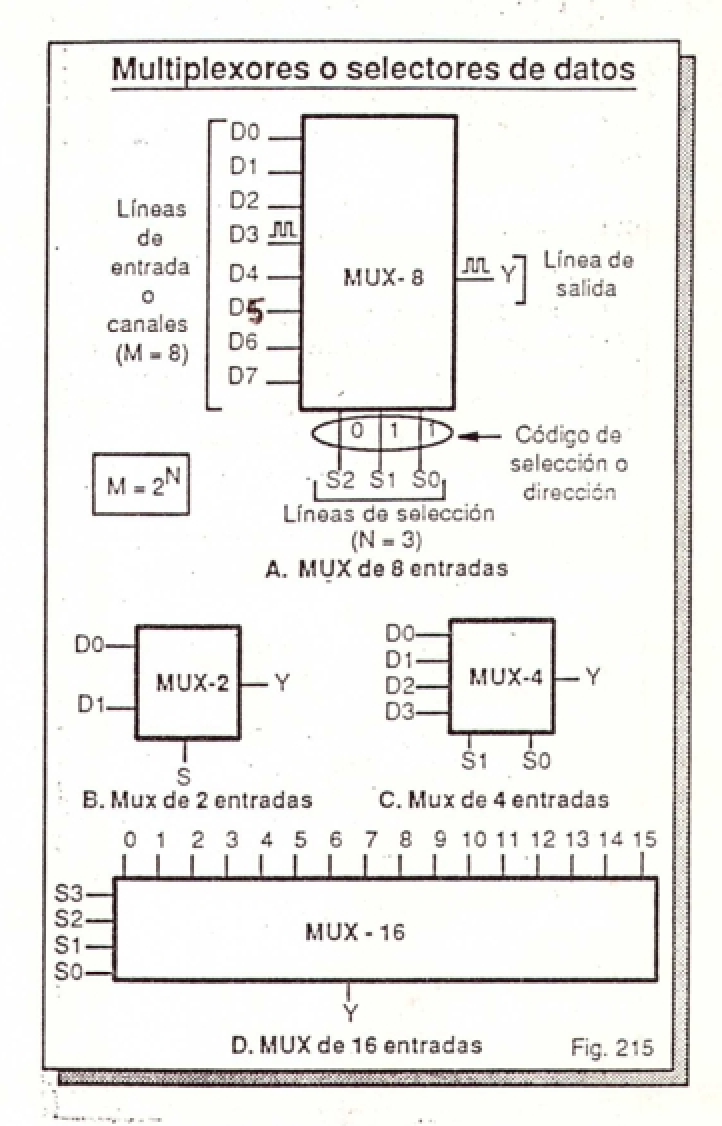


Fig. 215

La operación de un multiplexor es similar a la de un interruptor de varias posiciones. Este concepto se ilustra en la figura 216 con el equivalente electromecánico de un MUX de 4 canales. Dependiendo de la posición del eje, el terminal de salida se conecta con cualquiera de los terminales de entrada y trasfiere la información presente en ese punto.

Un multiplexor, como cualquier otro circuito digital, se puede implementar utilizando compuertas de pequeña escala (SSI). En la figura 217, por ejemplo, se muestra la tabla de verdad, la ecuación de diseño y el circuito lógico de un MUX SSI de 2 canales realizado con compuertas AND, OR y NOT.

A medida que aumenta el número de entradas o se introducen características adicionales (líneas de ha-

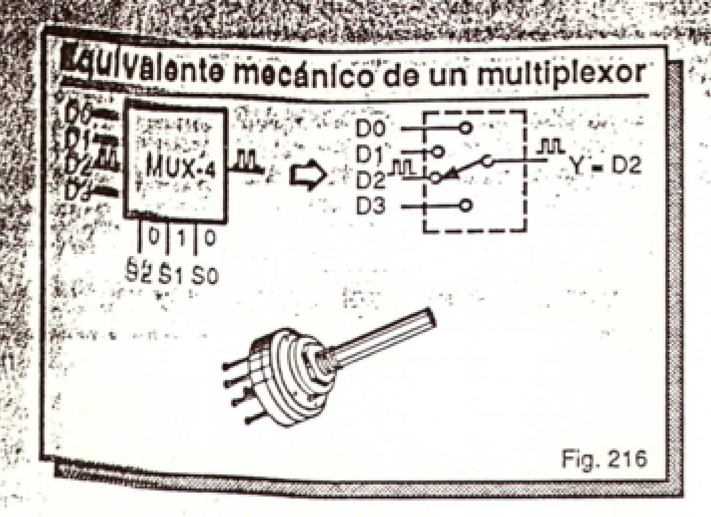
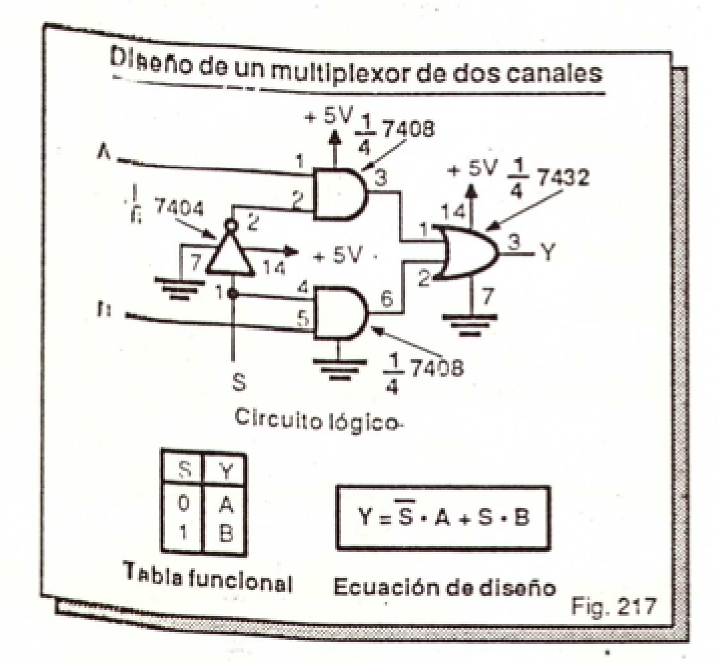


Fig. 216

bilitación, por ejemplo), los multiplexores SSI se tornan cada vez más complejos de diseñar. Por esta razón, en la mayoría de los casos, se prefiere utilizar circuitos integrados de mediana escala (MSI) diseñados específicamente para esta función.



S	Y
0	A
1	B

Tabla funcional

$$Y = \overline{S} \cdot A + S \cdot B$$

Ecuación de diseño

Fig. 217

En estos últimos, como sucede también con los demás circuitos integrados MSI, toda la labor de diseño y de interconexión de compuertas ya ha sido realizada por el fabricante. Utilizando multiplexores MSI usted ahorra tiempo, espacio, dinero y esfuerzo y adquiere confiabilidad, modularidad, versatilidad, ahorro de potencia y otras ventajas.

Multiplexores integrados de mediana escala (MSI)

En las siguientes secciones estudiaremos los principales multiplexores digitales disponibles como circuitos integrados de mediana escala (MSI). Como veremos, varios de estos dispositivos, además de su función básica (enrutar una de varias entradas hacia una salida seleccionada digitalmente) proveen otras funciones auxiliares, entre ellas:

a) Permitir o inhibir digitalmente la selección de datos. Esta característica es propia de multiplexores con línea de habilitación como el 74LS157. En el estado de inhibición, todas las salidas son altas o bajas, dependiendo del diseño, y el estado de las entradas es intrascendente.

b) Mantener en la salida la última entrada seleccionada, incluso después de cambiar el código de selección original. Esta característica de memoria es propia de los multiplexores tipo *latch* (con almacenamiento) como el 74LS298.

c) Producir en la línea de salida la misma información de entrada seleccionada o su complemento o ambas al mismo tiempo. Esta última característica es propia de multiplexores de dos salidas como el 74LS151.

d) Situar las salidas en estado de alta impedancia (Hi-Z) de acuerdo al estado de una línea de control especial destinada para este propósito. Esta característica es propia de los multiplexores *tri-state* como el 4512.

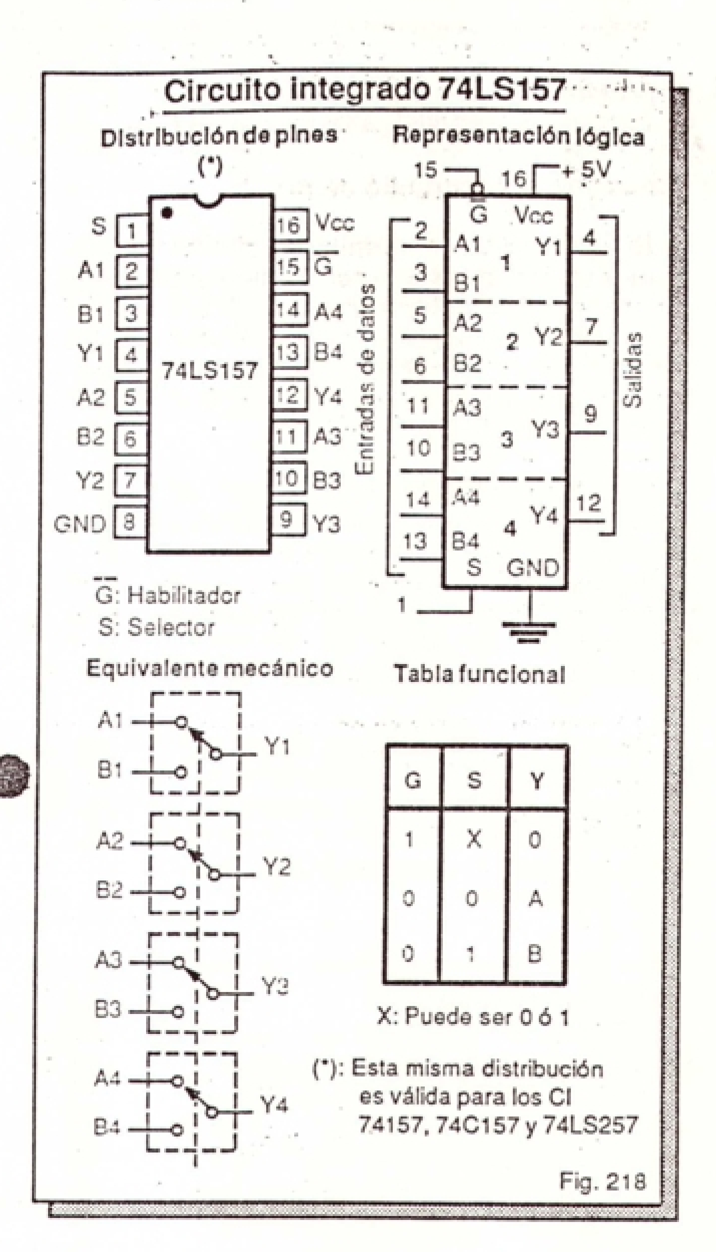
Multiplexores de dos canales. El circuito integrado 74LS157

El 74LS157 (figura 218) es un dispositivo TTL que incorpora, en una misma cápsula de 16 pines, cuatro multiplexores de dos entradas controlados por una misma línea de selección. La tensión de alimentación (5V) se aplica entre los pines 16 (Vcc) y 8 (GND). Opera de manera análoga a un interruptor 4PDT (4 polos, 2 posiciones).

Cada selector de datos consta de dos entradas (A y B) y una salida (Y). Para el primer MUX, por ejemplo, las entradas son A1 (pin 2) y B1 (pin 3) y la salida es Y1 (pin 4); para el segundo, estas líneas son, en su orden, A2 (pin 5), B2 (pin 6) y Y2 (pin 7), y así sucesivamente.

La entrada de selección, común a todos los canales, es la línea S (pin 1). Cuando S=0, a la salida Y1 se transfiere el dato presente en la entrada A1 y cuando S=1, se trasfiere a la misma el dato de la entrada B1. Del mismo modo operan las otras secciones.

Por ejemplo, si se aplica un alto a la entrada A3 (pin 11) y un tren de pulsos a la entrada B3 (pin 10), la salida Y3 (pin 9) será un nivel alto (el mismo dato de A3) cuando S sea baja (0) y un tren de pulsos (la misma información de B3) cuando S sea **alta (1)**. Una vez seleccionada A3 ó B3, el estado de la otra entrada es intrascendente.



G	S	Y
1	X	0
0	0	A
0	1	B

Fig. 218

Además de trasmitir datos en forma individual, las cuatro secciones del 74LS157 se pueden utilizar para seleccionar conjuntamente códigos o *palabras* digitales. Esta es una de sus aplicaciones más importantes.

Por ejemplo, si en las entradas A aplicamos el código hexadecimal A1A2A3A4=1001 (9) y en las entradas B el código B1B2B3B4=0010 (2), a las salidas Y se trasferirá el código Y1Y2Y3Y4= **1001** (el mismo de las entradas A) cuando S sea **0** y el código Y1Y2Y3Y4 = **0010** (el mismo de las entradas B) cuando S sea **1**.

El 74LS157 posee también una línea general de habilitación $\overline{G}$ (pin 15) activa en **bajo**. Cuando $\overline{G}$=0, el dispositivo opera tal como se ha descrito y enruta cada entrada seleccionada. Cuando $\overline{G}$=1, todas las salidas Y se hacen bajas, sin importar el estado de las entradas A y B y de la línea de selección S.

Las versiones TTL y CMOS del **74LS157** son el **74157** y el **74C157**. Otros multiplexores de dos canales son los circuitos integrados **74158, 74LS158, 74LS257, 74LS258, 74LS298, 8234** y **8235** (figura 219). Todos poseen 4 selectores de datos de dos entradas en una misma cápsula de 16 pines.

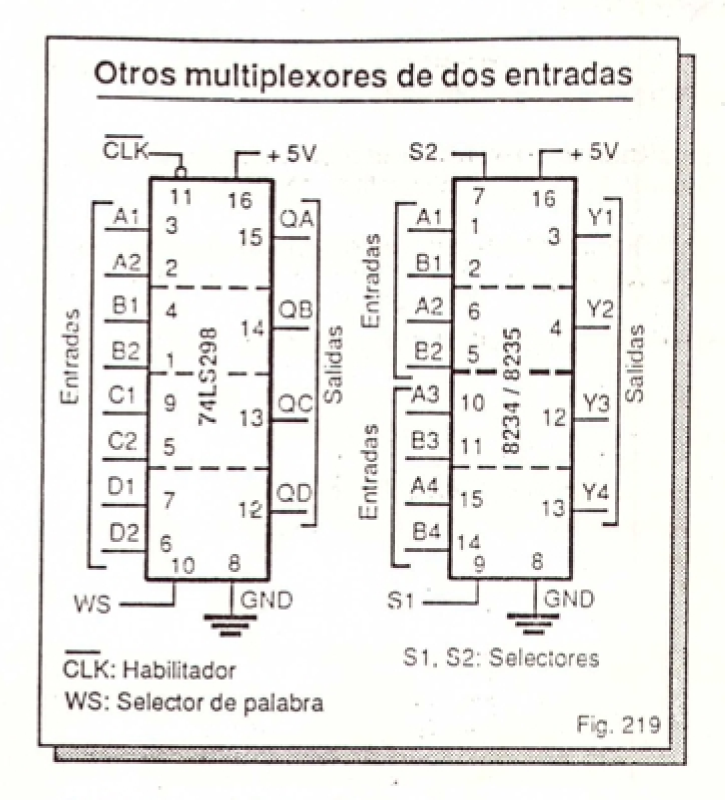


Fig. 219

El 74158 y el 74LS158 son funcionalmente idénticos al 74157 y al 74LS157 y tienen la misma distribución de pines. La única diferencia radica en que trasfieren a las salidas los complementos de las señales de entrada seleccionadas.

El 74LS257 y el 74LS258 son las versiones *tri-state* del 74LS157 y del 74LS158, respectivamente. El 74LS298 posee una entrada de reloj (CLK, pin 11) que cuando se activa, en bajo, permite que el dispositivo retenga en las salidas el último grupo de cuatro *bits* seleccionado.

El 8234 posee dos líneas de selección independientes: la primera (S1, pin 9) controla los canales superiores (3 y 4) mientras la segunda (S2, pin 7) controla los inferiores (1 y 2). El 8235 es funcionalmente idéntico al 8234 pero sus salidas son de colector abierto, es decir requieren de resistencias de *pull-up* para desarrollar su lógica normal.

En el siguiente experimento comprobaremos en la práctica como trabaja el circuito integrado 74LS157 y comenzaremos a utilizar formalmente interruptores lógicos para suministrar niveles altos y bajos a las entradas de un circuito digital.

EXPERIMENTO 14

Operación de un multiplexor de dos canales

Objetivos

- Verificar experimentalmente la operación de un multiplexor de dos entradas.

- Familiarizarse con el uso de interruptores lógicos como dispositivos de entrada de datos.

- Familiarizarse con la manipulación práctica de códigos digitales.

Materiales y herramientas necesarios

1 circuito integrado 74157 ó 74LS157. IC1.
2 *dipswitch* de 4 posiciones. (SA, SB).
1 módulo ED-1. (D1-D4).
8 resistencias de 1 KΩ, 1/4 W. (R1-R8).
1 fuente de 5V, 1A (*kit* CEKIT K11 o similar) con conectores.
1 *protoboard*.
Puentes de alambre telefónico # 22 ó # 24.

Descripción del circuito de prueba

En la figura E24A se muestra el circuito que vamos a utilizar en este experimento para comprobar la operación del selector de datos 74LS157. Utiliza ocho interruptores lógicos (S1-S8) distribuidos en dos grupos (SA y SB) para suministrar la información de entrada y cuatro monitores lógicos (ED-1) para visualizar los datos de salida.

Cada interruptor lógico consiste de un interruptor y una resistencia, conectados como se indica en la figura E25. El primer grupo de interruptores (S1-S4) controla el estado de las entradas A1, A2, A3 y A4 del multiplexor IC1 y el segundo (S5-S8) el de las entradas B1, B2, B3 y B4. El módulo ED-1 monitorea el estado de las salidas Y1, Y2, Y3 y Y4.

Un interruptor particular, por ejemplo S1, suministra un nivel **alto** (1) a la respectiva entrada del multiplexor (A1, en este caso) cuando sus contactos están abiertos (posición OFF), y un nivel **bajo** (0) cuando están cerrados (posición ON).

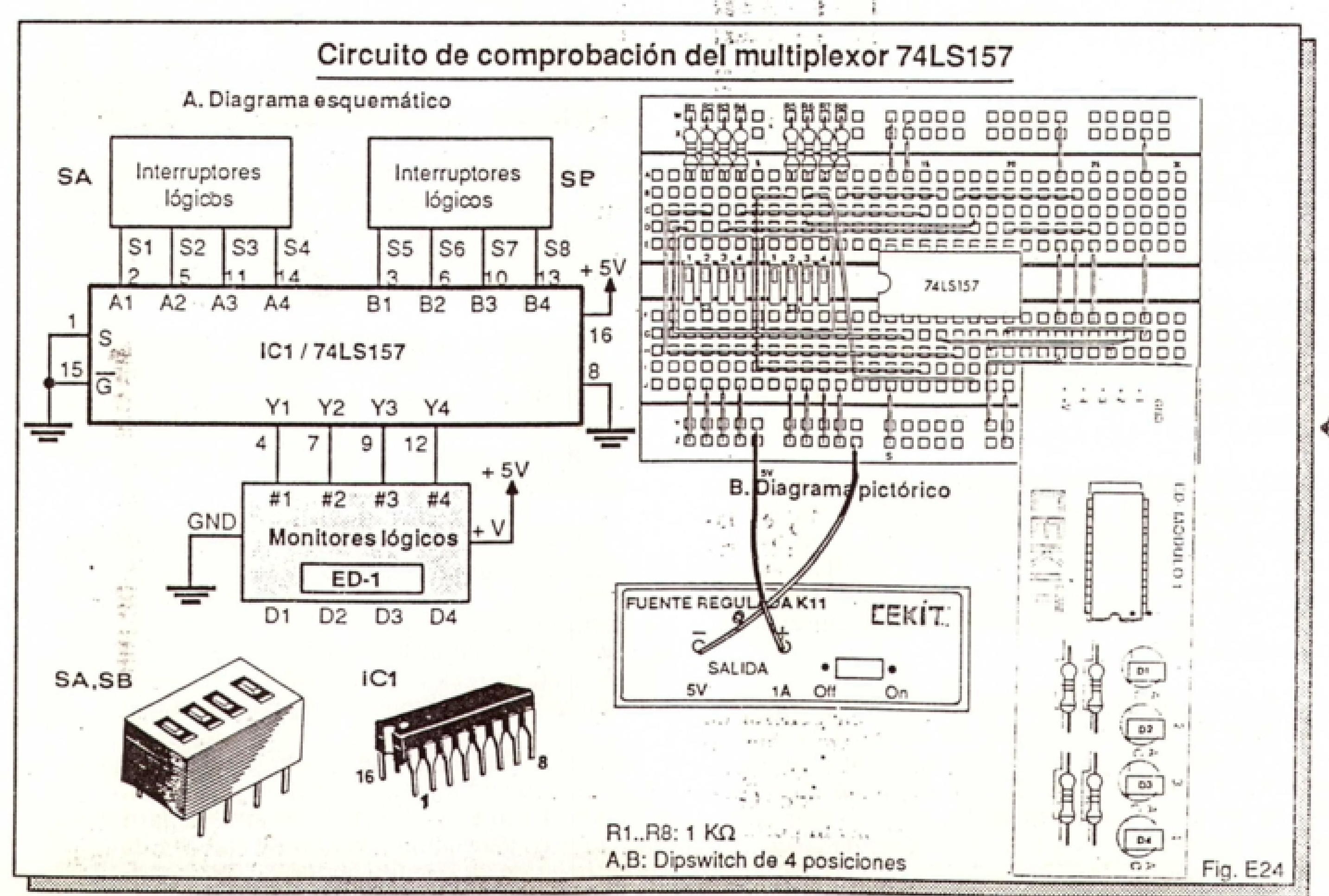
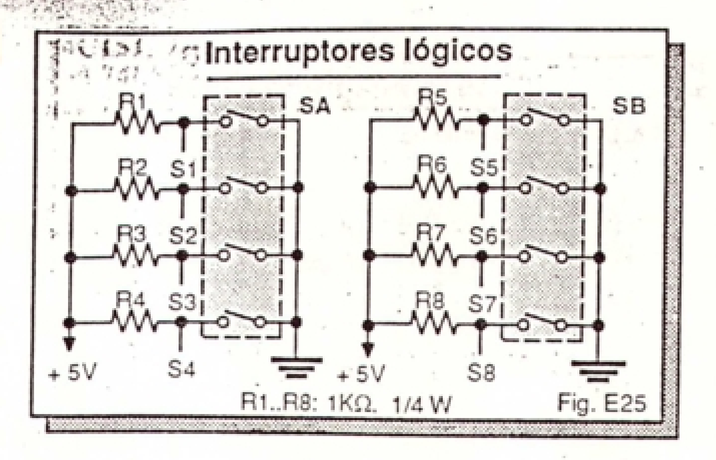


Fig. E24



Cada grupo de interruptores suministra un código de 4 *bits* que se trasfiere a las salidas Y1-Y4 dependiendo del estado de la línea de selección S. La entrada $\overline{G}$ es la línea general de habilitación del sistema. Observe que, inicialmente, las líneas $\overline{G}$ y S están en **bajo** (0).

Nota: Para una información más amplia sobre el uso de interruptores en sistemas digitales, le sugerimos remitirse a la lección 8, páginas 95 a 97.

Procedimiento

Paso 1. Arme el circuito de la figura E24B en su *protoboard*. Inserte con cuidado los *dipswitches* SA y SB, el circuito integrado 74LS157, el módulo ED-1 y las resistencias R1 a R8. Utilice puentes cortos para realizar las distintas conexiones.

Si utiliza resistencias de terminales largos, cuide que éstos no queden haciendo corto entre sí o con componentes cercanos. Antes de encender la fuente, revise bien todas las conexiones, especialmente la polaridad de la fuente.

Sitúe inicialmente los interruptores del *dipswitch* SA en la posición OFF (abiertos) y los del *dipswitch* SB en la posición ON (cerrados). Así, las entradas A1A2A3A4 recibirán el código **1111** (15) y las entradas B1B2B3B4 el código **0000** (0).

Paso 2. Encienda la fuente. Observará que los cuatro LED del módulo ED-1 se encienden, indicando que a las salidas Y1Y2Y3Y4 se está trasfiriendo el código **A=1111**, programado en los interruptores S1S2S3S4. Esto sucede porque la línea selectora S está en **bajo**.

Desconecte la línea S de tierra y conéctela al positivo de la fuente. Observará que los cuatro LED del módulo ED-1 se apagan, indicando que a las salidas Y1Y2Y3Y4 se está trasfiriendo el código B=0000, programado en los interruptores S5, S6, S7 y S8. Esto sucede porque la línea selectora S está en **alto**.

Paso 3. Desconecte la línea S del positivo de la fuente y conéctela a tierra. Programe en el *dipswitch* SA un código cualquiera, por ejemplo, **1010** (S1 y S3 en OFF; S2 y S4 en ON). Observará que los LED D1 y D3 del módulo ED-1 se prenden, mientras los LED D2 y D4 se apagan.

Lo anterior significa que a las salidas Y1Y2Y3Y4 se está transfiriendo el código **1010**, es decir, el mismo que está siendo aplicado a las entradas A1, A2, A3 y A4. Esto sucede porque **S=0**.

Programe otro código cualquiera en el *dipswitch* SB. Observará que el multiplexor ignora este último código y el módulo 1 sigue mostrando el código **1010**, es decir el programado con SA. Esta situación se mantendrá mientras S sea **0**.

Paso 4. Desconecte la línea S de tierra y conéctela al positivo. Programe los *dipswitch* SA y SB con dos códigos diferentes. Observará que siempre se trasfiere a las salidas Y el código aplicado a las entradas B y el multiplexor ignora el código aplicado a las entradas A. Esto sucede porque **S=1**.

Paso 5. Para probar la función de la línea de habilitación, desconecte la entrada $\overline{G}$ de tierra y conéctela al positivo. Observará que los LED del módulo ED-1 se apagan, indicando que todas las salidas del multiplexor son **bajas**.

Repita los pasos 2, 3 y 4 anteriores. Notará que la situación anterior no cambia: las salidas permanecen en **bajo** y el circuito ignora el estado de las líneas de entrada y de selección.

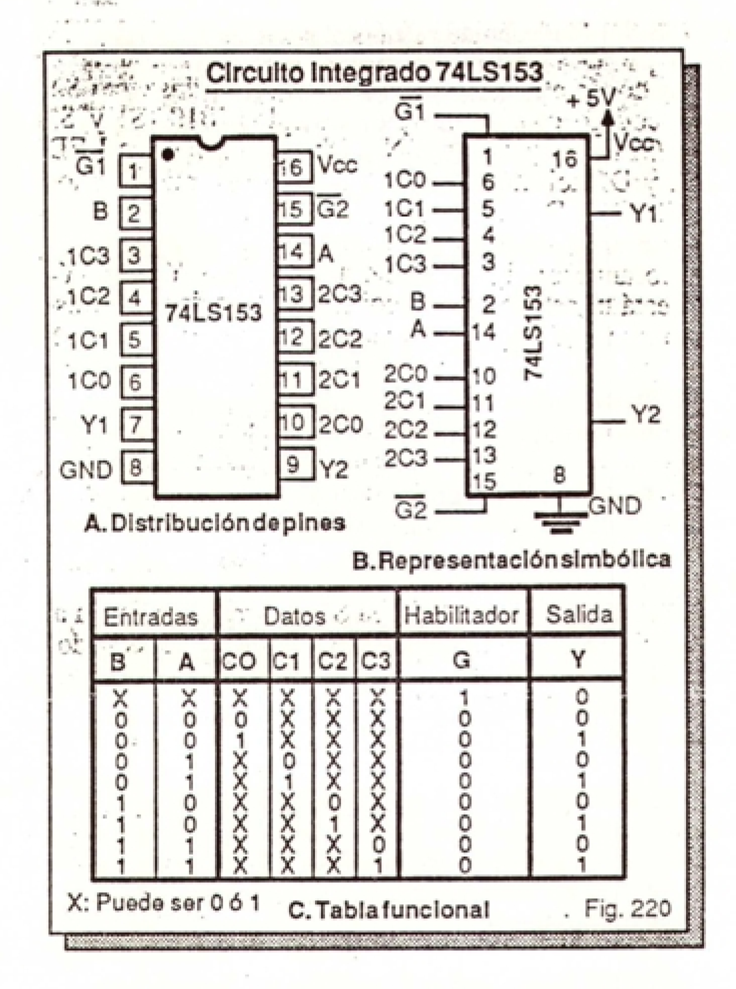
Lo anterior sucede porque la línea de habilitación $\overline{G}$ es de nivel **alto**, es decir está desactivada. Si activamos nuevamente esta línea en **bajo** (conectándola a tierra), el circuito opera en forma normal.

* * *

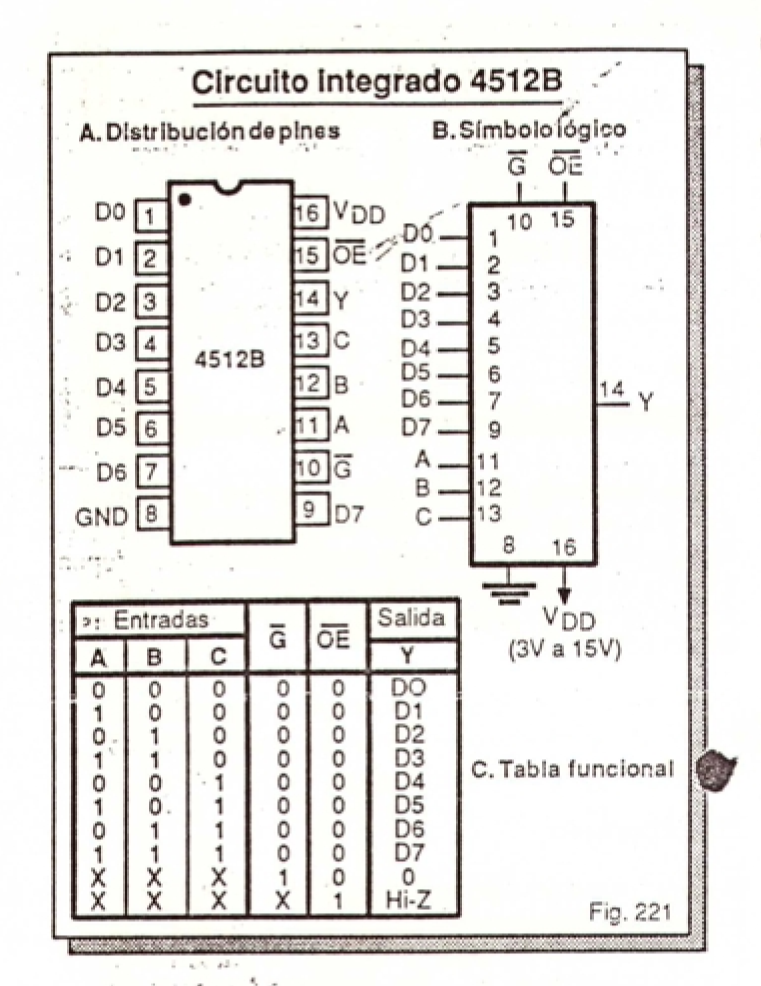
Multiplexores de cuatro canales. El circuito integrado 74LS153

El 74LS153 (figura 220) es un dispositivo TTL que contiene dos multiplexores de cuatro entradas controlados por dos líneas comunes de selección. La tensión de alimentación (5V) se aplica entre los pines 16 (Vcc) y 8 (GND). La versión TTL estándar correspondiente es el circuito integrado **74153** y la versión *tri-state* es el **74LS253**.

Las entradas de selección son las líneas B (pin 2) y A (pin 14). Cuando BA=00, a cada salidas Y pasa el dato de la respectiva entrada C0; cuando BA=01, pasa el de C1; cuando **BA=10** pasa el de C2 y cuando BA=**11** pasa el de C3. Este comportamiento se resume en la tabla de verdad del *chip*.



Entradas		Datos				Habilitador	Salida
B	A	CO	C1	C2	C3	G	Y
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
0	1	X	0	X	X	0	0
0	1	X	1	X	X	0	1
1	0	X	X	0	X	0	0
1	0	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1



Entradas			$\overline{G}$	$\overline{OE}$	Salida
A	B	C			Y
0	0	0	0	0	DO
1	0	0	0	0	D1
0	1	0	0	0	D2
1	1	0	0	0	D3
0	0	1	0	0	D4
1	0	1	0	0	D5
0	1	1	0	0	D6
1	1	1	0	0	D7
X	X	X	1	0	0
X	X	X	X	1	Hi-Z

Por ejemplo, si se aplica un **1** a la entrada 1C2, un tren de pulsos a la entrada 2C2 y se utiliza el código de selección BA=**10**, en la salida Y1 obtendremos un **1** (el mismo dato de 1C2) y en la salida Y2 un tren de pulsos (el mismo dato de 2C2), sin importar el estado de las otras entradas.

El 74LS153 posee también dos entradas de habilitación independientes, $\overline{G1}$ y $\overline{G2}$. La línea $\overline{G1}$ (pin 1) controla el MUX #1 y la línea $\overline{G2}$ (pin 15) el MUX #2. Cuando $\overline{G}$=**0**, el respectivo MUX se habilita y cuando $\overline{G}$=**1** se inhibe.

En el primer caso, el dato seleccionado pasa a la salida. En el segundo, la salida ignora las entradas y permanece siempre en **0** (ó en estado Hi-Z, en el caso del 74LS253).

Multiplexores de 8 canales. El circuito integrado 4512

El 4512 (figura 221) es un dispositivo CMOS de 16 pines que contiene un multiplexor de 8 canales con salida **tri-state**. Lo controlan tres líneas de selección y dos de habilitación. Trabaja con tensiones de alimentación desde 3V hasta 15V.

Las entradas de selección o de direccionamiento son las líneas C (pin 13), B (pin 12) y A (pin 11) y las de datos son las líneas D0 hasta D7 (pines 1 al 9). La línea de salida es Y (pin 14). Dependiendo del código aplicado a las líneas CBA se trasfiere a la salida Y la información de una de las 8 entradas.

Por ejemplo, si CBA=**110** (6, en decimal), en la salida Y se refleja únicamente el dato presente en la línea D6, sin importar el estado de las demás entradas. Del mismo modo, con CBA=**001** seleccionamos la entrada D1; con CBA=**011** seleccionamos la entrada D3 y así sucesivamente.

La función de habilitación la provee la línea $\overline{G}$ (pin 10). Cuando $\overline{G}$=**0**, el dispositivo se habilita y opera como un multiplexor convencional de 8 entradas. Cuando $\overline{G}$=**1**, la función de multiplexaje se inhibe, la salida Y se hace **baja** e ignora el estado de las entradas de datos y de selección.

La función *tri-state* la provee la línea $\overline{OE}$ (pin 15). Cuando $\overline{OE}$=**0**, el dispositivo desarrolla su lógica normal. Cuando $\overline{OE}$=**1**, la salida Y adopta el estado de *alta impedancia* (Hi-Z), sin importar el estado de las entradas de datos, de selección y de habilitación. Las características generales de los dispositivos *tri-state* se analizaron en la lección 6.

Además del 4512, otros multiplexores de 8 canales son los circuitos integrados **74151**, **74LS151**,

74C151, 74251 y 74LS251 (figura 222). El 74251 y el 74LS251 son las versiones *tri-state* del 74151 y del 74LS151, respectivamente. Todos estos *chips* son funcionalmente idénticos.

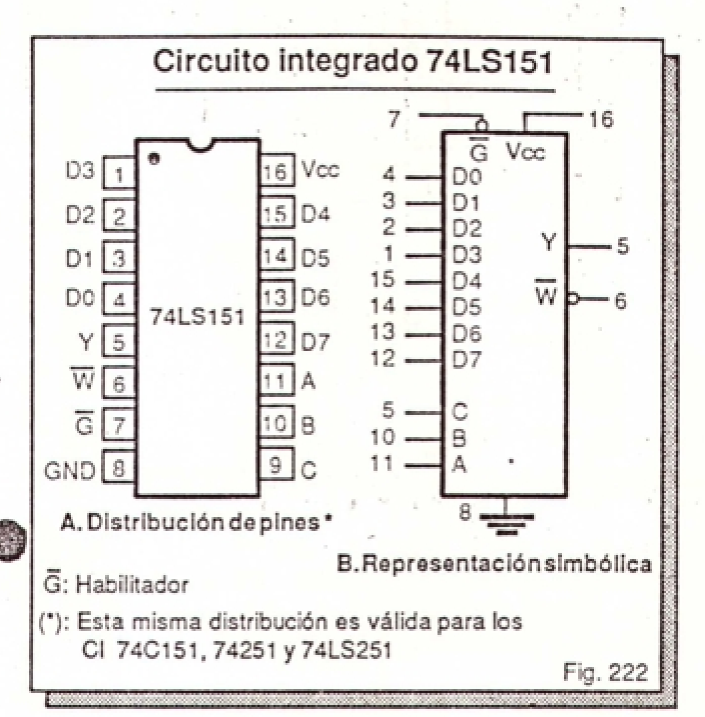


Fig. 222

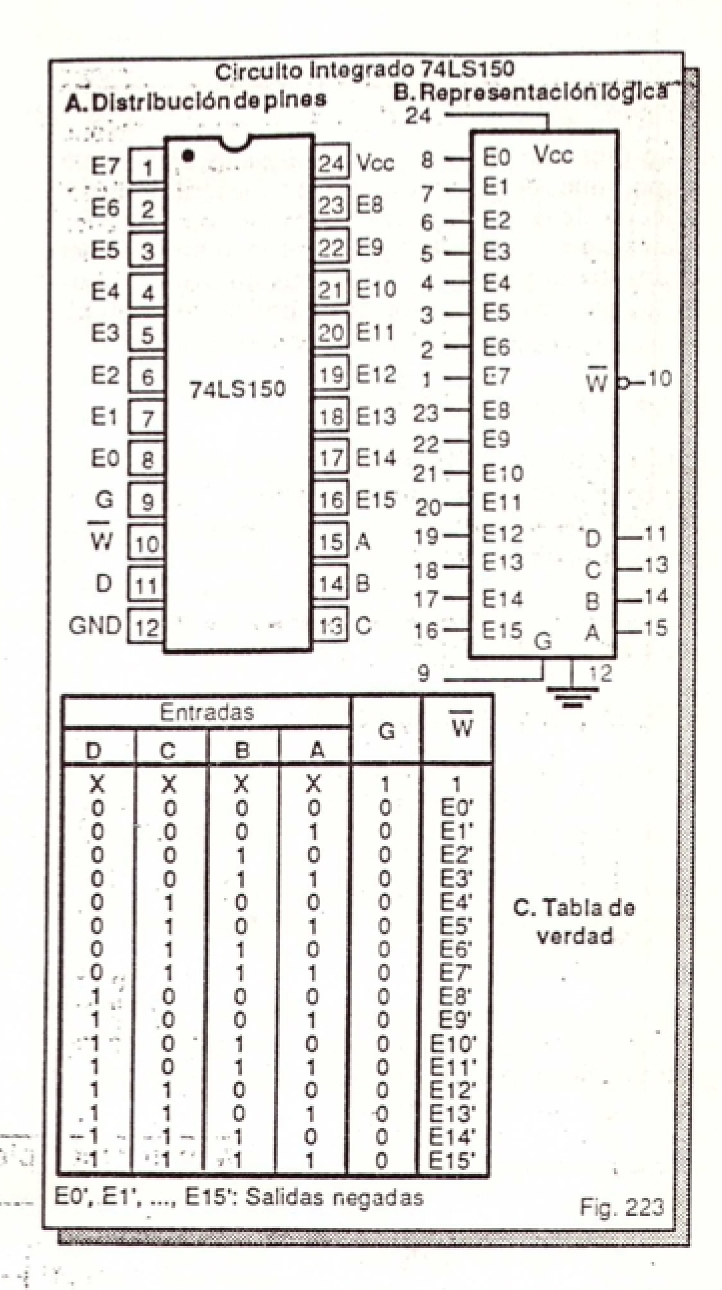
Los multiplexores anteriores poseen dos líneas de salida: Y y W̄. La primera (pin 5) entrega la señal de entrada seleccionada sin inversión y la segunda (pin 6) la suministra invertida. La entrada Ḡ (pin 7), activa en **bajo**, es la línea de habilitación. En los circuitos integrados 74251 y 74LS251, esta última entrada sitúa las salidas en el estado Hi-Z.

Multiplexores de 16 canales. El circuito integrado 74150

El 74150 (figura 223) es un dispositivo TTL de 24 pines que contiene un multiplexor de 16 entradas con salida complementada. Lo controlan cuatro líneas de selección y una de habilitación. Opera a partir de una fuente de alimentación de 5V aplicada entre los pines 24 (Vcc) y tierra (pin 12).

Las entradas de selección son las líneas D, C, B y A, las entradas de datos son las líneas E0 hasta E15, la salida, activa en **bajo**, es la línea W̄ (pin 10) y la entrada de habilitación, activa en **alto**, es la línea G (pin 9).

Con un código de 4 bits (desde **0000** hasta **1111**) en las líneas DCBA seleccionamos una de las 16 líneas de datos. Por ejemplo, si DCBA=1010 (10, en decimal), a la salida W̄ se transfiere, complementada, la información situada en la línea E10. Si **E10=0**, en la salida W̄ aparece un **1** y viceversa.



Entradas D	C	B	A	G	W̄
X	X	X	X	1	1
0	0	0	0	0	E0'
0	0	0	1	0	E1'
0	0	1	0	0	E2'
0	0	1	1	0	E3'
0	1	0	0	0	E4'
0	1	0	1	0	E5'
0	1	1	0	0	E6'
0	1	1	1	0	E7'
1	0	0	0	0	E8'
1	0	0	1	0	E9'
1	0	1	0	0	E10'
1	0	1	1	0	E11'
1	1	0	0	0	E12'
1	1	0	1	0	E13'
1	1	1	0	0	E14'
1	1	1	1	0	E15'

E0', E1', ..., E15': Salidas negadas

Fig. 223

Cuando G=**1**, el 74150 desarrolla su lógica como un MUX de 16 canales. Cuando G=**0**, la salida permanece **alta** e ignora el estado de las entradas de datos y de selección. La versión *tri-state* del 74150 es el circuito integrado **8219** (figura 224). La función *tri-state* la proporciona la línea OE (pin 9), activa en **alto**.

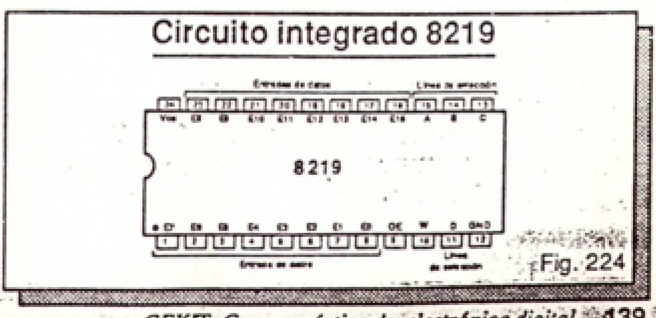


Fig. 224

Circuitos de aplicación

Se presentan a continuación algunas aplicaciones importantes de los multiplexores. Describiremos un selector de datos de 8 *bits* obtenido con dos 74157 y un sistema de visualización que monitorea secuencialmente dos códigos en un mismo *display*. También aprenderemos la forma de utilizar los multiplexores para la realización de operaciones lógicas.

Selector de datos de 8 bits

El circuito de la figura 225 recibe dos palabras de 8 *bits* y dirige cualquiera de ellas a las líneas de salida dependiendo del estado de la línea de selección (S). Con S=**0**, se transfiere la palabra A (A7 A6A5A4A3A2A1A0) y con S=**1** la palabra B (B7B6 B5B4B3B2B1B0). En terminología digital, una palabra de 8 bits se denomina *byte* (léase *báit*).

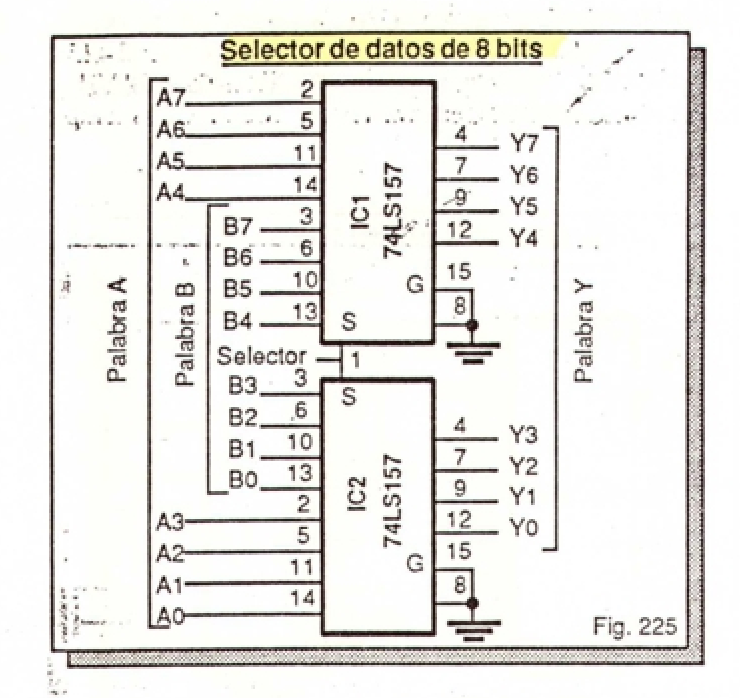


Fig. 225

Monitor multiplexado de eventos

El circuito de la figura 226 (basado en el experimento 14) recibe dos códigos BCD y los visualiza alternativamente en un *display* de siete segmentos a la frecuencia de la señal de reloj (CLK). Para códigos BCD inválidos (**1010** hasta **1111**), el *display* presenta los caracteres especiales propios del decodificador 74LS48.

Cuando la señal de reloj está en **bajo**, el multiplexor 74LS157 selecciona el primer código (D1C1 B1A1) y cuando está en **alto** selecciona el segundo.

El decodificador 74LS48 convierte el código BCD trasmitido a su representación de siete segmentos y lo visualiza en el *display*. Los LED D1 y D2 informan la procedencia del código.

Por ejemplo, si D1C1B1A1=**1001** y D2C2B2 A2=**0111**, el *display* presentará alternativamente los números 9 y 7. En el primer caso, se ilumina el LED D1 y en el segundo el LED D2. La frecuencia o velocidad de esta presentación se controla desde el generador de pulsos.

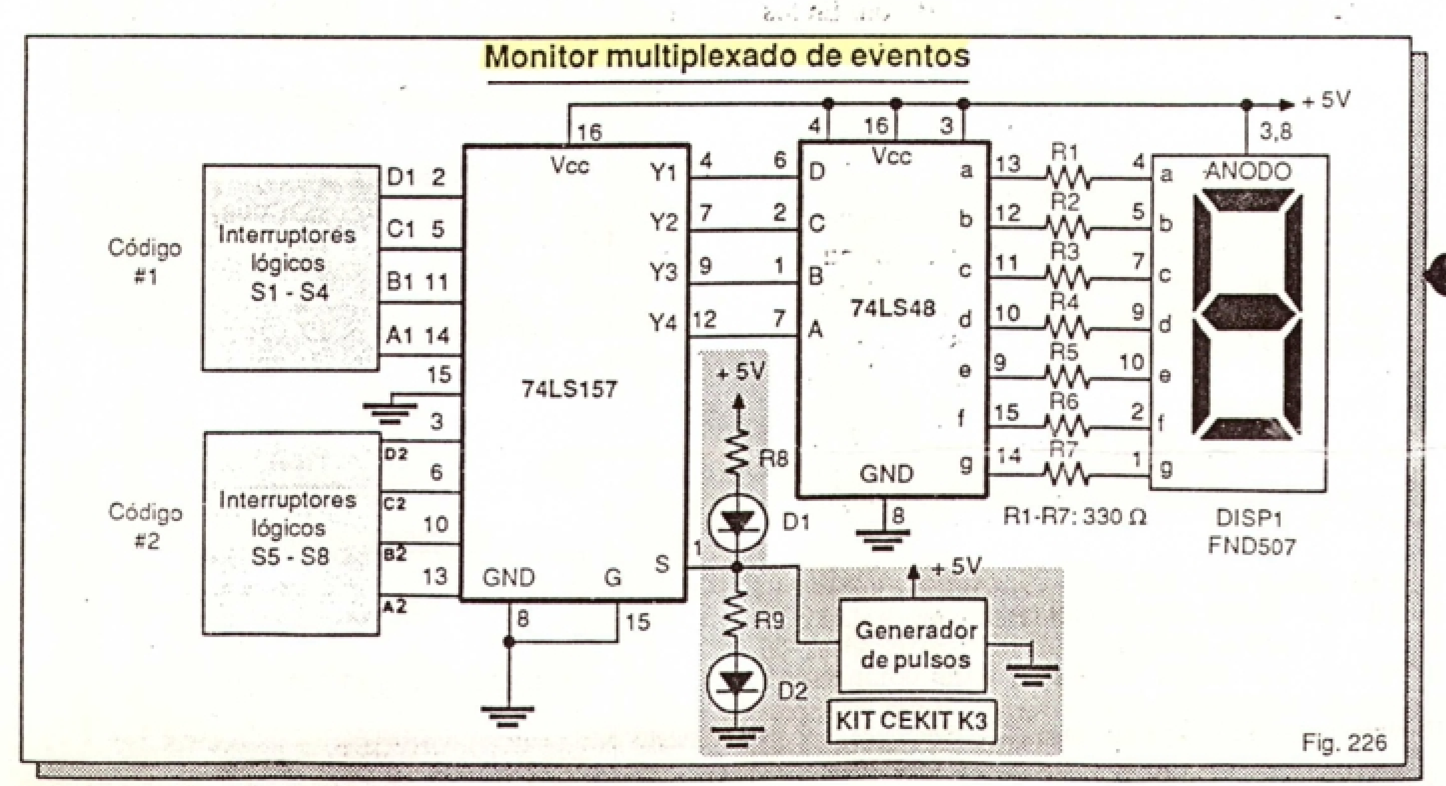
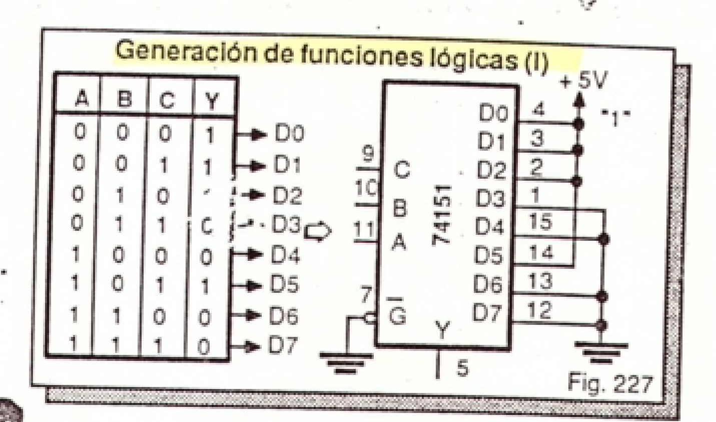


Fig. 226

Una de las aplicaciones más importantes de los multiplexores es como generadores de funciones lógicas. En la figura 227, por ejemplo, se ilustra la forma de implementar directamente una función de 3 variables a partir de una tabla de verdad utilizando un multiplexor de 8 entradas.



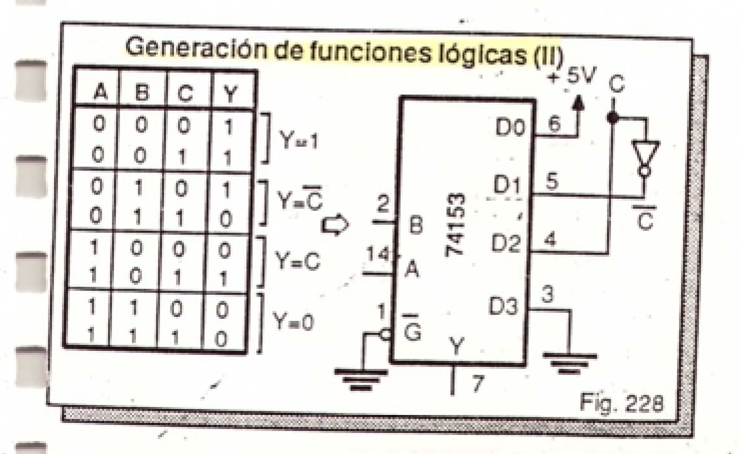
A	B	C	Y	
0	0	0	1	D0
0	0	1	1	D1
0	1	0		D2
0	1	1	C	D3
1	0	0	0	D4
1	0	1	1	D5
1	1	0	0	D6
1	1	1	0	D7

Fig. 227

Las variables de entrada A, B y C se aplican a las respectivas líneas de selección del multiplexor. Cada entrada de este último se fija en **0** ó **1**, dependiendo de la salida requerida para cada combinación de entrada. Por ejemplo, si A=1, B=0 y C=1, la entrada D5 se trasfiere a la salida Y. Puesto que D5=1, entonces Y=1.

La función anterior se puede también realizar con un multiplexor de 4 entradas como el 74LS153. Esta situación se ilustra en la figura 228. En este caso, las variables de entrada se aplican a las líneas de selección A y B. A las entradas del multiplexor se aplica un **0**, un **1**, la variable C o su complemento ($\overline{C}$) dependiendo de la salida deseada.

Por ejemplo, si A=0 y B=1, la entrada D1 se trasfiere a la salida Y. Puesto que D1=$\overline{C}$, entonces Y=$\overline{C}$. De este modo, si C=0, en Y tendremos un **1** y si C=1 en Y tendremos un **0**.



A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Fig. 228

ACTIVIDAD PRACTICA Nº 9

Construcción del módulo 4. Parte 2

En esta actividad instalaremos el interruptor lógico S1 del módulo 2. La función de este componente es suministrar un nivel **alto** o **bajo** de voltaje a la entrada de un circuito digital conectado al terminal S1 (ver figura A11).

Componentes y herramientas necesarios

1 interruptor miniatura tipo spdt. S1.
1 circuito impreso CEKIT EDM-2.
1 cautín de baja potencia (15 a 35 W).
Soldadura de estaño 60/40 (60% de estaño, 40% de plomo).

Procedimiento

Tome el interruptor S1 y obsérvelo cuidadosamente. Notará que posee una palanca deslizante (accionador) en la parte superior y tres contactos metálicos en la inferior (figura A12). Dependiendo de la posición del accionador, el terminal del centro (A) se conecta internamente con cualquiera de los terminales de los extremos (B o C).

Como usted mismo puede verificarlo (con un probador de continuidad o un óhmetro), en la posición **1**, A se conecta internamente con B y en la posición **0**, A se conecta con C. Este efecto se aprovecha en el módulo EDM-2 para producir un nivel **alto** en el primer caso y un nivel **bajo** en el segundo. Todos los interruptores operan de la misma forma.

Instale y suelde el interruptor S1 a la tarjeta de circuito impreso del módulo, como se muestra en la figura A12. Al soldar, siga las recomendaciones de las actividades anteriores. No aplique más calor del absolutamente necesario.

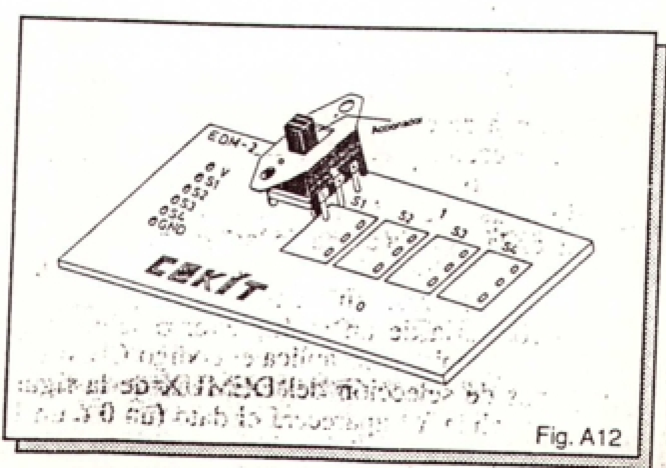


Fig. A12

Demultiplexores o distribuidores de datos

Introducción

Los demultiplexores son circuitos lógicos combinatorios que se utilizan en los sistemas digitales para distribuir datos. Esencialmente, un demultiplexor realiza la función contraria de un multiplexor.

Los multiplexores y demultiplexores tienen muchos usos, más allá de los que implican sus nombres. Por ejemplo, un multiplexor se puede utilizar en lugar de compuertas para diseñar circuitos lógicos a partir de tablas de verdad. Del mismo modo, un demultiplexor se puede también emplear como un decodificador lógico.

En esta lección conoceremos la teoría básica de los demultiplexores o distribuidores de datos y describiremos algunos de los circuitos integrados de mediana escala TTL y CMOS, diseñados específicamente para desarrollar esta función. El estudio de los demultiplexores completa muestro recorrido por el mundo de los circuitos combinatorios MSI.

En electrónica digital existen también multiplexores y demultiplexores de señales análogas. Estos dispositivos, conocidos genéricamente como interruptores bilaterales, se estudian en la lección 38.

Qué es un demultiplexor

Un demultiplexor (DEMUX) o distribuidor de datos (figura 229) es un circuito lógico combinatorio con una línea de entrada (G), un cierto número de líneas de selección (N) y un cierto número de líneas de salida (M) o *vías* que, de acuerdo con un código aplicado a las líneas de selección, trasfiere el dato presente en la entrada a una de las salidas.

En otras palabras, un demultiplexor realiza la función contraria de un multiplexor o selector de datos. Por ejemplo, si se aplica el código CBA=**011** a las líneas de selección del DEMUX de la figura 229, en la salida Y3 aparecerá el dato (un **0** ó un **1**) presente en la entrada G.

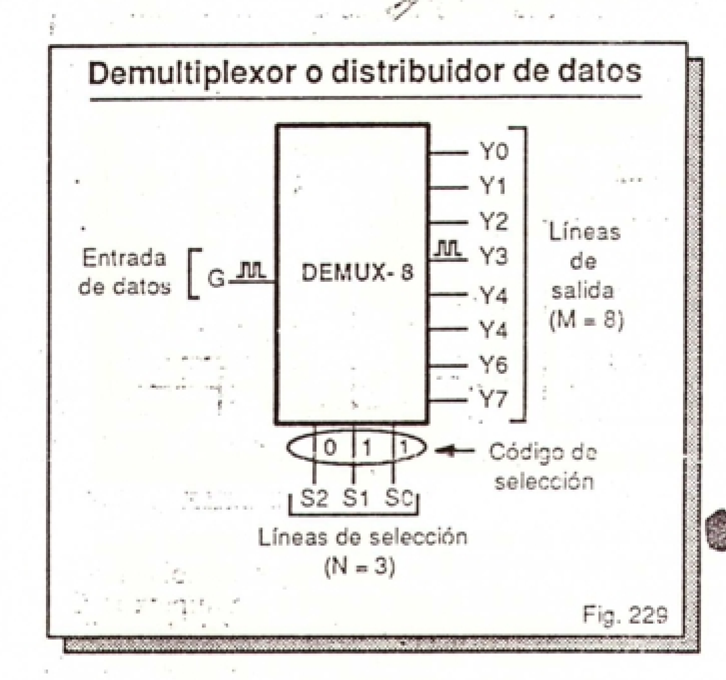


Fig. 229

Un demultiplexor se puede también utilizar como decodificador, enviando la línea de entrada a un nivel **alto** o **bajo**, dependiendo del diseño, y utilizando las líneas de selección para suministrar los códigos de entrada. En la figura 230 se muestra la forma de utilizar el DEMUX anterior como decodificador "1 de 8" con salidas activas en alto.

Del mismo modo, un decodificador puede emplearse como demultiplexor utilizando las entradas de código como líneas de selección y la línea de ha-

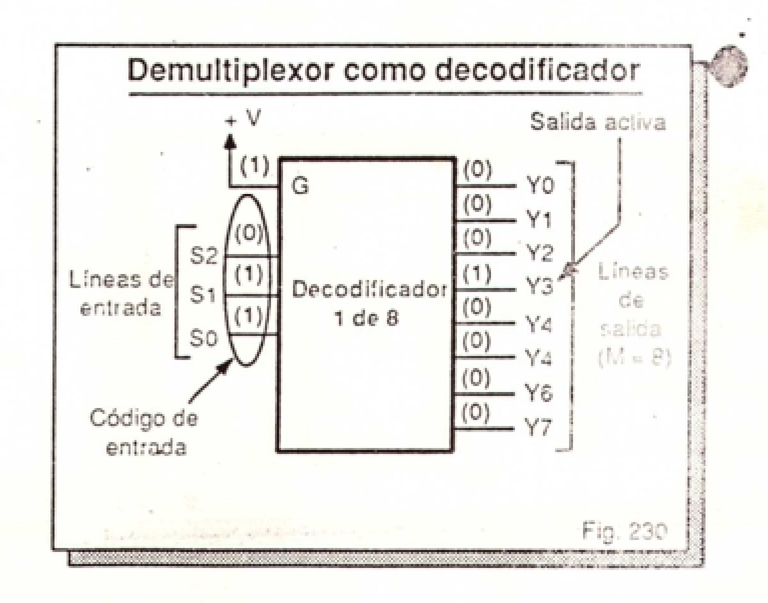
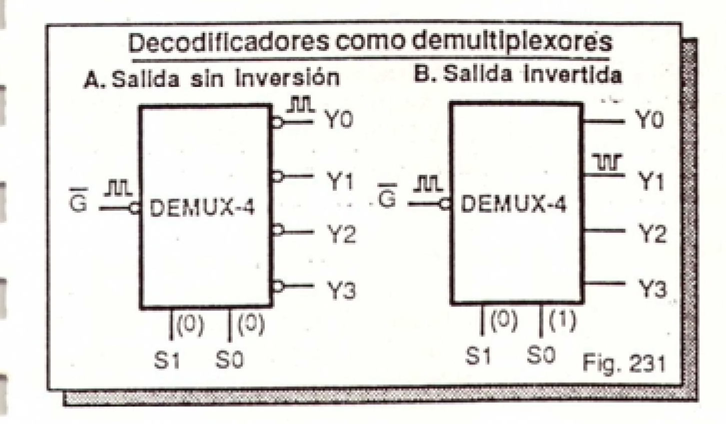


Fig. 230

bilitación como entrada de datos. Esta situación se ilustra en la figura 231.



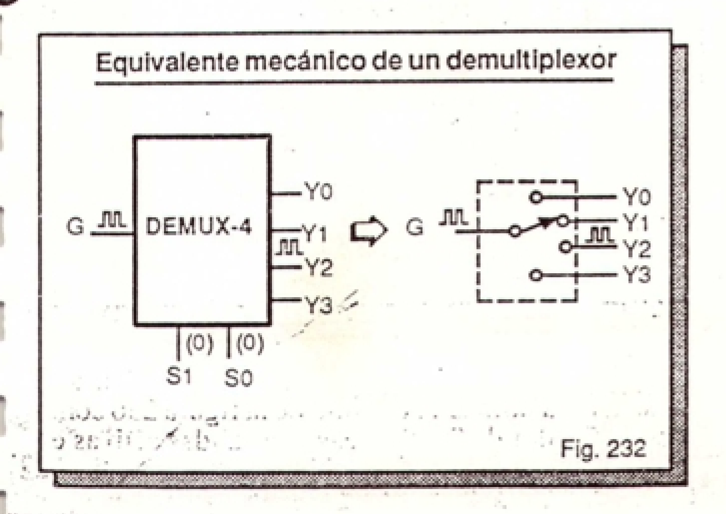
Dependiendo del nivel de actividad, **alto** o **bajo**, las líneas de habilitación y de salida, se presentan los siguientes casos:

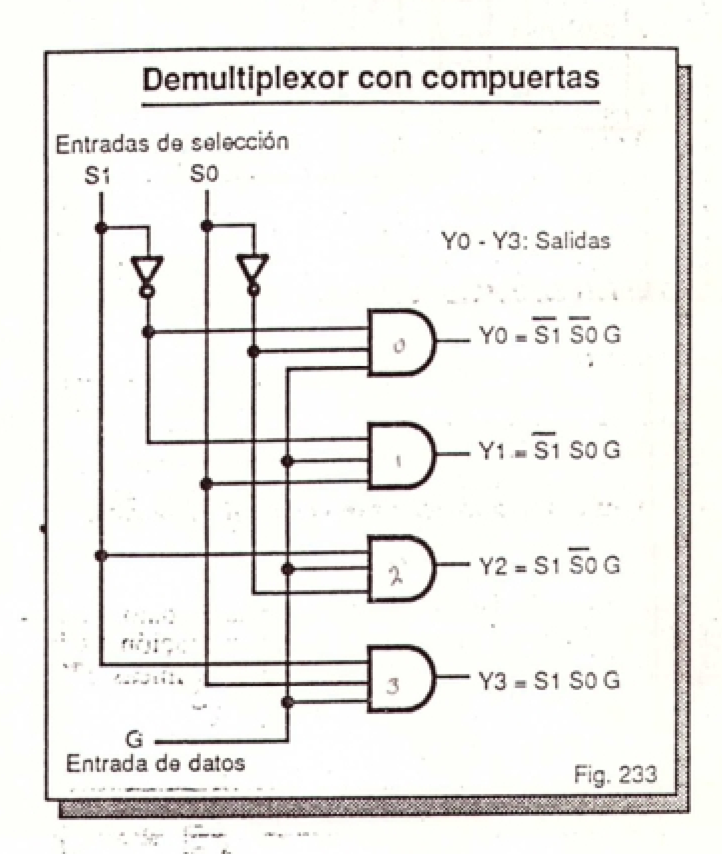
a) Si las líneas de habilitación y de salida son activas en **bajo** o activas en **alto**, la información de entrada se trasfiere a la salida seleccionada sin experimentar inversión. Si se aplica un **0** se trasmite un **0** y si se aplica un **1** se trasmite un **1**.

b) Si la línea de habilitación es activa en **bajo** y las líneas de salida son activas en **alto**, o viceversa, la información de entrada se transfiere complementada a la salida seleccionada. Si se aplica un **0** aparece un **1** y viceversa.

La operación de un demultiplexor es análoga a la de un interruptor rotatorio de varias posiciones (figura 232). Según la posición del eje selector, el terminal común de entrada queda conectado con cualquiera de los terminales de salida.

Los demultiplexores se pueden implementar utilizando compuertas SSI o de pequeña escala. En la figura 233, por ejemplo, se muestra el circuito lógico de un demultiplexor de 4 salidas realizado con compuertas AND y NOT. La entrada G se trasfiere sin inversión a la salida seleccionada.





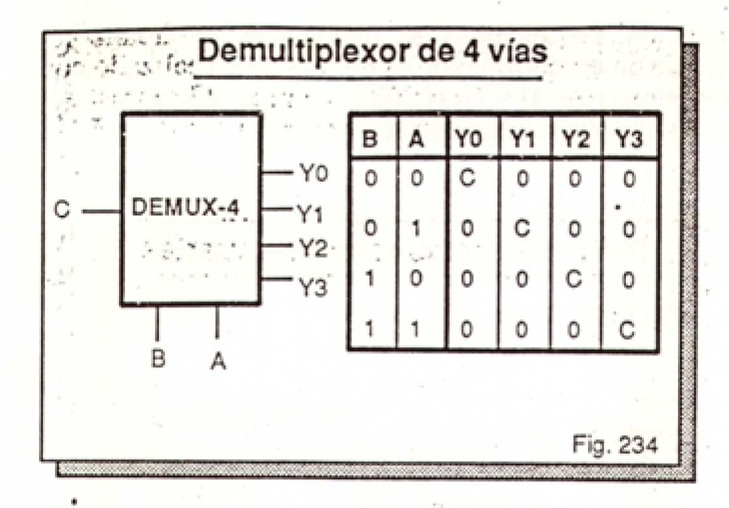
Aunque los demultiplexores SSI son muy sencillos de diseñar, en la mayoría de los casos se prefiere utilizar circuitos integrados de mediana escala (MSI) diseñados específicamente para esta función. En las siguientes secciones se describen algunos de los más representativos dentro de las familias TTL y CMOS.

Demultiplexores de 4 vías. El circuito integrado 74LS155

El demultiplexor de 4 vías básico (figura 234) posee 4 líneas de salida, 2 de selección y una de entrada. Aplicando un código de dos *bits* a las líneas de selección se trasmite el dato de entrada a la salida seleccionada. Por ejemplo, si BA=**00**, el dato de C aparece en la salida Y0, si BA=**01** aparece en la salida Y1, y así sucesivamente.

Un demultiplexor muy popular dentro de esta categoría es el circuito integrado 74LS155 (figura 235). Este dispositivo contiene dos demultiplexores de 1 a 4 líneas en una misma cápsula de 16 pines.

La versión TTL estándar del mismo es el CI 74155. Opera con una tensión de alimentación de +5V, aplicada entre los pines 16 (Vcc) y 8 (GND).



B	A	Y0	Y1	Y2	Y3
0	0	C	0	0	0
0	1	0	C	0	0
1	0	0	0	C	0
1	1	0	0	0	C

Fig. 234

El 74LS155 puede también utilizarse como decodificador de 2 a 4 líneas, como decodificador de 3 a 8 líneas y como demultiplexor de 1 a 8 líneas. Los dos DEMUX comparten las mismas líneas de selección A y B (pines 13 y 3) pero cada uno tiene sus propias líneas de entrada (C), de habilitación (G) y de salida (Y0, Y1, Y2 y Y3).

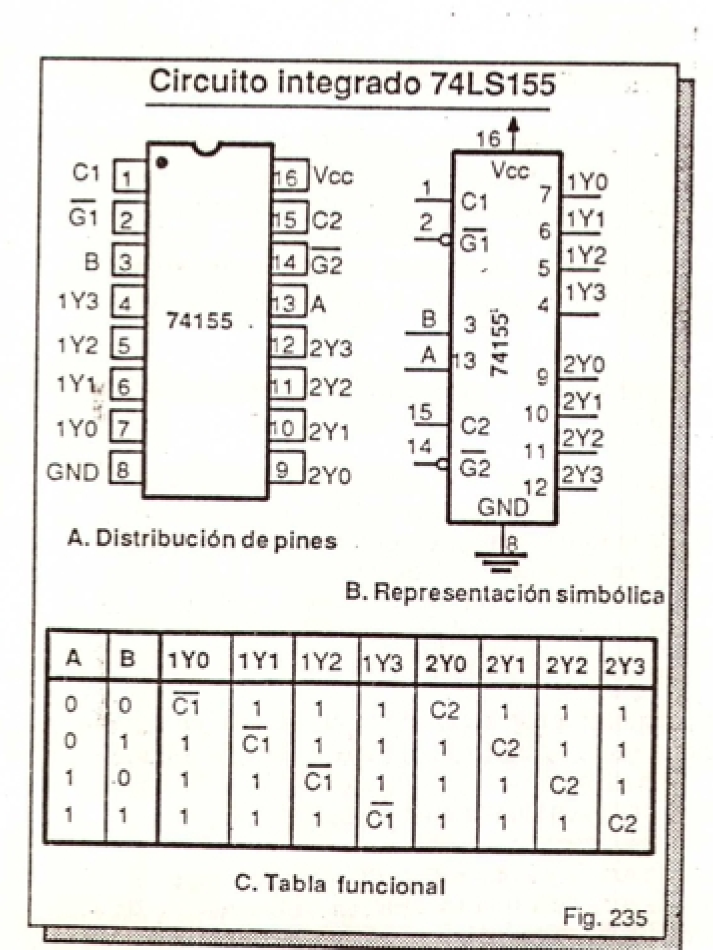
Para el primer DEMUX, la entrada de datos es la línea C1 (pin 1), la entrada de habilitación es la línea $\overline{G1}$ (pin 2) y las salidas son las líneas 1Y0 (pin 7), 1Y1 (pin 6), 1Y2 (pin 5) y 1Y3 (pin 4). El dato de entrada se trasmite invertido a la salida seleccionada mediante las líneas A y B.

Para el segundo DEMUX, la entrada de datos es la línea C2 (pin 15), la entrada de habilitación es la línea $\overline{G2}$ (pin 14) y las salidas son las líneas 2Y0 (pin 9), 2Y1 (pin 10), 2Y2 (pin 11) y 2Y3 (pin 12). El dato de entrada se trasmite sin inversión a la salida seleccionada por A y B.

Por ejemplo, si C1=C2=1 y se aplica el código de selección BA=**11**, en la salida 1Y3 tendremos un **0** (el dato de C1 complementado) y en la salida 2Y3 tendremos un **1** (el mismo dato de C2). Las salidas no seleccionadas permanecen siempre **altas**.

Cuando las entradas de habilitación $\overline{G1}$ ó $\overline{G2}$ son activas, es decir, de nivel **bajo** (0), cada MUX desarrolla su lógica normal. Cuando $\overline{G1}$ ó $\overline{G2}$ son de nivel **alto** (1), la operación del respectivo MUX se inhibe y todas sus salidas se hacen bajas (0), ignorando el dato aplicado a la línea C y el estado de las líneas de selección A y B.

En la figura 236 se ilustra la forma de utilizar el 74LS155 como demultiplexor de 1 a 8 líneas. La línea de selección adicional (C) se obtiene conectando entre sí las entradas C1 y C2; la línea de entrada de datos ($\overline{G}$) conectando las entradas de habilitación $\overline{G1}$ y $\overline{G2}$. La salida de más alto orden es Y7 (pin 4) y la de más bajo orden es Y0 (pin 9).



A	B	1Y0	1Y1	1Y2	1Y3	2Y0	2Y1	2Y2	2Y3
0	0	$\overline{C1}$	1	1	1	C2	1	1	1
0	1	1	$\overline{C1}$	1	1	1	C2	1	1
1	0	1	1	$\overline{C1}$	1	1	1	C2	1
1	1	1	1	1	$\overline{C1}$	1	1	1	C2

C. Tabla funcional

Fig. 235

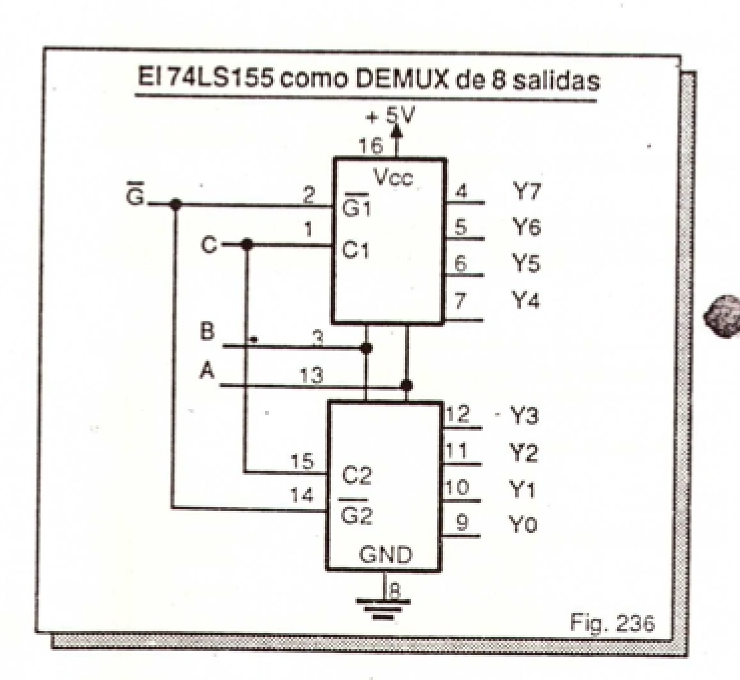


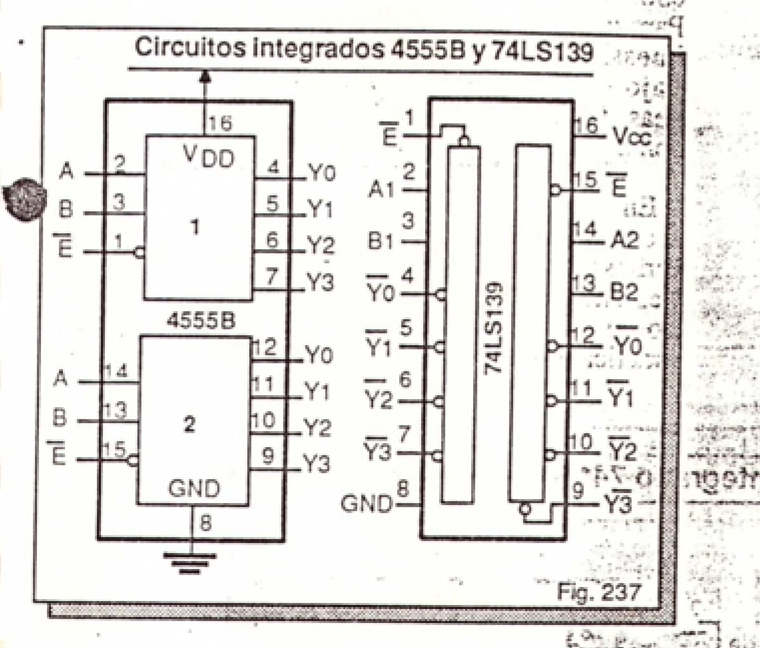
Fig. 236

El dato de entrada se trasmite sin inversión a la salida. Para utilizar el circuito de la figura 236 como decodificador de 3 a 8 líneas con salidas activas en **bajo**, la entrada de habilitación G debe conectarse a

un nivel bajo (0) permanente y el código de entrada debe aplicarse a las líneas de selección CBA. Las salidas no decodificadas se mantienen **altas**.

Además del 74LS155 y su versión TTL estándar (74155), otros demultiplexores de 1 a 4 líneas disponibles como circuitos integrados de mediana escala (MSI) son los siguientes:

4555B, 4556B, 74LS139 (ver figura 237). Cada DEMUX es completamente independiente y posee dos líneas de selección (A y B), una línea de entrada ($\overline{E}$) y 4 líneas de salida (Y0, Y1, Y2 e Y3). El 4556B y el 74LS139 trasfieren la señal de entrada sin inversión y el 4555B la trasfiere invertida.

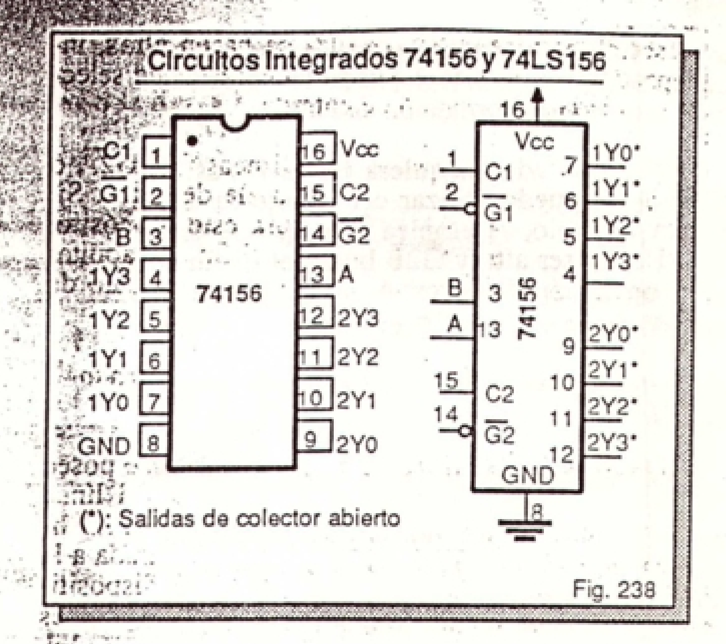


74156, 74LS156 (ver figura 238). Los dos DEMUX comparten las mismas líneas de selección (A y B). Las salidas de cada uno (Y0, Y1, Y2, Y3) son de colector abierto. En los demás aspectos, son funcionalmente idénticos al 74155 y al 74LS155, respectivamente. Las entradas C y G actúan, en su orden, como líneas de entrada y de habilitación.

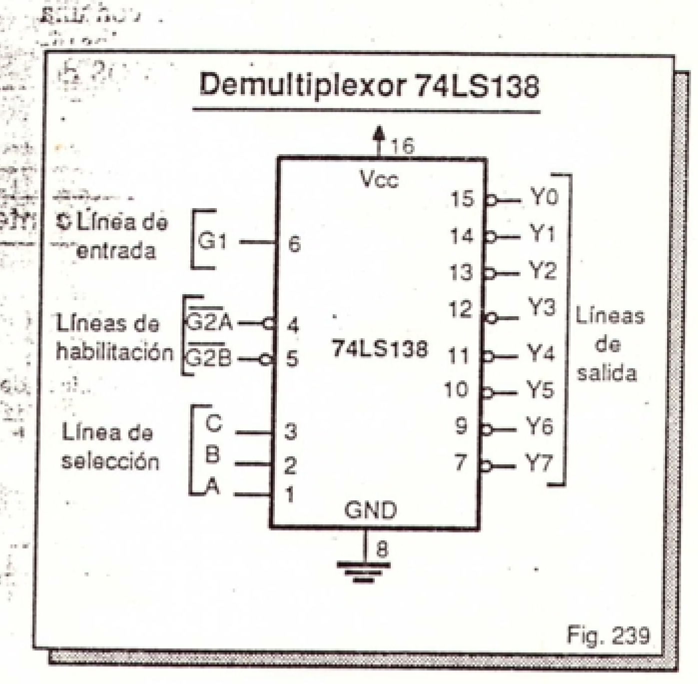
Demultiplexores de 8 vías El circuito integrado 74LS138

El demultiplexor de 8 vías básico (figura 229) posee 8 líneas de salida, 3 líneas de selección y una sola línea de entrada. Aplicando un código de 3 *bits* a las líneas de selección se trasmite el dato de la entrada a la salida seleccionada. Por ejemplo, si S2S1S0=**111** y se aplica un tren de pulsos a la entrada, esta señal aparecerá en la línea Y7.

Un demultiplexor muy popular dentro de esta categoría es el circuito integrado 74LS138, descrito



en la lección 10 (páginas 120 y 121). En la figura 239 se muestra la forma de utilizar este decodificador como demultiplexor de 1 a 8 líneas.



Las entradas de selección son las líneas A (pin 1), B (pin 2) y C (pin 3), la entrada de datos es la línea G1 (pin 6), las entradas de habilitación, activas en **bajo**, son las líneas $\overline{G2A}$ (pin 4) y $\overline{G2B}$ (pin 5) y las salidas son las líneas Y0 a Y7. La tensión de alimentación de 5V se aplica entre los pines 16 (Vcc) y 8 (GND).

El dato aplicado a la entrada G1 se trasmite invertido a la salida seleccionada por A, B y C. En condiciones normales, $\overline{G2A}$ y $\overline{G2B}$ deben estar ambas en **0**. Si una de ellas, o ambas, es **alta**, el circui-

to se inhibe y todas las salidas se hacen **altas**, independientemente del estado de las líneas de selección y de la información de entrada.

En realidad, cualquiera de las líneas G1, $\overline{G2A}$ o $\overline{G2B}$ se puede utilizar como entrada de datos. Si, por ejemplo, se emplea $\overline{G2A}$ para este propósito, G1 debe ser **alta** y $\overline{G2B}$ **baja** con el fin de habilitar la operación del circuito. En este caso, el dato de entrada se trasmite sin inversión.

Demultiplexores de 16 vías El circuito integrado 74154

Un demultiplexor de 1 a 16 líneas genérico posee 16 líneas de salida, 4 líneas de selección y 1 línea de entrada. Aplicando un código de 4 *bits* a las líneas de selección se trasmite el dato de entrada a la línea de salida seleccionada. Uno de los dispositivos más representativos dentro de esta categoría es el circuito integrado 74154.

El 74154 (figura 240) es un demultiplexor de 16 salidas con 4 líneas de selección, 1 de entrada de datos y 1 de habilitación que puede operar también como decodificador de 4 a 16 líneas. Opera con una tensión de alimentación de 5V, aplicada entre los pines 24 (Vcc) y 12 (GND). La versión CMOS del mismo es el circuito integrado 74C154.

La entrada de datos es la línea $\overline{G1}$ (pin 18), las entradas de selección son las líneas D (pin 20), C (pin 21), B (pin 22) y A (pin 23), las salidas son las líneas Y0 (pin 1) hasta Y15 (pin 17) y la entrada de habilitación es la línea $\overline{G2}$ (pin 19).

Las entradas de selección dirigen el dato aplicado a la entrada $\overline{G1}$, sin inversión, a una de las 16 líneas de salida mientras la línea de habilitación $\overline{G2}$ esté activa, es decir en **bajo**. Las salidas no seleccionadas permanecen en **alto**. Cuando $\overline{G2}$=**1**, la operación del circuito se inhibe y todas sus salidas se hacen **altas**, sin importar el estado de las líneas de entrada.

Cualquiera de las líneas $\overline{G1}$ ó $\overline{G2}$ puede utilizarse como entrada de datos, manteniendo la otra en **bajo**. Para utilizar el 74154 como decodificador de 4 a 16 líneas, las entradas $\overline{G1}$ y $\overline{G2}$ deben estar ambas en **bajo** y el código de entrada debe aplicarse a las líneas de selección DCBA. En este caso, las salidas son activas en **bajo**.

En el siguiente experimento comprobaremos cómo trabaja el demultiplexor 74154 y nos familiarizaremos con el uso del entrenador digital CEKIT, descrito en el proyecto central Nº 3. Si usted no posee este instrumento, puede también realizar la práctica con componentes comunes.

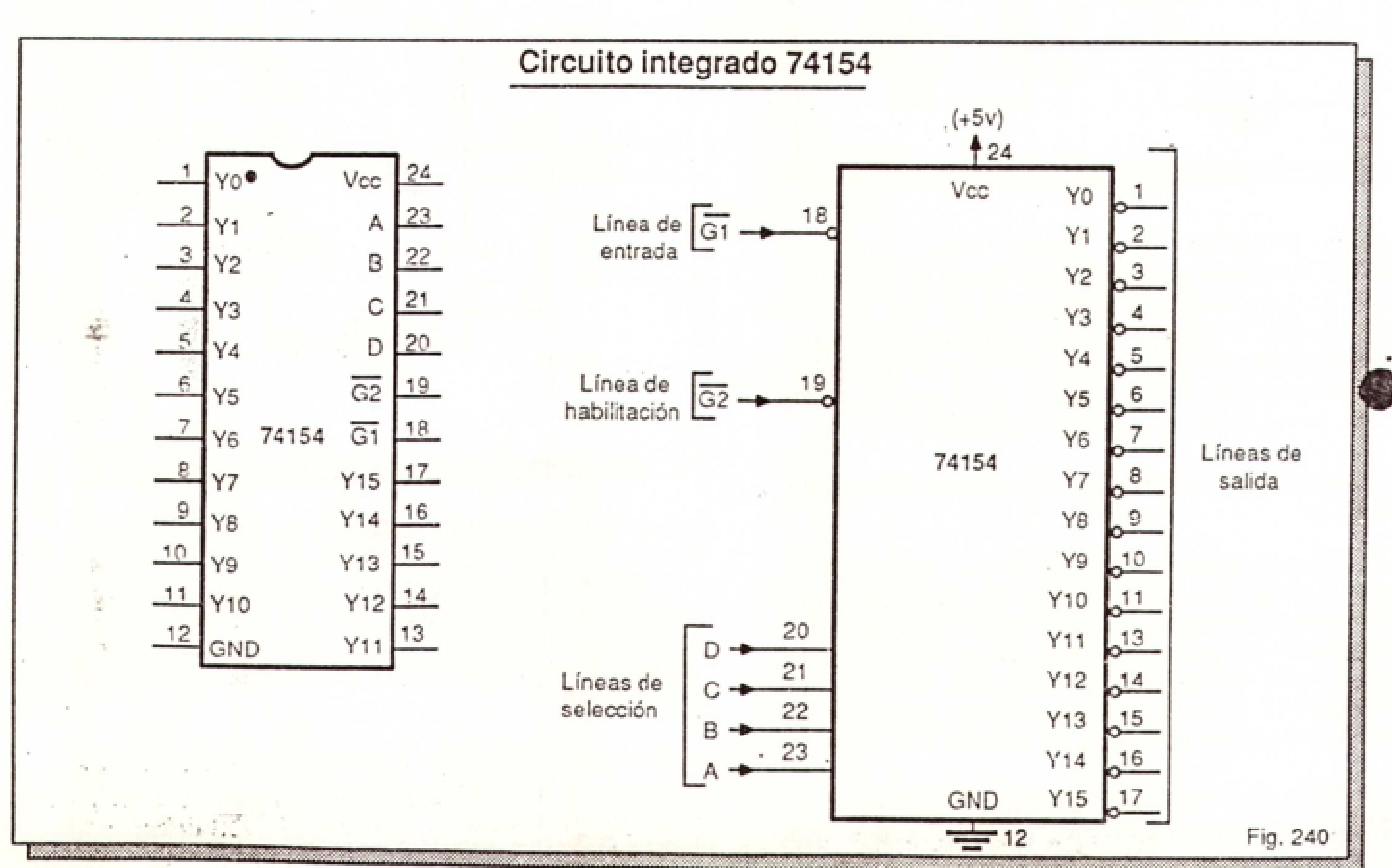


Fig. 240

EXPERIMENTO 15

Comprobación de la operación de un demultiplexor de 16 vías

Objetivos

• Comprobar la operación de un demultiplexor de 1 a 16 líneas.

• Familiarizarse con el uso del entrenador digital CEKIT.

• Aprender a utilizar un demultiplexor como decodificador.

Materiales y herramientas necesarios

1 circuito integrado 74154 ó 74C154 (demultiplexor de 16 salidas).
1 entrenador digital TTL (*kit* CEKIT ED-1).
1 *protoboard*
1 fuente regulada de 5V, 1A (*kit* CEKIT K11 o similar) con conectores
1 Condensador electrolítico de 47 µF, 16V.
Puentes de alambre telefónico #22 ó #24

Descripción del circuito de prueba

En la figura E26 se muestra el circuito que vamos a utilizar en este experimento para comprobar la operación del demultiplexor 74154. Todos los bloques sombreados están incluidos en el entrenador digital CEKIT. Los números entre paréntesis (#n) identifican los terminales de acceso de estas funciones en la base de salida de 28 pines.

El circuito utiliza el reloj 2 (pin #18) como fuente de datos de entrada, los interruptores lógicos S1 a S4 (pines #5 a #8) como generadores de códigos de selección, el pulsador lógico S5 (pin #12) como habilitador y los monitores lógicos D8 (pin #20) y D9 (pin #19) como visualizadores de estado de las líneas de entrada y de salida, respectivamente.

En la figura E26 se detallan también los circuitos correspondientes al generador de pulsos de reloj y las otras funciones auxiliares utilizadas en el experimento. Si usted no posee el entrenador digital, arme estos circuitos en su *protoboard* y conéctelos al demultiplexor 74154 en la forma indicada.

Procedimiento

Paso 1. Arme sobre el protoboard el circuito de la figura E26 y conéctelo al entrenador en la forma

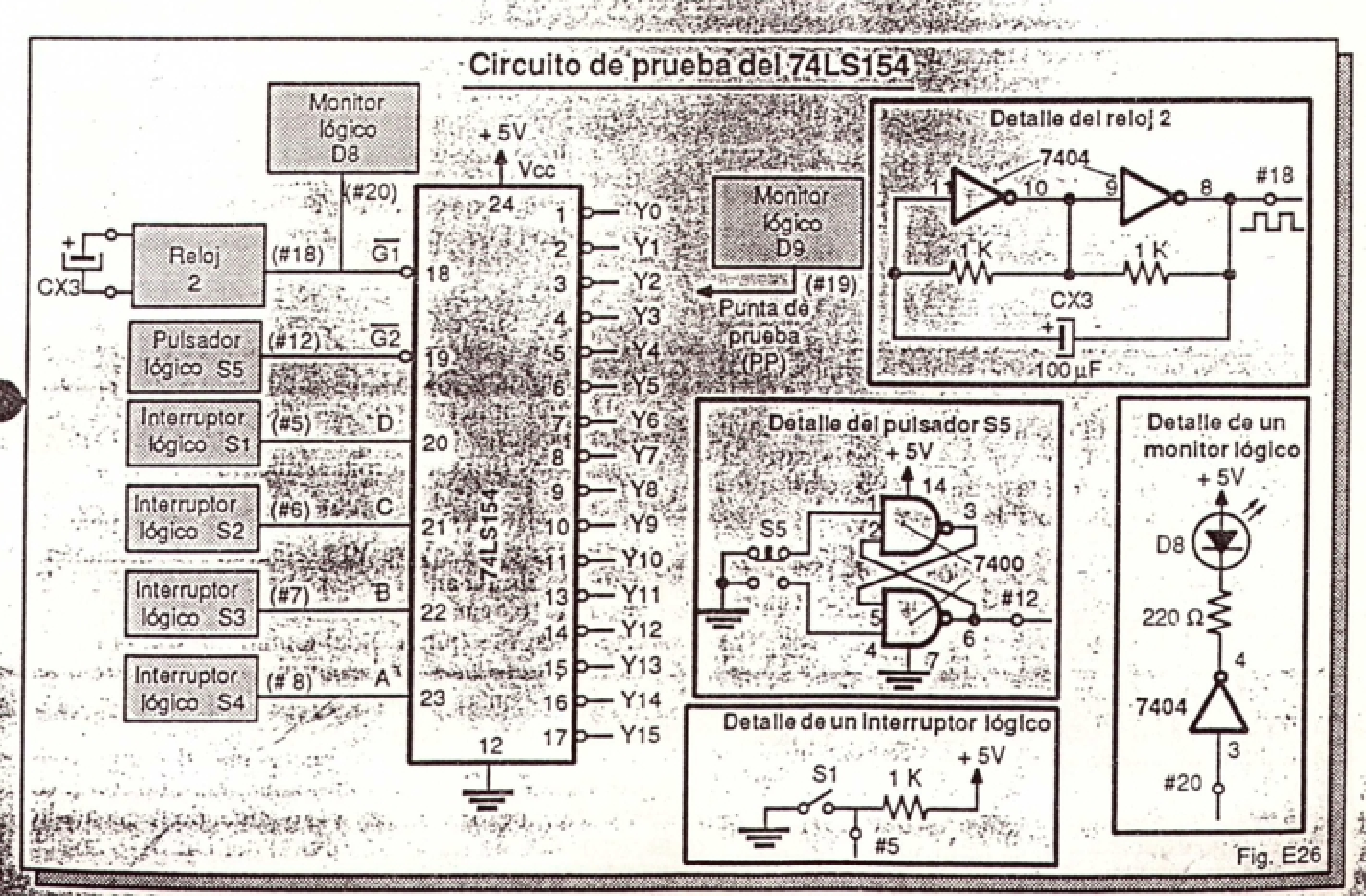


Fig. E26

que se indica. Instale el condensador de 47 µF en el *socket* CX3 con la polaridad apropiada. Inserte con cuidado el circuito integrado 74154. Siga las instrucciones de operación del entrenador CEKIT suministradas en el proyecto central Nº 3.

Antes de conectar la fuente, revise bien todas las conexiones, especialmente las de potencia. Las entradas de alimentación del entrenador digital CEKIT son los pines #15 (+5V) y #14 (GND o tierra). Para comenzar, sitúe los interruptores lógicos en la posición ON. De este modo, las entradas de selección recibirán el código **0000**.

Paso 2. Encienda la fuente. El monitor D8 debe parpadear, indicando la presencia de una señal de pulsos en la entrada del DEMUX (pin 18). Los otros monitores del entrenador deben permanecer iluminados, indicando que las entradas de los mismos (pines #20 al #28) están al aire.

Conecte la punta de prueba (PP) a la salida Y0 (pin 1 del 74154). Observará que el monitor D9 parpadea *en fase* con el monitor D8. Esto significa que el dato de entrada se está trasfiriendo, sin inversión, a la salida Y0. Lo anterior sucede porque los interruptores lógicos S1 a S4 aplican el código **0000** a las entradas de selección DCBA.

Con la punta de prueba conectada a la salida Y0, accione el pulsador lógico S5. Observará que el monitor D9 deja de parpadear, indicando la ausencia de la señal de salida. Esto sucede porque la entrada de habilitación $\overline{G2}$ (pin 19) está recibiendo un **alto**.

Toque, una por una, las demás salidas, desde Y1 hasta Y15. Notará que, en todos los casos, el monitor D9 se prende pero no parpadea. En otras palabras, el tren de pulsos de entrada no se trasmite a estas líneas.

Paso 3: Programe en los interruptores S1 a S4 un código de selección cualquiera, por ejemplo **1010**. Con la punta de prueba toque cada una de las líneas de salida hasta que el monitor D9 parpadee. Ensaye con otros códigos. Observará que, en cada caso, el tren de pulsos aplicado a la entrada, sólo se trasmite a una de las 16 salidas posibles.

Paso 4. Para verificar la operación del 74154 como decodificador, desconecte la salida de reloj del entrenador (pin #18) de la entrada de datos $\overline{G1}$ (pin 18) del demultiplexor. Conecte esta última a tierra. El monitor D8 debe apagarse. Programe en los interruptores S1 a S4 un código de selección cualquiera y con la punta de prueba recorra todas las salidas.

Observará que sólo una de las 16 salidas (la asociada al código de selección) es de nivel **bajo** mientras las otras permanecen **altas**. Es decir, el circuito reconoce, mediante un **bajo** en una de sus salidas, cualquier código de entrada. Como vimos en la lección 10, esta es la función propia de un decodificador. Al pulsar S5, la decodificación se inhibe.

* * *

Circuitos de aplicación

Se describen a continuación dos ejemplos sencillos de aplicación del demultiplexor de 16 salidas 74154 estudiado en esta lección. El primero es un juego de luces de velocidad variable y el segundo una alarma de múltiples entradas.

Juego de luces de velocidad variable

El circuito de la figura 241 ilumina secuencialmente los LED D1 a D16 e invierte automáticamente el sentido de encendido de los mismos, creando un efecto de luces muy interesante. La velocidad de la secuencia se controla mediante un potenciómetro (R2).

El sistema puede adaptarse al manejo de cargas de potencia, por ejemplo lámparas incandescentes de 115 V, utilizando optoacopladores o relés de estado sólido (ver lección 8). Lo forman un generador de pulsos (IC1), un contador de pulsos (IC2), un demultiplexor (IC3) y un *latch* (IC4). El DEMUX opera como decodificador de 4 a 16 líneas.

El reloj **555** genera un tren continuo de pulsos que se inyecta a la entrada del contador **74191**. Este último es del tipo *reversible*, es decir puede contar en sentido ascendente (desde **0000** hasta **1111**) o descendente (desde **1111** hasta **0000**), dependiendo de sí la línea de control U/D (pin 5) está en bajo (0) o en **alto** (1), respectivamente.

El estado de la cuenta se registra en las salidas QD, QC, QB y QA del contador. Estas, a su vez, controlan las entradas de selección D, C, B y A del demultiplexor **74154**. Dependiendo del código de selección aplicado por el contador, el 74154 activa secuencialmente todas sus líneas de salida (Y0, Y1, etc.) y los LED se iluminan uno tras otro.

Suponiendo que la línea U/D está inicialmente en **bajo**, las salidas Y0 a Y15 se hacen secuencialmente **bajas** e iluminan, uno por uno, los LED, desde D1 hasta D16. Cuando la cuenta llega a **1111**, se activa la salida Y15 (pin 17) del demultiplexor, la entrada S (*set*) del *latch* recibe un nivel **bajo** y la entrada U/D del contador recibe un nivel **alto**.

Como resultado, la secuencia de conteo se invierte y los LED se iluminan en sentido contrario, es decir, desde D16 hasta D1. Cuando la cuenta llega a **0000**, la salida Y0 (pin 1) del DEMUX se activa, la entrada R (*reset*) del *latch* recibe un nivel **bajo**

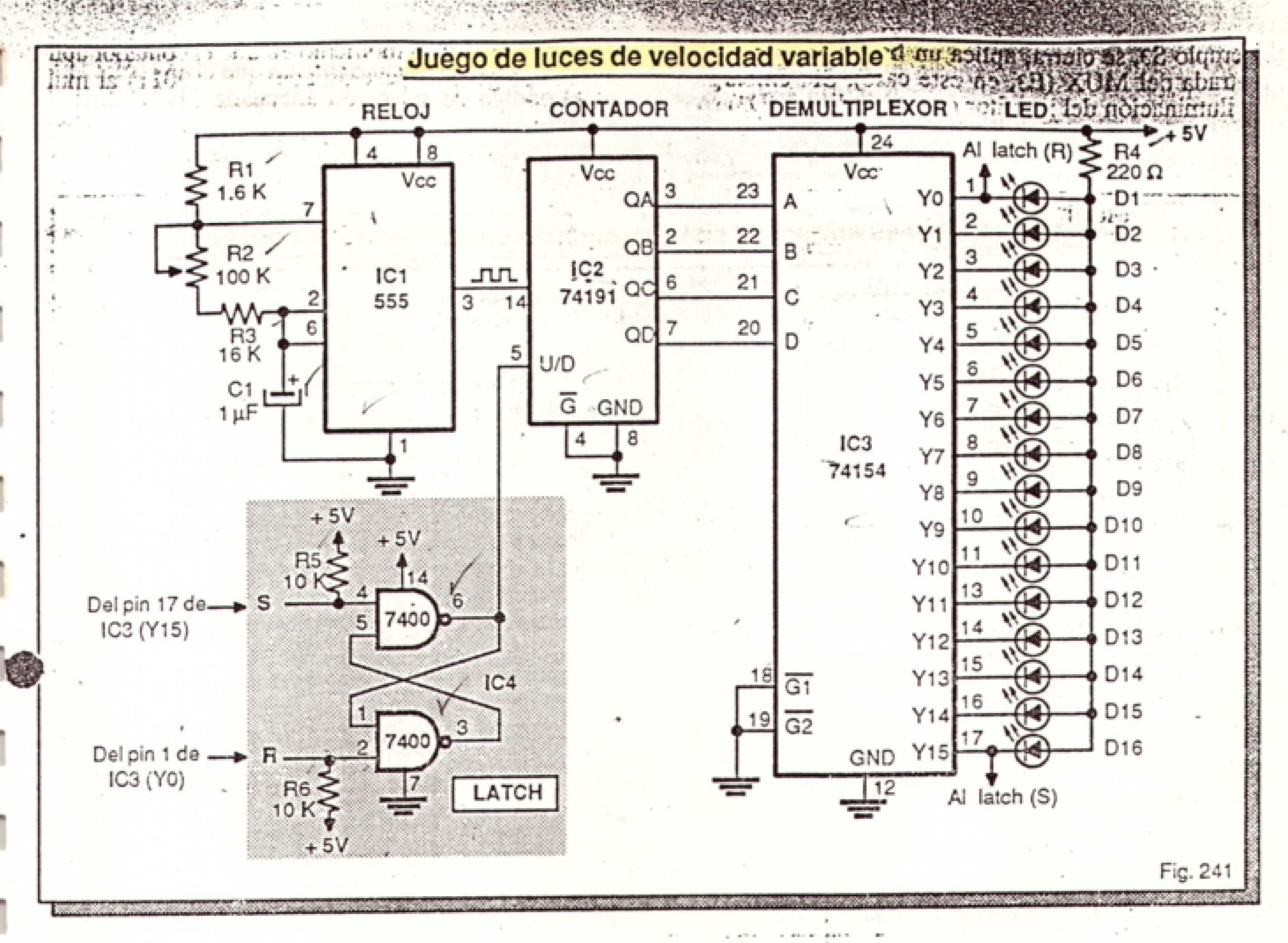


Fig. 241

y la entrada U/D del contador recibe un nivel **bajo**. El proceso se repite indefinidamente.

Si el reloj se calibra para que emita pulsos a determinados intervalos de tiempo, el circuito se puede utilizar como temporizador de eventos. Por ejemplo, si la frecuencia de los pulsos es 1 Hz, se encenderá un LED cada segundo.

Monitor de múltiples entradas

El circuito de la figura 242 chequea periódicamente el estado de 16 sensores normalmente abiertos (S0 a S15) e ilumina el LED asociado a cada sensor (D0 a D15) cuando este último se activa. Este proyecto también ilustra los principios básicos involucrados en un sistema de trasmisión de datos.

El reloj 555 (IC1) aplica un tren continuo de pulsos a la entrada del contador 7493 (IC2). Las salidas DCBA de este último alimentan al mismo tiempo las líneas de selección del multiplexor 74150 (IC3) y del demultiplexor 74154 (IC4). Esto se hace con el fin de sincronizar la trasferencia de información entre los sensores y los monitores.

El contador explora secuencialmente, una por una, todas las entradas del MUX y visualiza su estado en el respectivo monitor de salida del demultiplexor. Todo el flujo de información se realiza entre la salida del MUX y la entrada del DEMUX. El inversor adapta los niveles lógicos de ambos puntos. El conteo es cíclico entre **0000** y **1111**.

El MUX recibe la información de entrada, procedente de los sensores, en *paralelo* (todos los *bits* al mismo tiempo) y la envía en *serie* (*bit* por *bit*) al DEMUX. Este último convierte la información serie de entrada a su representación en paralelo original. La manipulación de datos en serie y en paralelo es muy común en sistemas digitales.

La información suministrada por los sensores a las entradas del MUX se puede tratar como una palabra o código de 16 *bits*. Cada *bit* ocupa la línea de trasmisión de datos durante un intervalo de tiempo igual a la duración de un pulso de reloj. Primero se trasmite el estado de la entrada E0, luego el de la entrada E1 y así sucesivamente.

Con todos los sensores abiertos, ninguno de los LED se ilumina. Cuando un sensor particular, por

ejemplo S3, se cierra, aplica un **bajo** a la respectiva entrada del MUX (E3, en este caso). Sin embargo, la iluminación del monitor correspondiente (D3) sólo se produce en el momento en que el contador aplica el código de selección adecuado (**0011**) al multiplexor.

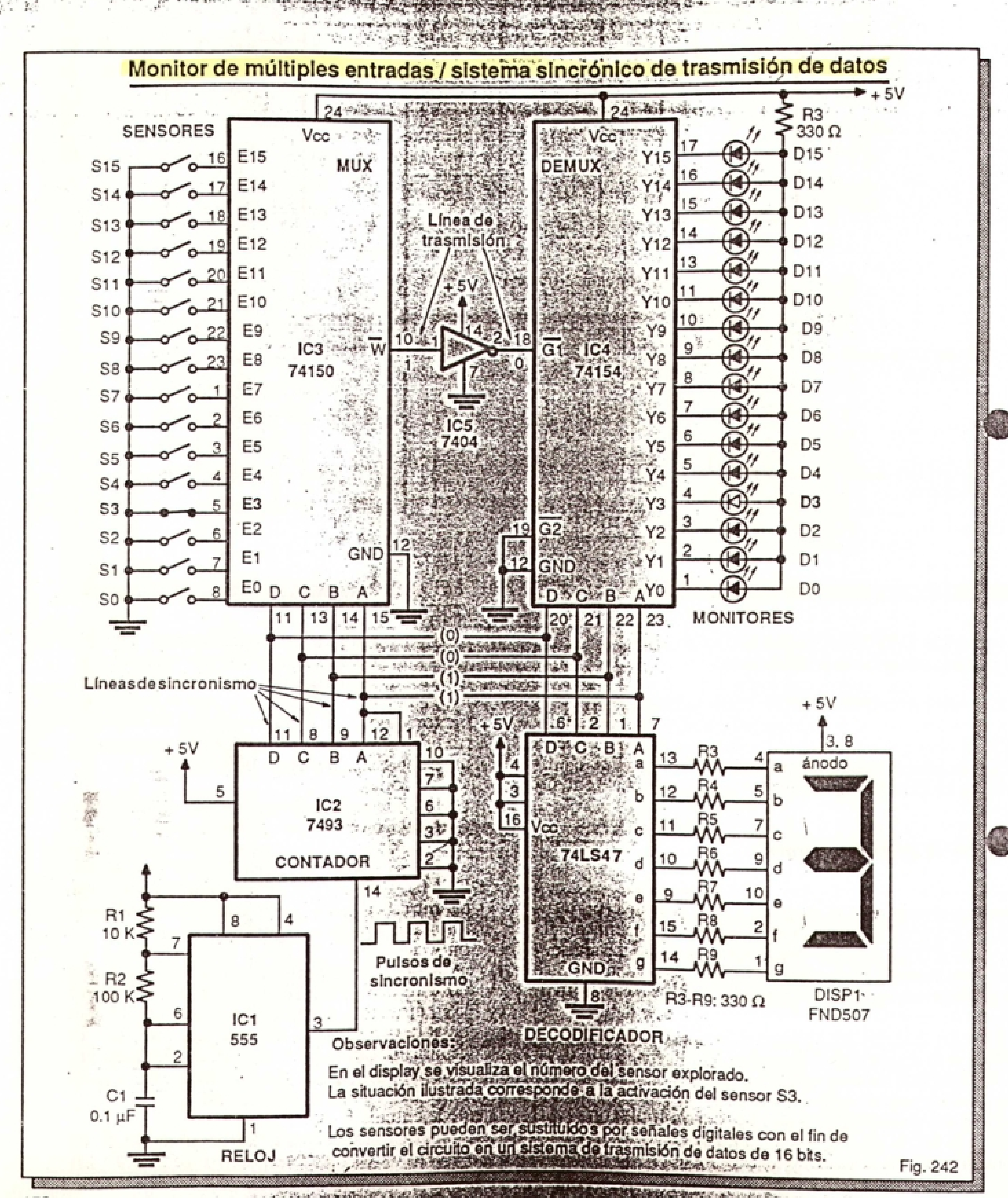


Fig. 242

Circuitos de pulsos

- *Introducción*
- *Pulsos y trenes de pulsos*
- *Pulsos ideales y pulsos reales*
- *Circuitos de reloj*
- *Ondas cuadradas*
- *Generadores y receptores de pulsos*
- *Terminología de circuitos de pulsos*
- *Actividad práctica Nº 10*

Introducción

Los circuitos estudiados hasta el momento (codificadores, decodificadores, multiplexores, etc.) han sido configuraciones *estáticas* en las cuales el estado de la salida depende exclusivamente de las combinaciones de **1**'s y **0**'s aplicadas en sus entradas.

Las señales digitales estáticas son producidas por interruptores, sensores, etc. y para pasar de un estado a otro necesitan de una influencia externa.

En algunos experimentos y aplicaciones de este curso se han mostrado circuitos que generan o utilizan señales digitales que cambian de estado con el tiempo. Estas señales se denominan *pulsos.* Una señal de pulsos (figura 243) es una sucesión alternada de niveles **bajos** y **altos** de voltaje.

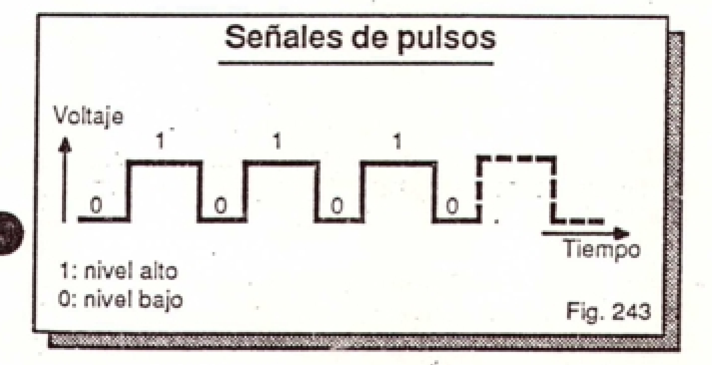


Fig. 243

Las señales de pulsos son *dinámicas*, es decir, están cambiando constantemente de estado y son las más comunes en la mayoría de circuitos digitales. Por su necesidad e importancia, trabajaremos constantemente con ellas en el resto del curso.

En las siguientes lecciones estudiaremos los circuitos de pulsos desde dos puntos de vista: los que generan o producen pulsos y los que requieren de señales de pulsos para operar. En esta lección destacaremos los aspectos básicos de la teoría de pulsos.

Pulsos y trenes de pulsos

Un *pulso* (figura 244) es una señal que realiza una transición de un estado al otro y regresa al estado inicial después de un cierto tiempo: si estaba en **bajo** pasa a **alto** y viceversa. En el primer caso se habla de pulsos positivos o activos en **alto** y en el segundo de pulsos negativos o activos en **bajo**.

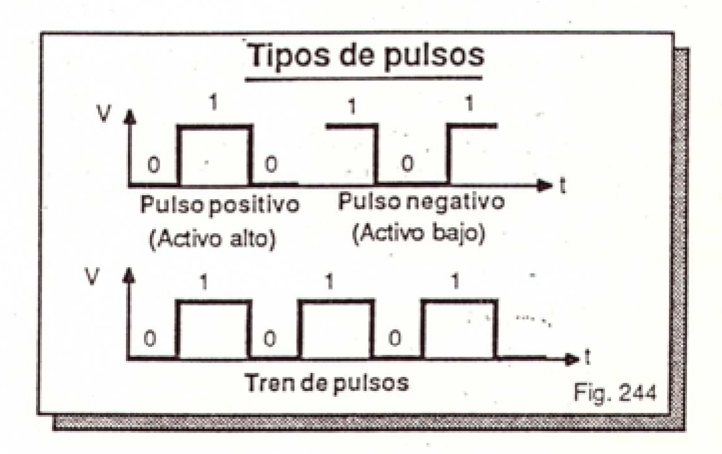


Fig. 244

Si estos cambios se producen en forma continua se tiene un *tren de pulsos*. Los puntos donde la señal cambia de estado se denominan *bordes* o *flancos*. El paso de **0** a **1** es el flanco *de subida* de la señal y el paso de **1** a **0** es su *flanco de bajada.*

Pulsos ideales y pulsos reales

En electrónica siempre se tienen en cuenta los casos ideales y los casos reales de cada situación analizada. La electrónica digital no es la excepción. Un ejemplo son las señales de pulsos.

Los pulsos que hemos representado hasta ahora son *ideales*, es decir, la señal cambia de un estado al otro en forma instantánea. En la realidad, un circuito digital, a pesar de ser muy rápido, tarda un determinado tiempo (muy corto, pero tiempo al fin y al cabo) para cambiar de estado.

Este tiempo se denomina *retardo de propagación* (*propagation delay*) y es el parámetro que define la velocidad de respuesta de los circuitos digitales a sus señales de entrada. Como vimos en la lección 2, cada familia y subfamilia TTL o CMOS tiene unas características de velocidad definidas.

Como consecuencia de lo anterior, la obtención de pulsos ideales no es posible en la práctica. En su

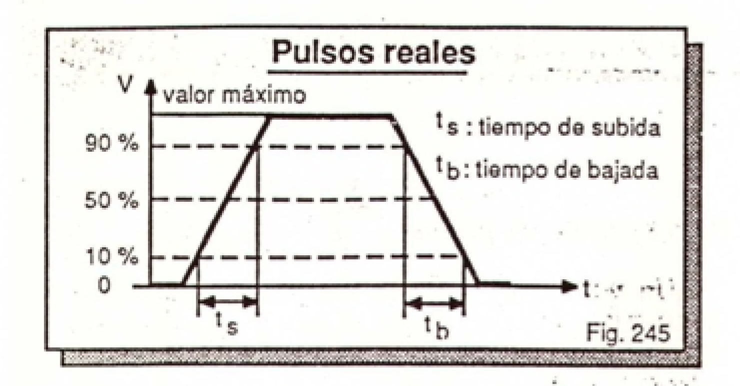


Fig. 245

gran mayoría, los pulsos reales tienen el aspecto mostrado en la figura 245 y se caracterizan por poseer tiempos de subida (t_s) y de bajada (t_b) finitos, por ejemplo t_s=15 µs y t_b=10 µs.

Estrictamente hablando, el tiempo de subida es el que tarda la señal en crecer desde el 10% hasta el 90% de su valor máximo y el de bajada el que demora en caer desde el 90% hasta el 10% del mismo. En la literatura técnica, el tiempo de subida se designa generalmente como t_r *(fall time)*. y el de bajada como t_f (*time fall*).

Circuitos de reloj

En electrónica digital, un *reloj* es un circuito que genera un tren continuo de pulsos, generalmente cuadrados. Los relojes se utilizan para sincronizar la operación de sistemas digitales y realizar funciones de temporización. El concepto de onda cuadrada se define a continuación.

Onda cuadrada

Una onda digital es una sucesión continua de pulsos cuyo nivel pasa alternativamente del estado **bajo** al **alto** y viceversa. Como se observa en la figura 246, la onda es **alta** durante un tiempo T1 llamado *ancho del pulso* y **baja** durante un tiempo T2 llamado *intervalo del pulso*.

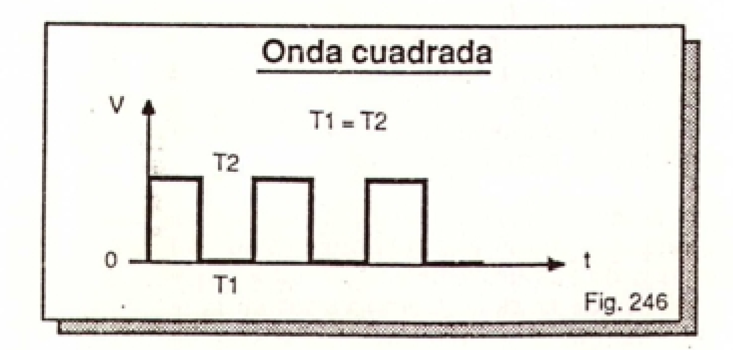


Fig. 246

Cuando la señal permanece en **bajo** el mismo tiempo que en **alto**, es decir cuando T1=T2, la señal se denomina onda simétrica o *cuadrada*. Cuando

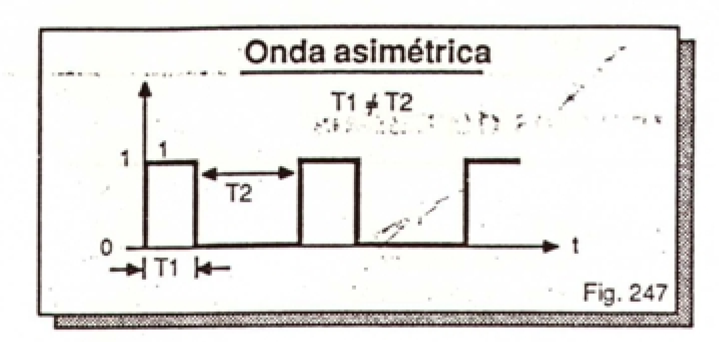


Fig. 247

estos tiempos son diferentes, la señal es una onda asimétrica o *pulso* (figura 247).

Las ondas digitales se caracterizan por poseer una frecuencia, un período, un ciclo útil (*duty cycle*) y una amplitud. Esta última es, simplemente, su valor máximo, es decir, el nivel de voltaje correspondiente al estado **alto**.

La *frecuencia* (f) se mide en *hertz* (Hz) o ciclos por segundo e indica cuántas veces se repite la onda básica en una unidad de tiempo. Por ejemplo, una onda cuadrada que se repite de la misma forma cada centésima de segundo, es decir 100 veces por segundo, es una onda de 100 Hz.

El *período* (T) se mide en segundos (s) y se refiere al tiempo que dura un solo ciclo de la onda. Se define como el inverso de la frecuencia y se calcula mediante la siguiente fórmula:

$$T = \frac{1}{F}$$

En la práctica, este tiempo puede ser del orden de los segundos (s), milisegundos (ms), microsegundos (µs) o nanosegundos (ns). Por ejemplo, si la frecuencia f es igual a 1 MHz (10^6 Hz), entonces el período T sera igual a $1/f = 10^{-6}$ segundos, es decir 1 µs. Recuerde que 1 ms = 10^{-3} s, 1 µs = 10^{-6} s y 1 ns = 10^{-9} s.

El *duty cycle* o ciclo útil (D) se expresa como un porcentaje (%) y se define como la relación entre el ancho del pulso (T1) y el período (T). Se evalúa mediante la siguiente fórmula:

$$\text{Ciclo útil (\%)} = D = \frac{\text{Ancho del pulso}}{\text{Período}} \times 100$$

$$D = \frac{T1}{T} \times 100 \text{ (en \%)}$$

El *duty cycle* de una onda cuadrada, por ejemplo, es del 50%, porque T1=T/2. Son comunes trenes de pulsos con un *duty cycle* del 25%, 40%, 80 %, etc. A menor ancho del pulso, menor es el ciclo útil y viceversa.

Generadores y receptores de pulsos

Los circuitos generadores de pulsos se conocen también como *multivibradores* y son muy importantes en el mundo de la electrónica digital. En las próximas lecciones de este curso estudiaremos las configuraciones más importantes utilizadas en la práctica.

Los principales tipos de circuitos generadores de pulsos son los multivibradores semi-monoestables o detectores de flancos, los monoestables o *one-shot*, los astables o relojes y los osciladores controlados por voltaje o VCO. Estos últimos son el corazón de los lazos de amarre de fase o PLL (*phase-locked loop*).

Algunos ejemplos de circuitos que funcionan a base de pulsos son los *flip-flop* o multivibradores biestables, los registros de almacenamiento y de desplazamiento, los contadores, las memorias, los conversores A/D y los microprocesadores.

Terminología de circuitos de pulsos

Los siguientes son algunos términos muy comunes que se utilizan para describir el funcionamiento de circuitos que generan y manejan pulsos. Conoceremos otros a medida que avancemos en el curso.

astable: que no tiene estado estable.

biestable: que tiene dos estados estables.

contador ascendente: circuito que cuenta pulsos en orden ascendente (1, 2, 3, 4, etc.).

contador descendente: circuito que cuenta pulsos en orden descendente (10, 9, 8, 7, etc.).

flip-flop: circuito capaz de almacenar un **1** ó un **0**.

glitch: pulso indeseable que provoca el funcionamiento erróneo de un circuito.

monoestable: que tiene un sólo estado estable.

race (carrera): condición que provoca el funcionamiento erróneo de un circuito debido a diferencias en los tiempos de propagación.

circuitos secuenciales: circuitos lógicos en los cuales el estado de la salida depende del estado previo de la entrada.

registro de almacenamiento: grupo de *flip-flops* que almacena datos de varios *bits*.

registro de desplazamiento: registro capaz de desplazar datos hacia la derecha o hacia la izquierda.

ACTIVIDAD PRACTICA Nº 10

Construcción del módulo 2. Parte 3

En esta actividad instalaremos en el circuito impreso del módulo 2 el interruptor lógico S2. Como se puede observar en la figura A11(página 132), la función de este componente es suministrar un nivel alto o bajo de voltaje a la entrada de un circuito digital conectado al terminal de acceso marcado S2.

Componentes y herramientas necesarios

1 interruptor miniatura tipo spdt. S2.
1 circuito impreso CEKIT EDM-2.
1 cautín de baja potencia (15 W a 35 W).
soldadura de estaño 60/40.

Procedimiento

Tome el interruptor S2 e instálelo en la tarjeta de circuito impreso del módulo 2, como se muestra en la figura A13. Observe que los terminales de conexión no están alineados con respecto al centro. Esta disposición sirve como guía de instalación.

Cerciórese de que el componente quede firmemente asegurado en la tarjeta y en contacto muy próximo con el interruptor S1 instalado en la actividad anterior.

Al soldar, no aplique más calor del absolutamente necesario porque puede levantar los trazos de cobre que conectan los diferentes interruptores entre sí y la tarjeta con el mundo externo.

Una vez instalado y soldado el interruptor, es conveniente probar su apertura y cierre mediante un ohmetro o un medidor de continuidad. En la posición **0** el contacto del centro debe cerrarse con el contacto inferior y en la posición **1** debe hacerlo con el superior. No debe haber continuidad entre los contactos de los extremos.

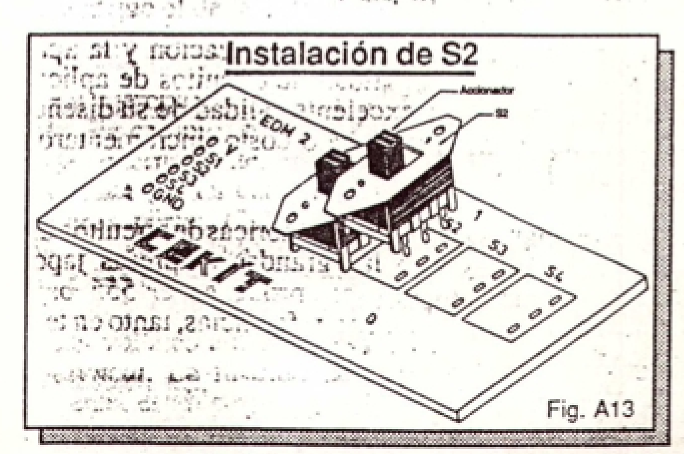


Fig. A13

El circuito integrado 555

Introducción

El circuito integrado 555 ha sido, junto con los microprocesadores, el *chip* más famoso en la breve historia de la microelectrónica. A pesar de que no se trata de una invención nueva, permanece tan actual como en sus primeros tiempos. Se utiliza tanto en aplicaciones sencillas como en computadores y complejos sistemas de control industrial.

Ha sido también objeto de una extensa literatura y sobre él se han escrito libros completos que describen numerosos circuitos y posibilidades de aplicación. Fue lanzado al mercado en el año de 1972 por Signetics para satisfacer la urgencia de un circuito generador de pulsos universal que se adaptará a las necesidades de diseño más frecuentes.

Hasta ese entonces, todos los generadores de pulsos se realizaban utilizando componentes discretos (transistores, resistencias, condensadores, etc.). La aparición del 555 simplificó el diseño y construcción de estos circuitos y los hizo compactos, económicos y muy confiables.

La rápida difusión, su fácil utilización y la aparición de una gran cantidad de circuitos de aplicación confirmaron la excelente calidad de su diseño, la cual, apoyada por su bajo costo, incrementaron su popularidad.

Actualmente, casi todas las fábricas de circuitos integrados, incluyendo las grandes empresas japonesas de semiconductores, producen el 555 bajo distintas denominaciones o referencias, tanto en tecnología bipolar como CMOS.

Los siguientes son algunos ejemplos:

Signetics	NE555
Fairchild	µA555
National Semiconductor	LM555
Texas Instruments	SN72555
Exar	XR-555
RCA	CA555
Philips/Sylvania	ECG955
Harris	HA1755
Motorola	MC1455
Toshiba	TA7555P

Una de las grandes ventajas del 555 es su compatibilidad con circuitos integrados digitales de la familia TTL y también su aplicación directa en circuitos análogos. La versión CMOS del 555 es el circuito integrado **7555**, caracterizado por su bajo consumo de potencia (ver lección 1, página 19).

Descripción general

El circuito integrado 555 es un dispositivo altamente estable que se utiliza para la generación de señales de pulsos. En la figura 248 se muestra su distribución funcional de pines y las dos formas de presentación más usuales: el encapsulado de doble fila o DIP (*Dual-In line Package*) y el metálico.

La presentación DIP de 8 pines es la más común. El encapsulado metálico se utiliza principalmente en aplicaciones militares e industriales. También está disponible en encapsulado de montaje superficial, con la referencia LM555CM de National.

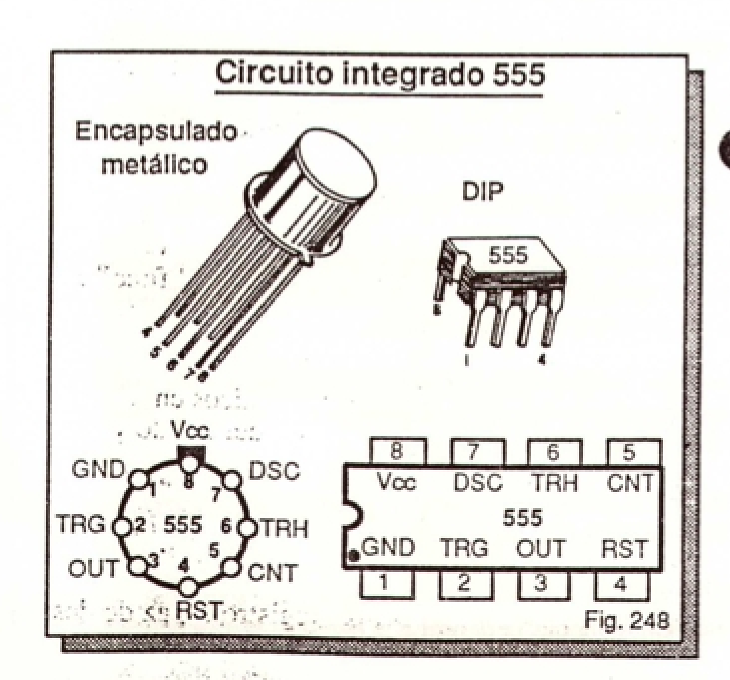


Fig. 248

El *chip* consta internamente de 23 transistores, 2 diodos y 12 resistencias. Opera con tensiones de alimentación desde 4.5 V hasta 18 V y puede manejar corrientes de salida hasta de 200 mA, una capacidad suficiente para impulsar directamente entradas TTL, LED, zumbadores, bobinas de relé, parlantes piezoeléctricos y otros componentes.

Asociado con unos pocos componentes externos (resistencias y condensadores, principalmente) el 555 se puede utilizar para generar trenes de pulsos, temporizar eventos y otras aplicaciones, tanto análogas como digitales. En esta lección estudiaremos sus dos modos básicos de operación: el *astable* o reloj y el *monoestable* o temporizador.

En el modo *astable*, el circuito entrega un tren continuo de pulsos y en el *monoestable* suministra un pulso de determinada duración. La frecuencia y el ancho del pulso se programan externamente mediante resistencias y condensadores adecuados.

Otro modo de operación importante es como modulador de ancho de pulsos. En este caso, el *chip* trabaja en el modo monoestable pero la duración del pulso se controla mediante un voltaje externo aplicado al pin 5.

Antes de proceder al estudio detallado del 555, es conveniente conocer algunas de sus características eléctricas más importantes. Estos y otros parámetros son de gran utilidad para los diseñadores de circuitos. Una información más amplia se obtiene consultando los manuales y hojas de datos (*data sheets*) de los fabricantes.

Características eléctricas

Las siguientes son algunas de las características eléctricas más notables de los circuitos integrados LM555 y LM555C de National Semiconductor. Estos dos *chips* son funcionalmente idénticos pero se diferencian por su rango de temperaturas de trabajo.

El LM555 (versión estándar) puede trabajar en ambientes con temperaturas desde -55 °C hasta +125 °C y el LM555C (versión comercial) con temperaturas desde 0 °C hasta +70 °C.

Los datos de corriente están dados en miliamperios (mA), los de voltaje en voltios (V), los de potencia en milivatios (mW) y los de temperatura en grados Celsius (°C).

- Rango de voltajes de alimentación

LM555	4.5 V a 18 V
LM555C	4.5 V a 16 V

- Máximo voltaje de alimentación 18 V

- Máxima disipación de potencia

Cápsula DIP	760 mW
Cápsula metálica	1180 mW

- Consumo de corriente (sin carga y con Vcc=5V)

LM555	de 3 mA a 5 mA
LM555C	de 3 mA a 6 mA

- Máximo voltaje de salida en bajo (con Vcc=5V)

LM555	0.25 V
LM555C	0.35 V

- Mínimo voltaje de salida en alto (con Vcc=5V)

LM555	3.00 V
LM555C	2.75 V

- Máxima corriente de salida 200 mA

Teoría de funcionamiento

En la figura 249 se muestra la distribución interna de bloques del circuito integrado 555. Consta, básicamente, de dos comparadores de voltaje (U1 y U2), un *flip-flop* (U3), un amplificador de corriente o *buffer* (U4) y un transistor de descarga (Q1). Las resistencias Ra, Rb y Rc de 5 KΩ sirven como divisores de voltaje.

El comparador superior (U1) se denomina comparador de umbral o de *threshold* (léase *tresjol*) y el inferior (U2) comparador de disparo o de *trigger* (léase *triguer*). Como se muestra en la figura 249, cada comparador tiene dos entradas de voltaje: una *inversora*, marcada con el signo (-) y una *no inversora*, marcada con el signo (+).

El funcionamiento de cada comparador (figura 250) es muy sencillo: cuando en la entrada (+) se aplica un voltaje mayor que el de la entrada (-), la salida del comparador es un nivel **alto**. Si, por el contrario, en la entrada (+) se aplica un voltaje menor que el de la entrada (-), entonces la salida es un nivel **bajo**.

Por ejemplo, si V^+=4V y V^-=2V, la salida será **alta**. En cambio, si V^+=2V y V^-=4V, la salida será **baja**. Internamente, el voltaje aplicado a la entrada inversora (-) del comparador U1 es igual a las dos terceras partes (2/3) del voltaje de alimentación (Vcc) y el aplicado a la entrada no inversora (+) de U2 a una tercera (1/3) parte del mismo.

Los voltajes anteriores se denominan *voltajes de referencia*. La función de Ra, Rb y Rc es, precisamente, establecer estos voltajes de referencia. El voltaje externo aplicado a la entrada (+) de U1 se de-

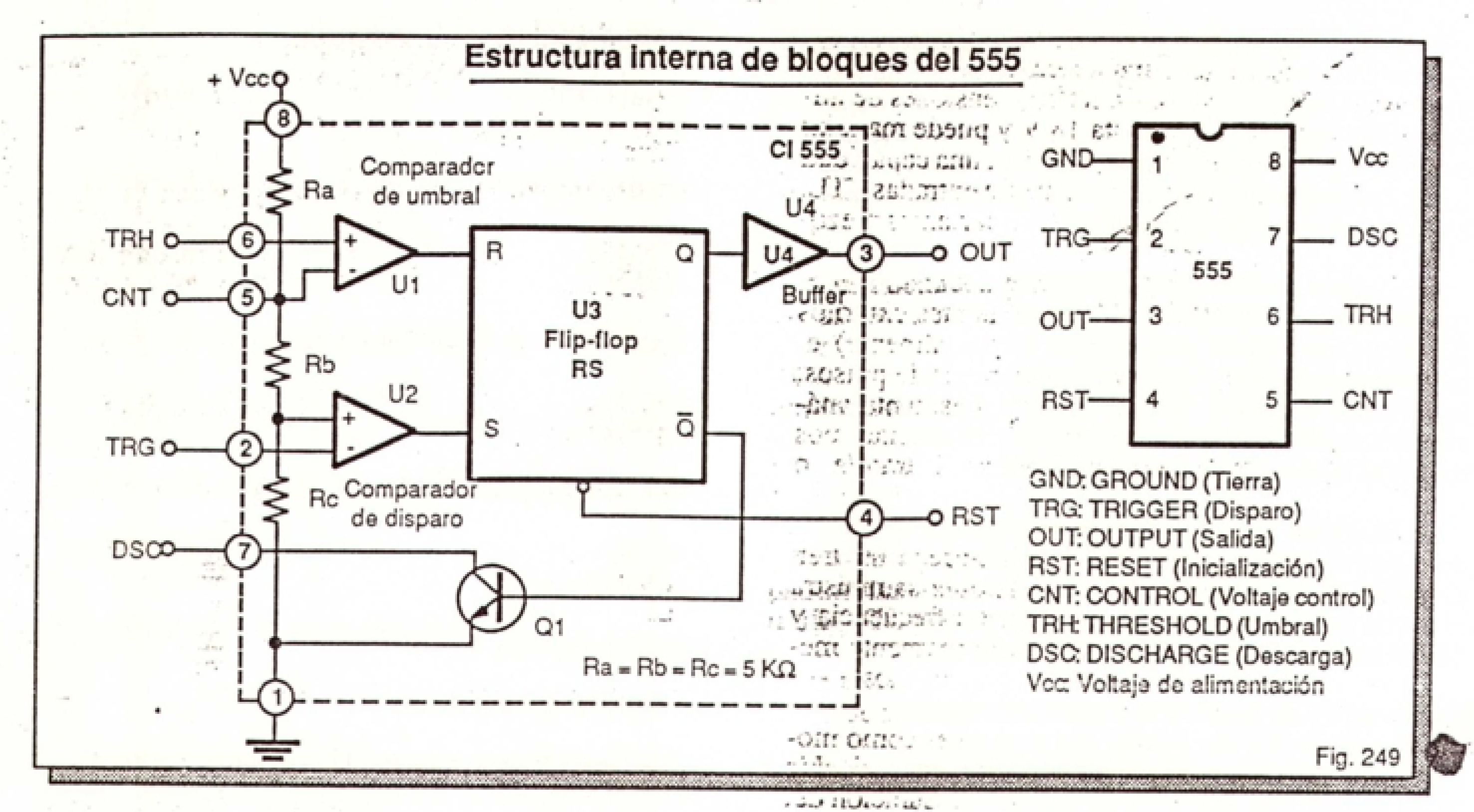


Fig. 249

nomina *voltaje de umbral* y el aplicado a la entrada (-) de U2 *voltaje de disparo.*

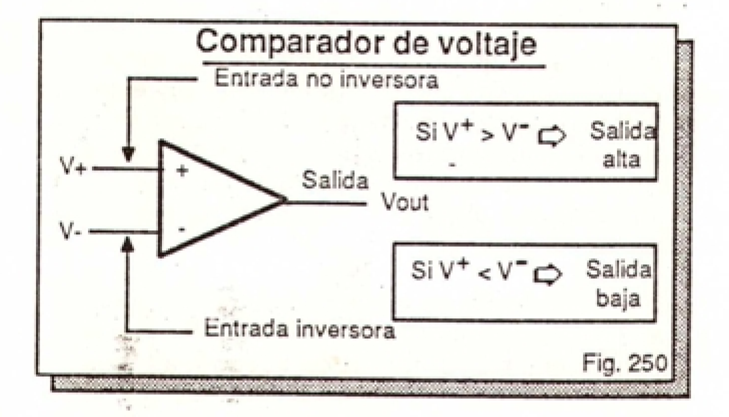


Fig. 250

Utilizando un voltaje de alimentación de **9V** (Vcc=9V) por ejemplo, el voltaje de referencia de la entrada (-) de U1 es igual a **6V** y el de la entrada (+) de U2 es igual a **3V**. Los voltajes de umbral y de disparo pueden adoptar cualquier valor entre 0 y 9V.

Si, en estas condiciones, se aplica un voltaje de umbral de 7V a la entrada (+) de U1 y un voltaje de disparo de 5V a la entrada (-) de U2, la salida de U1 será alta, porque 7V>6V, y la salida de U2 será baja, porque 3V<5V. Del mismo modo se procede para analizar otras situaciones.

La entrada no inversora (+) del comparador de umbral (U1) es accesible externamente por el pin **6** (TRESHOLD o TRH) y la entrada inversora (-) del comparador de disparo (U2) por el pin **2** (TRIGGER o TRG).

El voltaje de referencia de ambos comparadores se puede variar mediante un voltaje externo aplicado al pin **5** (CONTROL o CNT). Este terminal se utiliza para *modular* pulsos, es decir para variar sus características de acuerdo a una señal de control. En condiciones normales, se recomienda conectar el pin 5 a tierra a través de un condensador de 0.01 µF.

La salida de U1 está conectada internamente a la entrada R (*reset*) del *flip-flop* (U3) y la salida de U2 a la entrada S (*set*) del mismo. La función de este circuito es memorizar un nivel **alto** o **bajo** de voltaje en su salida Q, dependiendo del estado de las entradas **R** y **S**. La salida $\overline{Q}$ tiene siempre un estado contrario al de la salida Q.

La operación del *flip-flop* (figura 251) es muy simple: cuando se aplica momentáneamente un **alto** a la entrada S y la entrada R está en **bajo** la salida Q se hace **alta.** En cambio, si se aplica un **alto** a R y S está en **bajo,** la salida Q se hace **baja.**

En el primer caso, se dice que el *flip-flop* está *set*, es decir con un **1** en su salida, y en el segundo que esta *reset*, es decir con un **0**.

Cuando las entradas R y S se hacen ambas **bajas,** el estado de salida previamente establecido se mantiene, es decir queda *memorizado.* Cuando R y S se hacen **altas,** el estado de la salida Q es ambiguo.

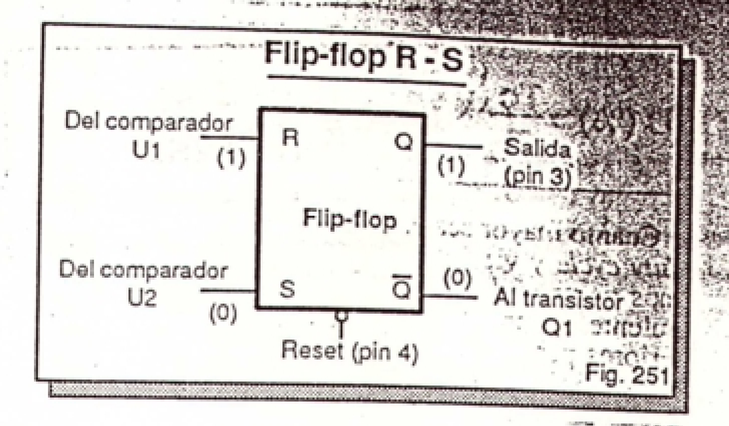


Fig. 251

Como se desprende del análisis anterior, el *flip-flop* se comporta como una especie de interruptor o caja de seguridad con memoria que atrapa o captura un **1** ó un **0**, y no cambia de estado hasta que no se establezca la combinación apropiada de niveles en las entradas R y S. Los *flip-flops* se estudian en detalle en la lección 20 de este curso.

El pin 4 (RESET o RST) hace **baja** la salida Q cuando recibe un nivel **bajo**, sin importar el estado de las entradas R y S. En condiciones normales, este pin debe mantenerse a un nivel **alto** para que el dispositivo opere correctamente. No se recomienda dejarlo al aire.

La salida Q del *flip flop* alimenta el *buffer* o amplificador de corriente U4 y la salida $\overline{Q}$ la base del transistor Q1. El propósito del buffer es aumentar la capacidad de corriente del *flip-flop*. La salida del *buffer* es accesible externamente desde el pin 3 (OUTPUT o OUT). Este pin es la salida del *chip*.

El transistor Q1 se utiliza como un interruptor controlado digitalmente. Cuando la salida $\overline{Q}$ es **alta**, Q1 conduce, es decir se cierra, y cuando Q es **baja** deja de conducir, es decir, se abre. En el primer caso, se dice que Q1 está *on* o *saturado* y en el segundo que está *off* o en corte.

Una vez comprendido el funcionamiento y el propósito de cada uno de los elementos que constituyen el circuito integrado 555, resultará muy sencillo entender cómo trabaja el dispositivo cuando se controla mediante componentes externos. En las siguientes secciones analizaremos en detalle sus modos de operación astable y monoestable.

Operación en el modo astable

En la figura 252 se muestra la forma de conectar el circuito integrado 555 en el modo astable, es decir como generador de trenes de pulsos. Esta configuración se denomina comúnmente circuito de reloj o, simplemente, *reloj*. Observe que la entrada de umbral (TRH, pin 6) está conectada a la entrada de disparo (TRG, pin 2).

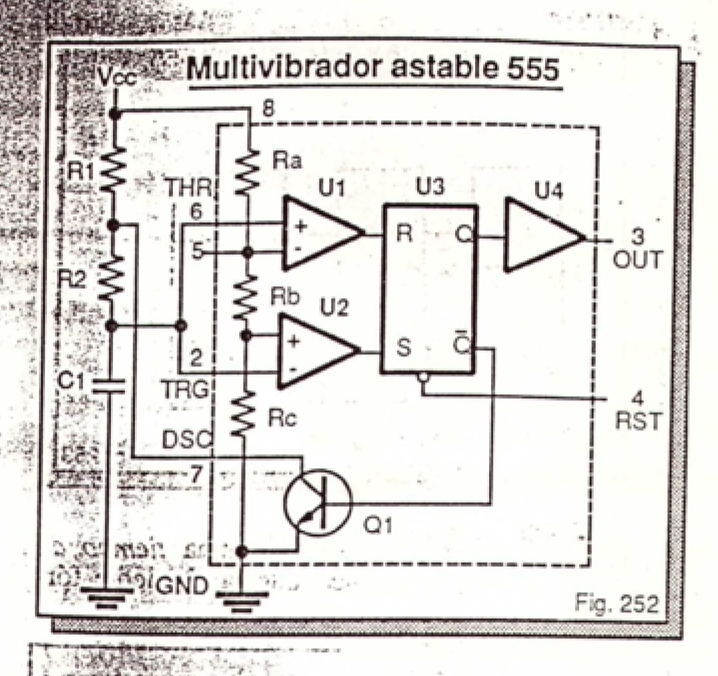


Fig. 252

El circuito formado por las resistencias R1 y R2 y el condensador C1 controla el voltaje de entrada de los comparadores. Cuando se conecta la fuente de alimentación, este voltaje es de 0 V porque C1 está completamente descargado. Bajo esta condición, el comparador de umbral aplica un **bajo** a la entrada R del *flip-flop* y el de disparo un **alto** a la entrada S.

Como resultado, la salida del circuito (OUT, pin 3) es de nivel alto. Al mismo tiempo, la salida $\overline{Q}$ del *flip-flop* es de nivel **bajo**, el transistor de descarga está *off*, es decir en estado de corte, y C1 comienza a cargarse libremente a través de R1 y R2. A medida que C1 se carga, el voltaje en sus terminales crece hasta alcanzar el valor de umbral (2/3 de Vcc).

Cuando esto sucede, el comparador de umbral aplica un **alto** a la entrada R del *flip-flop* y el de disparo un **bajo** a la entrada S del mismo. Como resultado, la salida del circuito (OUT, pin 3) se hace **baja**, la salida $\overline{Q}$ se hace **alta**, el transistor pasa al estado *on*, es decir conduce, y el condensador C1 comienza a descargarse a través de la resistencia R2.

Cuando el voltaje sobre C1 se hace ligeramente inferior al voltaje de disparo (1/3 de Vcc), el comparador de disparo aplica un **alto** a la entrada S del *flip-flop* y el de umbral un **bajo** a la entrada R. La salida del circuito se hace nuevamente **alta** y se repite el mismo ciclo anterior.

Como resultado de la carga y descarga de C1, la salida oscila indefinidamente entre los niveles **alto** y **bajo**, entregando de esta forma un tren continuo de pulsos de determinada frecuencia. En la figura 253 se resume gráficamente el proceso.

El tiempo que demora el condensador C1 en cargarse desde Vcc/3 (voltaje de disparo) hasta 2/3 de

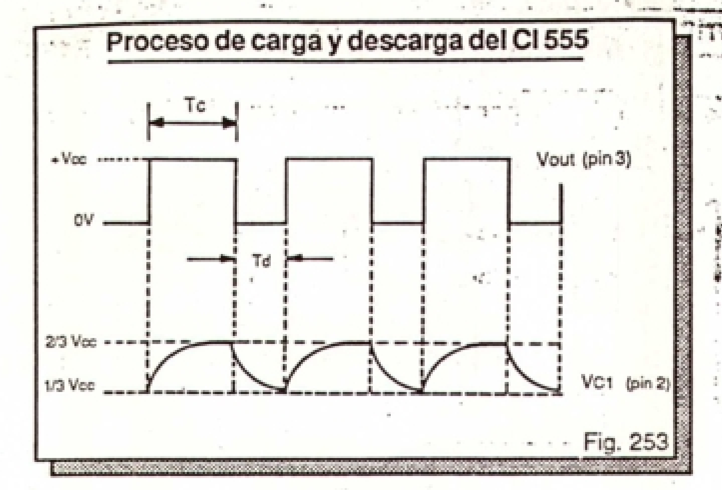


Fig. 253

Vcc (voltaje de umbral) se denomina *tiempo de carga* (Tc) y se evalúa mediante la siguiente fórmula:

$$T_{carga} = T_c = 0.693\,(R_1+R_2)C_1$$

Durante el tiempo de carga, la salida del circuito (OUT, pin 3) es de nivel **alto**. El tiempo que demora C1 en descargarse desde 2/3 de Vcc hasta 1/3 de Vcc se denomina *tiempo de descarga* (Td) y se calcula mediante la siguiente fórmula:

$$T_{descarga} = T_d = 0.693 R_2 C_1$$

Durante el tiempo de descarga, la salida del circuito (OUT, pin 3) es de nivel **bajo**. El tiempo de descarga es siempre más rápido que el de carga porque depende únicamente de los valores de R2 y C1. La suma de los tiempos de carga y descarga define el período (T) de la señal de salida. Por tanto:

$$T = T_c + T_d = 0.693\,(R_1+2R_2)C_1$$

El inverso del período (1/T) es, por definición, la frecuencia, es decir el número de pulsos que se producen en un segundo. Por consiguiente:

$$f = \frac{1}{T} = \frac{1}{0.693\,(R1 + 2R2)\,C1}$$

La relación porcentual entre el tiempo de carga y el período (Tc/T) define el *duty cycle* o ciclo útil (D) de la señal de salida. Es decir:

$$D(\%) = \frac{Tc}{T} \times 100 = \frac{R1 + R2}{R1 + 2R2} \times 100$$

Cuanto mayor sea el tiempo de carga, mayor es el *duty cycle* y viceversa. Para una señal con los mismos tiempos de carga y descarga, D=50%. El siguiente ejemplo aclara el uso de las fórmulas anteriores para analizar y diseñar circuitos de pulsos con el 555.

Ejemplo. Determine los tiempos de carga y de descarga del condensador C1 así como el período, la frecuencia y el *duty cycle* de la señal de salida para el circuito de la figura 252 si R1= 1KΩ, R2=120 KΩ y C1=0.01 µF.

Se puede instalar un condensador de 0.01 µF entre el pin 5 del 555 y tierra para mejorar la estabilidad de la frecuencia de salida del circuito.

Solución. Remplazando R1, R2 y C1 por sus valores correspondientes, calculamos cada uno de los parámetros solicitados.

Para evaluar el tiempo de carga de C1, utilizamos la fórmula de Tc:

$$Tc = 0.693\,(R_1+R_2)C_1$$
$$Tc(s) = 0.693 \times 121\times10^3 \times 0.01\times10^{-6}$$
$$\mathbf{Tc} = 838.5 \times 10^{-6}\ s \approx \mathbf{839\ \mu s}$$

Durante estos 839 µs de carga, la señal de salida permanece en el estado **alto**.

Para evaluar el tiempo de descarga de C1, utilizamos la fórmula de Td:

$$Td = 0.693 R_2 C_1$$
$$Td(s) = 0.693 \times 120\times10^3 \times 0.01\times10^{-6}$$
$$\mathbf{Td} = 831.6\times10^{-6}\ s \approx \mathbf{832\ \mu s}$$

Durante estos 832 µs de descarga, la salida permanece en **bajo**. Como puede deducirse de este resultado, el tiempo de descarga (832 µs) es menor que el de carga (839 µs).

Para evaluar el período de la señal de salida, utilizamos la fórmula de T:

$$T = Tc + Td$$
$$T = 832\ \mu s + 839\ \mu s = 1671\ \mu s \approx 1.67 \times 10^{-3}\ s$$
$$T = \mathbf{1.67\ ms}$$

Este tiempo (1.67 ms) es el que dura un solo ciclo de la señal de salida. Para evaluar la frecuencia (número de ciclos que se producen en un segundo) utilizamos la fórmula de f:

$$f = 1/T$$
$$f(Hz) = 1/(1.67x10^{-3})$$
$$f = 598.8 \text{ Hz} \approx \mathbf{600 \text{ Hz}}$$

Es decir, el circuito genera 600 pulsos por segundo. Esta frecuencia es audible. Usted puede comprobarlo experimentalmente conectando el pin 3 a la entrada de un amplificador de audio. Escuchará un tono continuo de 600 Hz en el parlante.

El oído humano puede captar frecuencias entre 20 Hz y 20 KHz. Otros seres vivos, por ejemplo las ratas y los insectos, pueden escuchar *ultrasonidos*, es decir frecuencias por encima de 20 KHz. Aprovechando este fenómeno natural, los generadores de ultrasonidos se pueden utilizar como repelentes de plagas en graneros, campamentos y otros sitios donde es común su presencia.

Para evaluar el *duty cycle* o ciclo útil de la señal de salida, utilizamos la fórmula de D:

$$D(\%) = (Tc/T) \times 100$$
$$D = (839/1671) \times 100 = \mathbf{50.2\% \approx 50\%}$$

Este valor de *duty cycle* (50%) implica que la señal de salida es simétrica, es decir, dura prácticamente el mismo tiempo en **alto** que en **bajo**. En otras palabras, se trata de una onda cuadrada.

En el siguiente experimento comprobaremos la operación del 555 en el modo astable, es decir como generador de pulsos o reloj.

EXPERIMENTO Nº 16

Funcionamiento del 555 en el modo astable

Objetivos

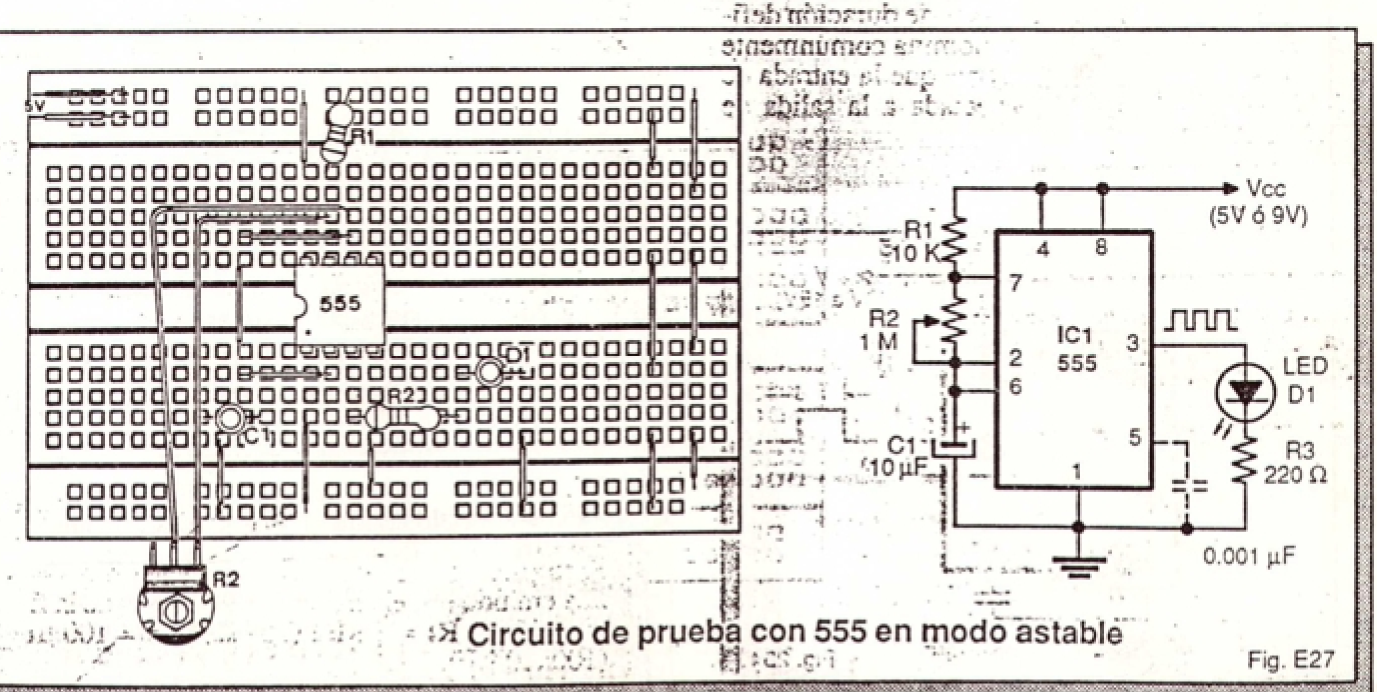
- Analizar la operación del 555 en el modo astable.
- Observar cómo varía la frecuencia de la salida en función de los componentes externos.

Materiales a utilizar

1 circuito integrado 555 (IC1).
1 resistencia de 10 KΩ (R1).
1 potenciómetro de 1 MΩ (R2).
1 resistencia de 220 Ω (R3).
1 condensador de 10 µF/16V (C1).
1 LED (D1).
1 Fuente de 5V, 1 A (*kit* CEKIT K11 ó similar) o una pila alcalina de 9V con conector (B1).
1 *Protoboard.*
Puentes de alambre telefónico #22 ó # 24.

Descripción del circuito de prueba

En la figura E27 se muestra el circuito que vamos a utilizar en este experimento para comprobar la operación del 555 en el modo astable (reloj). Las resistencias R1 y R2 y el condensador C1 establecen las características de la señal de salida. Para de-



Circuito de prueba con 555 en modo astable

Fig. E27

tectar la presencia de pulsos se utiliza el monitor lógico formado por el LED D1 y la resistencia R3.

Cuando la salida es **alta**, D1 se prende y cuando es **baja** se apaga. Como resultado el LED parpadea a una determinada frecuencia, ajustable mediante el potenciómetro R2.

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E27. Conecte el potenciómetro R2 mediante dos alambres de longitud adecuada y debidamente soldados. Tenga especial precaución con la instalación del CI 555. Antes de encender la fuente verifique bien todas las conexiones y sitúe R2 en una posición intermedia.

Paso 2. Conecte la fuente y observe lo que sucede en el LED D1. Notará que este último parpadea a una cierta velocidad o frecuencia. Gire el potenciómetro de un extremo a otro. Observará que la frecuencia cambia, siendo mínima en un extremo y máxima en el otro. De esta forma hemos comprobado que la frecuencia depende del valor de R2.

Puede cambiar R2 por resistencias fijas de diferentes valores. Lo mismo, puede remplazar C1 por condensadores de otros valores. En todos los casos encontrará que la frecuencia cambia.

* * *

Operación en el modo monoestable

En la figura 254 se muestra la forma de conectar el circuito integrado 555 en el modo monoestable, es decir como generador de pulsos de duración definida. Esta configuración se denomina comúnmente temporizador o *one-shot*. Observe que la entrada de umbral (TRH, pin 6) está conectada a la salida de descarga (DSC, pin 7).

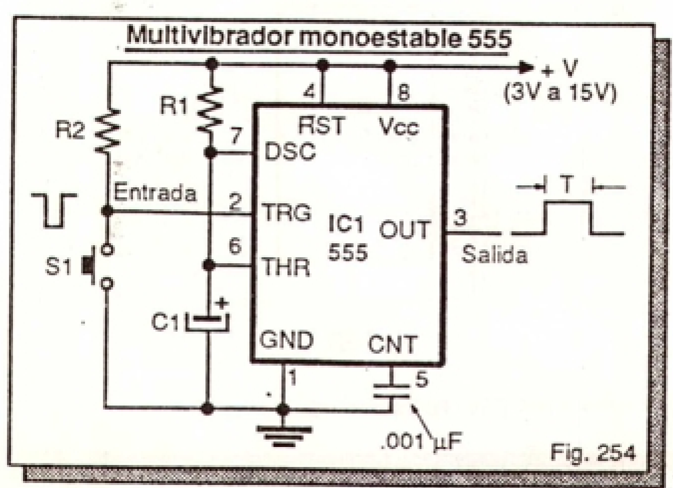


Fig. 254

El circuito formado por la resistencias R1 y R2, el condensador C1 y el pulsador S1 controla el voltaje de entrada aplicado a cada comparador y establece el momento de arranque y la duración del pulso de salida.

En condiciones normales, con el pulsador S1 abierto, la entrada de disparo (TRG, pin 2) está conectada a +Vcc a través de R2 y el comparador de disparo (U2) aplica un **bajo** a la entrada S del *flip-flop*.

Al mismo tiempo, la salida del temporizador (OUT, pin 3) es de nivel **bajo**, la salida $\overline{Q}$ del *flip-flop* es **alta**, el transistor Q1 está *on*, es decir saturado y su colector (DSC, pin 7) descarga el condensador C1 y conecta a tierra la entrada de umbral (TRH, pin 6).

Como resultado, el comparador de umbral aplica un **bajo** a la entrada R del flip-flop. Puesto que la entrada S del mismo es también de nivel **bajo**, el estado previo de la salida (OUT, pin 3) se mantiene, es decir sigue en **bajo**.

Cuando se pulsa momentáneamente S1, el pin 2 (TRG) recibe un **bajo** y el comparador de disparo aplica un **alto** a la entrada S del *flip-flop*. Como resultado, el pin 3 (OUT) pasa del estado **bajo** al estado **alto**. Al liberar S1, la entrada S retorna otra vez al estado **bajo** pero la salida se mantiene **alta**.

Al mismo tiempo, la salida $\overline{Q}$ del *flip-flop* es **baja**, el transistor Q1 está **off** y el condensador C1 comienza a cargarse a través de la resistencia R1. Cuando el voltaje sobre C1 se hace ligeramente superior a los 2/3 de Vcc, el comparador de umbral aplica un **alto** a la entrada R del *flip-flop* y la salida del circuito (OUT) se hace nuevamente **baja**.

Como consecuencia de este proceso, la salida ha permanecido en **alto** durante un determinado tiempo, contado a partir del momento en que se aplicó la señal de disparo mediante S1. En otras palabras, el circuito ha emitido un *pulso*. La duración de este pulso se denomina *período de temporización* y se calcula mediante la siguiente fórmula:

$$T = 1.1 \times R_1 \times C_1$$

El siguiente ejemplo aclara el uso de esta fórmula.

Ejemplo. Calcule la duración del pulso de salida emitido por el circuito monoestable de la figura 254 si $R_1 = 1\ M\Omega\ (10^6\ \Omega)$ y $C_1 = 100\ \mu F\ (100 \times 10^{-6}\ F)$.

Solución. Remplazando R1 y C1 por sus valores correspondientes, obtenemos:

$$T = 1.1 \times R1 \times C1$$
$$T = 1.1 \times 10^6 \times 100 \times 10^{-6} = 110 \text{ s}$$

Es decir, el circuito genera un pulso de 110 segundos de duración (casi dos minutos) contados a partir del momento en que se acciona el interruptor de arranque. Este pulso puede utilizarse para varios propósitos, especialmente para temporizar eventos.

En el circuito de la figura 254, el 555 se dispara manualmente, presionando un botón. En la mayoría de aplicaciones prácticas, es deseable disparar el monoestable por métodos electrónicos.

Si este es el caso, la señal de disparo debe conmutarse desde un valor superior a 2/3 de Vcc hasta un valor inferior a 1/3 de Vcc. El ancho del pulso requerido para disparar electrónicamente el 555 debe ser mayor de 100 ns (nanosegundos) pero menor que el ancho del pulso de salida deseado. Este tema lo ampliaremos en la lección 16.

En el siguiente experimento comprobaremos el funcionamiento del 555 en el modo monoestable, es decir como temporizador. Verificaremos la presencia del pulso de salida mediante un LED. Se puede utilizar un cronómetro para medir su duración.

EXPERIMENTO Nº 17

Funcionamiento del CI 555 en el modo monoestable

Objetivos

- Analizar la operación del 555 en el modo monoestable, es decir, como temporizador.

- Demostrar el efecto del pulso de disparo sobre la señal de salida del temporizador.

- Observar cómo la duración del pulsos depende del valor de los componentes externos.

Materiales a utilizar

1 circuito integrado 555 (IC1).
1 resistencia de 47 KΩ (R1).
1 potenciómetro de 250 KΩ (R2).
1 resistencia 220 Ω (R3).
1 resistencia de 15KΩ (R4).
1 condensador de 33 µF/16V (C1).
1 LED (D1).
1 pulsador (S1).
1 fuente de 5V (*kit* CEKIT K11 o similar) o una pila alcalina de 9V.
1 *protoboard*.
Puentes de alambre telefónico.

Circuito de prueba con 555 en modo monoestable

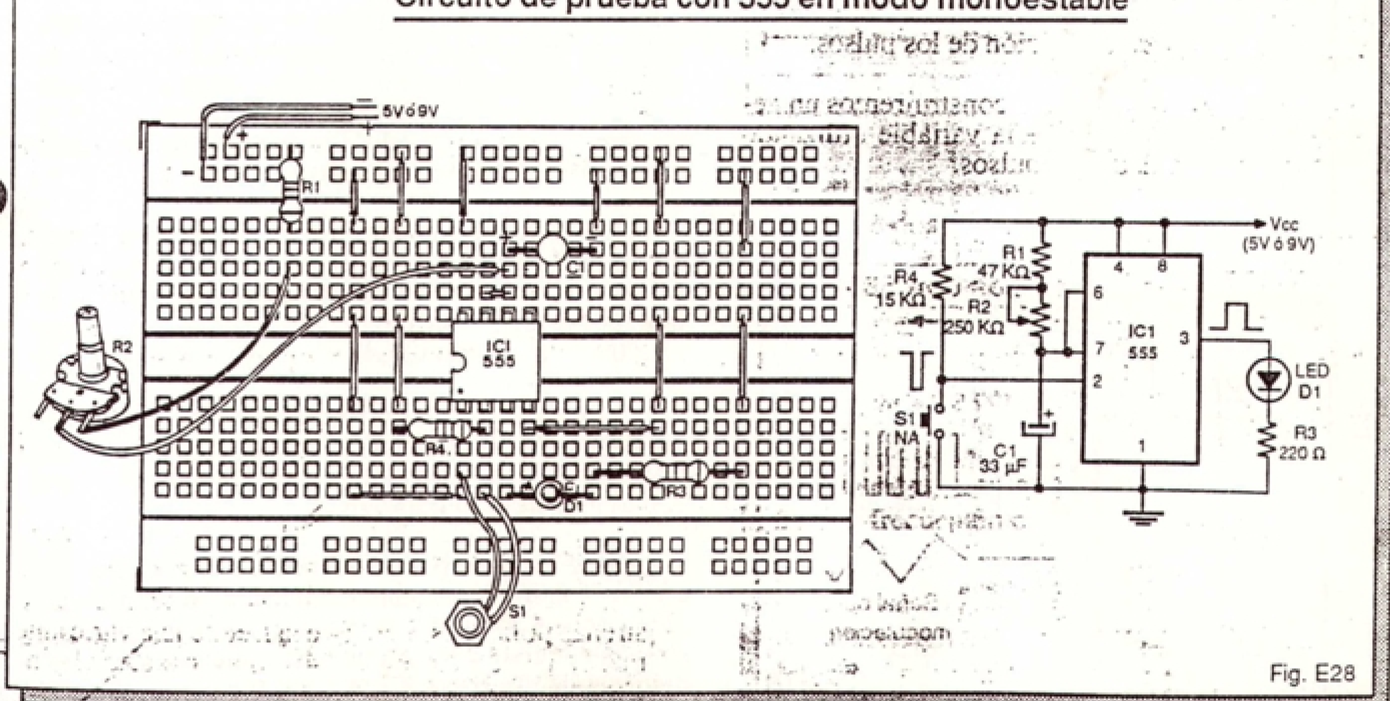


Fig. E28

Descripción del circuito

En la figura E28 se muestra el circuito de prueba de un monostable con 555. El LED D1visualiza el estado de la señal de salida. La resistencia R3 limita la corriente del LED a un valor seguro.

La resistencia R4 y el pulsador S1 configuran el circuito de disparo. La resistencia R1, el potenciómetro R2 y el condensador C1 determinan el ancho del pulso de salida.

Procedimiento

Paso 1. Arme el circuito de la figura E28 en su *protoboard.* Conecte el potenciómetro R2 y el pulsador S1 mediante alambres de longitud adecuada. Antes de encender la fuente, asegúrese de que todas sus conexiones estén correctas.

Paso 2. Conecte la fuente de alimentación y observe lo que sucede en el LED D1. Notará que permanece apagado. Sitúe R2 en su posición media. Pulse S2. Observará que el LED se prende y permanece encendido durante un tiempo, al cabo del cual se apaga. Compare este tiempo con los obtenidos cuando el potenciómetro se sitúa en otros puntos.

* * *

El 555 como modulador de pulsos

En la figura 255 se ilustra la forma de conectar el CI 555 como modulador de pulsos. En esta aplicación, el *chip* trabaja en el modo astable y la frecuencia de la señal de salida se controla mediante un voltaje aplicado al pin 5 (CONTROL o CNT). Esta señal varía el voltaje de referencia del comparador de umbral y desplaza la posición de los pulsos.

En el siguiente experimento construiremos un generador de tonos de frecuencia variable utilizando un 555 como modulador de pulsos.

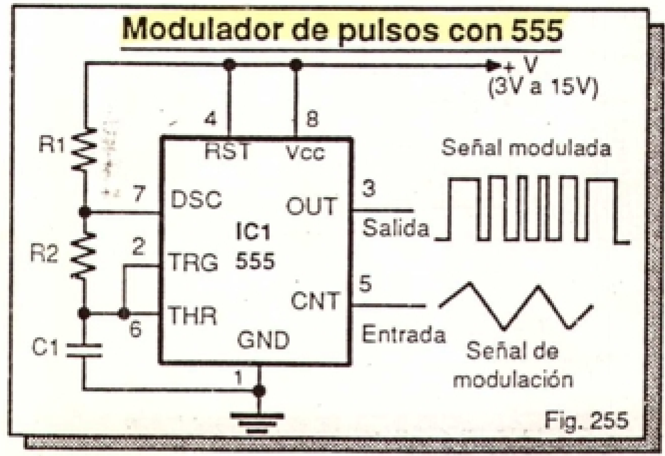


Fig. 255

EXPERIMENTO Nº 18

Generador de tono variable con el CI 555

Objetivos

- Analizar la operación de un circuito modulador de pulsos de audio basado en el 555.

- Observar el efecto de la aplicación de un voltaje de control sobre la frecuencia de la señal de salida.

Materiales a utilizar

1 circuito integrado 555 (IC1).
1 resistencia de 47 K (R1).
1 resistencia de 100 Ω (R2).
1 resistencia de 10 K (R3).
1 resistencia de 2.2 K (R4)
1 resistencia de 10 Ω (R5).
1 potenciómetro de 100 K (R6).
1 condensador de 0.01 µF/16V (C1).
1 condensador de 1000 µF/16V (C2).
1 transistor 2N3904 (Q1).
1 fuente de 5V (*kit* CEKIT K11 o similar) o una pila alcalina de 9V con conector.
1 pulsador N.A (S1).
1 parlante de 8 Ω.
1 *protoboard.*
Puentes de alambre telefónico # 22 ó # 24.

Descripción del circuito

En la figura E29 se muestra el circuito de un generador de tonos con 555. El sistema suministra pulsos de frecuencia variable al amplificador de audio constituido por R2, R5, Q1 y el parlante. La frecuencia del tono reproducido se controla mediante el potenciómetro R6 y el voltaje sobre C2.

Inicialmente el condensador C2 se carga a través de R3, elevando el voltaje del pin 5 del CI 555. Durante el proceso de subida del voltaje de C2, la frecuencia de salida del astable disminuye. Como resultado, el sonido tiende a hacerse más grave.

Si se pulsa S1, C2 se descargará a través de R4, produciéndose una caída de voltaje en el pin 5. La frecuencia del astable aumentará y se escuchará en el parlante un tono más agudo.

Realice las pruebas con atención y disfrute los efectos sonoros. Si ajusta R2 hasta un tono agradable, puede producir sonidos semejantes a los de sirenas policiales. Para que la frecuencia varíe automáticamente, retire R3, R4 y C2 y conecte el pin 5 a la salida de un oscilador.

Generador de tono variable con 555

Fig. E29

El circuito integrado 556

El circuito integrado 556 (figura 256) es un *chip* muy versátil que contiene dos temporizadores 555 idénticos y completamente independientes en una misma cápsula DIP de 14 pines. La tensión de alimentación se aplica entre los pines 14 (Vcc) y 7 (GND). La tabla 14-1 compara la equivalencia de pines entre el 556 y el 555.

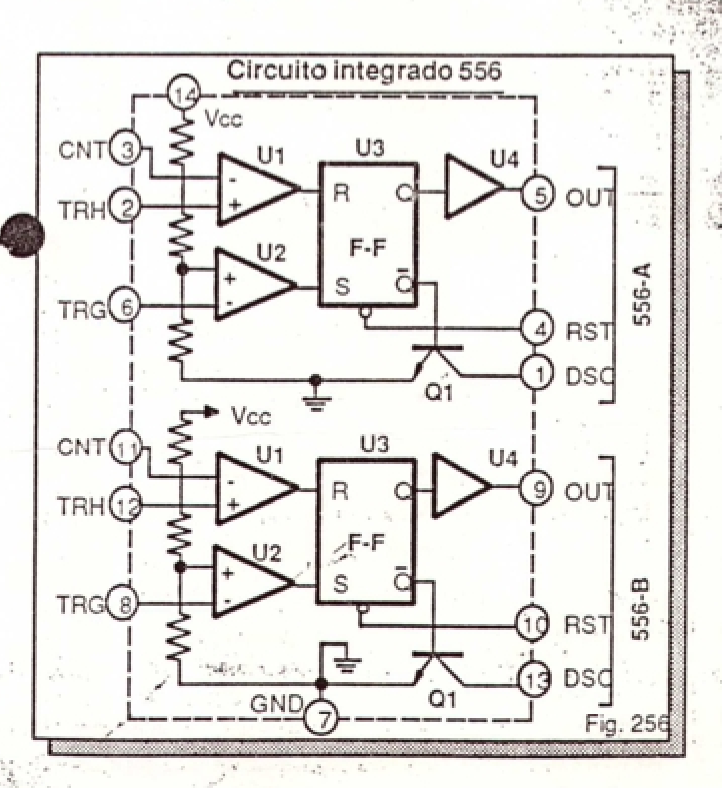


Fig. 256

Equivalencia de pines 555-556

Función	555	556-A	556-B
Tierra (GND)	1	7	7
Activación (TRIGGER)	2	6	8
Salida (OUTPUT)	3	5	9
Desactivación (RESET)	4	4	10
Control vol (CONTROL)	5	3	11
Umbral (THRESHOLD)	6	2	12
Descarga (DISCHARGE)	7	1	13
Alimentación (Vcc)	8	14	14

Tabla 14-1

La utilización de un circuito integrado 556 en sustitución de dos 555 simplifica los requisitos de cableado, facilita el trazado del circuito impreso y ahorra tiempo, dinero y esfuerzo.

Circuitos de aplicación

Se presentan a continuación algunas aplicaciones típicas del circuito integrado 555. Describiremos, una luz de velocidad variable, una sirena electrónica y un intervalómetro. A lo largo de este curso encontraremos frecuentemente este *chip* en todo tipo de proyectos y circuitos de aplicación.

Luces de velocidad variable (kit CEKIT K3)

El circuito de la figura 257 ilumina alternativamente los LED D1 y D2 a una frecuencia determina-

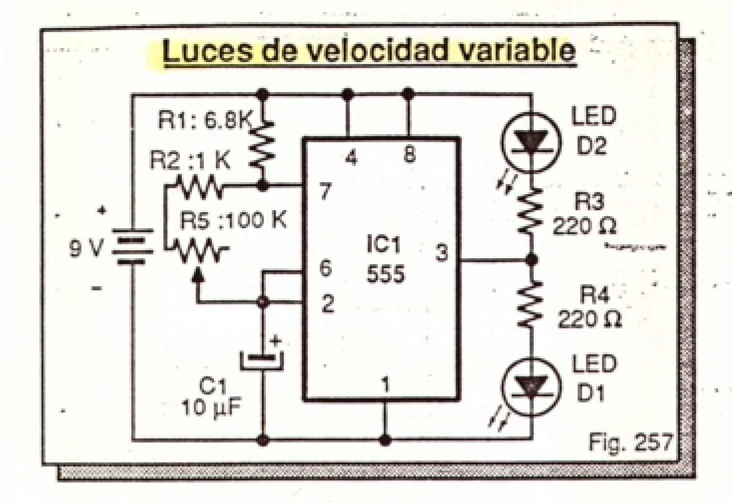


Fig. 257

da por la posición del potenciómetro R5. El 555 trabaja en el modo astable. Los LED se pueden sustituir por optoacopladores y triacs para producir el mismo efecto en lámparas de potencia.

Temporizador variable (kit CEKIT K5)

El circuito de la figura 258 ilumina el LED D1 durante un intervalo de tiempo determinado a partir del momento en que se pulsa el interruptor S1. La duración del evento se controla mediante el potenciómetro R4. Para temporizar cargas de potencia, se puede conectar a la salida la interface de relé mostrada en la misma figura 258.

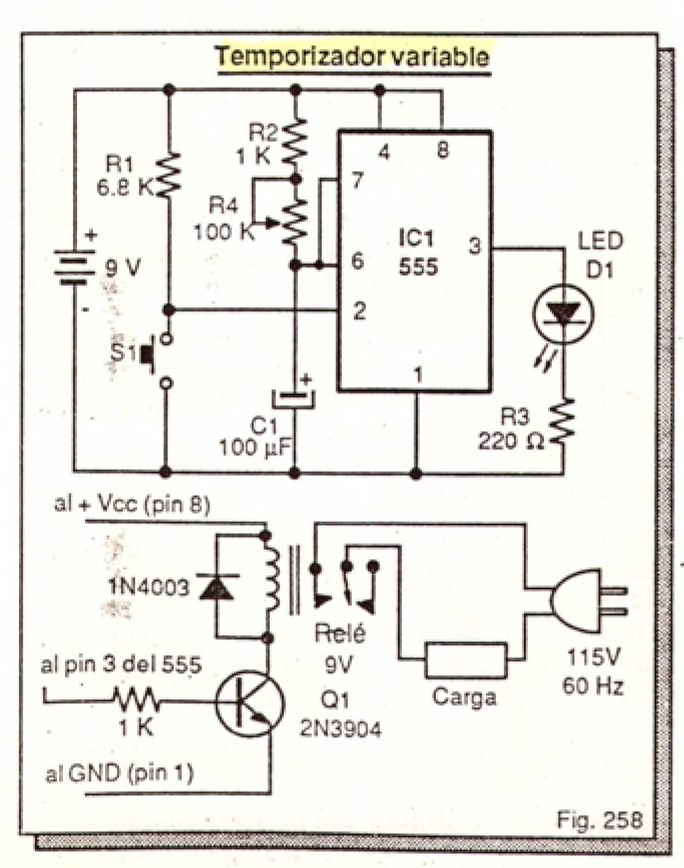


Fig. 258

Sirena electrónica automática (kit CEKIT K16)

El circuito de la figura 259 genera un sonido similar al de una ambulancia o una patrulla policial cuando se cierra el interruptor S1. Consiste, básicamente de un oscilador de baja frecuencia que controla un multivibrador astable de alta frecuencia. El sistema así constituido se denomina un oscilador controlado por voltaje (VCO).

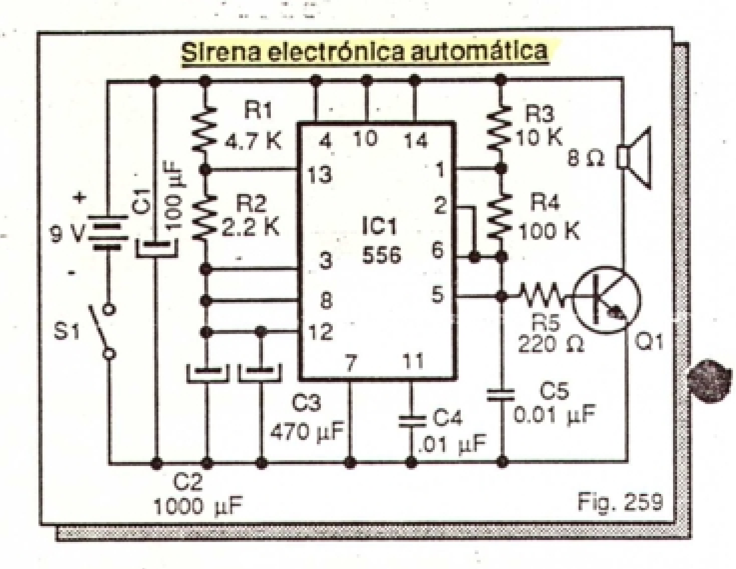


Fig. 259

Intervalómetro de relé

El circuito de la figura 260 genera tiempos de encendido y apagado muy precisos, los cuales se repiten períodicamente, a intervalos regulares. La señal generada puede utilizarse para controlar automáticamente los períodos de activación o desactivación de una carga, por ejemplo, un relé que maneja el motor de un parabrisas o una luz de señalización.

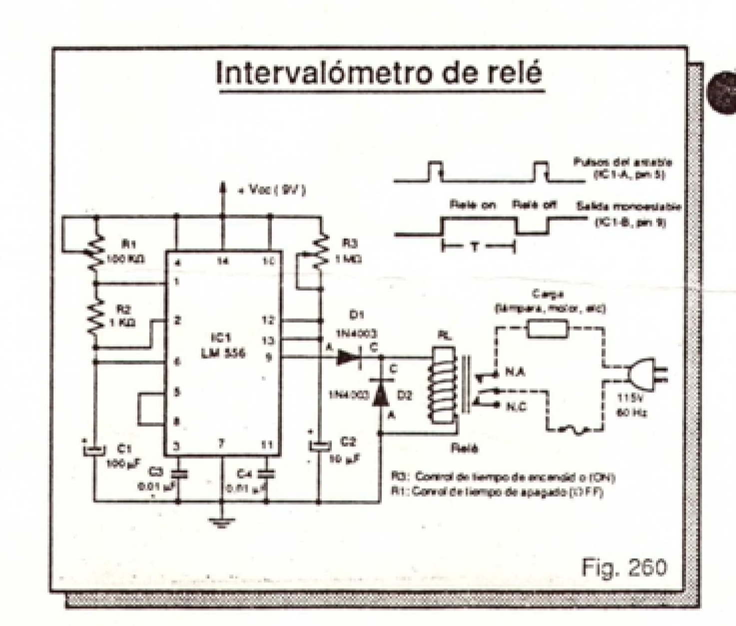


Fig. 260

Detectores de flancos

- *Introducción*
- *Qué es un detector de flancos. Teoría general*
- *Circuitos de aplicación*
- *Interruptor libre de rebote*
- *Generador de pulsos de reset de encendido*
- *Retardador de pulsos*
- *Convertidor de onda seno a onda cuadrada*
- *Retardador de flancos*
- *Actividad práctica Nº. 11*

Introducción

Una de las necesidades más frecuentes en el diseño de sistemas digitales es disponer de un elemento que genere un pulso en respuesta al borde de subida o de bajada de una señal de entrada. Los circuitos más comúnmente utilizados para este propósito son los detectores de flancos o semi-monoestables y los multivibradores monoestables.

La elección entre un detector de flancos y un monoestable como generador de pulsos depende del grado de precisión requerido. Cuando el ancho del pulso generado no es crítico, los detectores de flancos son la solución más conveniente. Si este no es el caso, debe recurrirse al empleo de monoestables, que son circuitos más especializados.

En esta lección analizaremos la teoría básica de los detectores de flancos, conoceremos las configuraciones más comunes y describiremos varios circuitos sencillos de aplicación. Los multivibradores monoestables se estudiarán en la próxima lección.

Qué es un detector de flancos. Teoría básica

Un *detector de flancos* (figura 261) es un circuito que genera un pulso de salida de muy corta duración, en respuesta a uno de los flancos (el de subida o el de bajada) de una señal de disparo aplicada a la entrada.

El detector de flancos de la figura 261 consta de un inversor CMOS (A), una resistencia (R1) y un condensador (C1). Para facilitar la explicación que sigue, se supone una fuente de alimentación (+V) de 9V y se considera que C1 está completamente descargado. Un nivel alto corresponderá a un voltaje de 9V y un nivel bajo a un voltaje de 0V.

El diagrama de temporización de la figura 261 describe gráficamente el comportamiento del voltaje en los puntos de interés del circuito. La señal de disparo se identifica como V1, el voltaje sobre R1 como V2 y la señal de salida como V3. El uso de diagramas de temporización es muy común en el análisis y diseño de circuitos digitales.

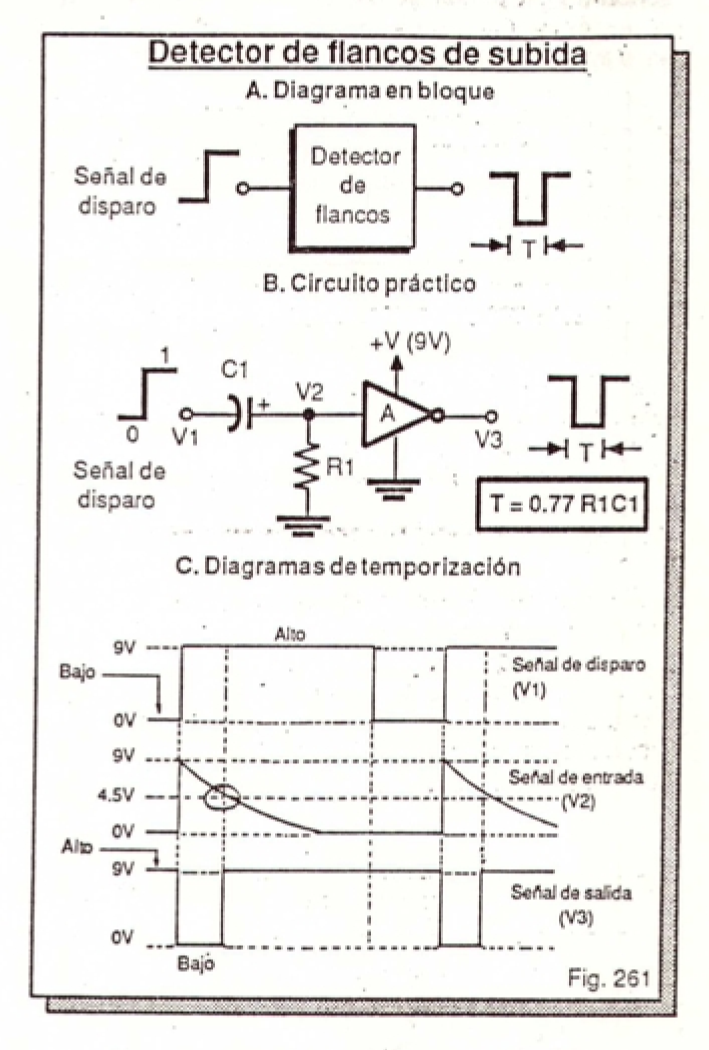


Fig. 261

Inicialmente, la señal de disparo está en **bajo** y la salida del inversor A es **alta**. Esto último sucede porque, sin señal de disparo, R1 conecta la entrada del inversor a tierra, es decir a un nivel bajo.

Cuando la señal de disparo realiza la transición de **bajo a alto** (flanco de subida), el inversor recibe, a través del condensador C1, un nivel **alto** de 9V en su entrada y hace **baja** su línea de salida.

Una vez que la señal de disparo está en **alto**, C1 comienza a cargarse y el voltaje sobre R1 (V2) empieza a descender. Cuando este último es aproximadamente igual a 4.5 V (la mitad del voltaje de alimentación), la entrada del inversor lo interpreta como un **bajo** y hace **alta** su salida. El proceso se repite cada vez que se aplica la señal de disparo.

Como resultado de lo anterior, la salida del inversor ha permanecido en **bajo** durante un período de tiempo **T**, al cabo del cual retorna a su estado normal. (**alto**). En otras palabras, el circuito ha generado un *pulso*, activo en **bajo**, en respuesta a la presencia del flanco de subida de la señal de disparo aplicada en su entrada.

El ancho o duración en segundos (s) de este pulso (T) depende de los valores de R1 y C1 y se puede evaluar, en forma aproximada, mediante la siguiente fórmula:

Ancho del pulso = T = 0.77xR1xC1

En esta expresión, el valor de R1 debe estar dado en ohmios (Ω) y el de C1 en faradios (F). Si R1 se expresa en kilo-ohmios (KΩ) y C1 en microfaradios (μF), se obtiene el ancho del pulso en milisegundos (ms). El siguiente ejemplo aclara la aplicación de la formula anterior.

Ejemplo. Calcular el ancho del pulso de salida generado por detector de flancos de la figura 261 si se utiliza una resistencia de 1 MΩ (10^6 Ω) y un condensador de 1 μF (10^{-6} F).

Solución. Sustituyendo R1 y C1 por sus valores correspondientes (1MΩ y 1 μF), obtenemos:

$$T = 0.77xR1xC1 = 0.77x10^6x10^{-6}$$

$$T = 0.77 \text{ s} = 770 \text{ ms}$$

El resultado anterior significa que la salida permanece en **bajo** durante aproximadamente 770 milisegundos (casi un segundo), contados desde el instante en que aparece el flanco de subida de la señal de disparo. El resto del tiempo, la salida se mantiene en **alto**.

El circuito de la figura 261 detecta el flanco *positivo* o de subida de la señal de disparo y entrega un pulso de salida activo en **bajo**. Para obtener disparo por flancos *negativos* o de bajada, la resistencia R1 debe conectarse al positivo de la fuente (+V), como se indica en la figura 262. En este caso, el pulso de salida es activo en **alto**.

Teóricamente, un detector de flancos se puede realizar utilizando cualquier tipo de compuerta, inversora o no inversora. Sin embargo, desde el punto de vista práctico, los detectores de flancos más eficientes se obtienen empleando compuertas *Schmitt-trigger*. En la figura 263 se muestran las configuraciones más comunes de estos últimos.

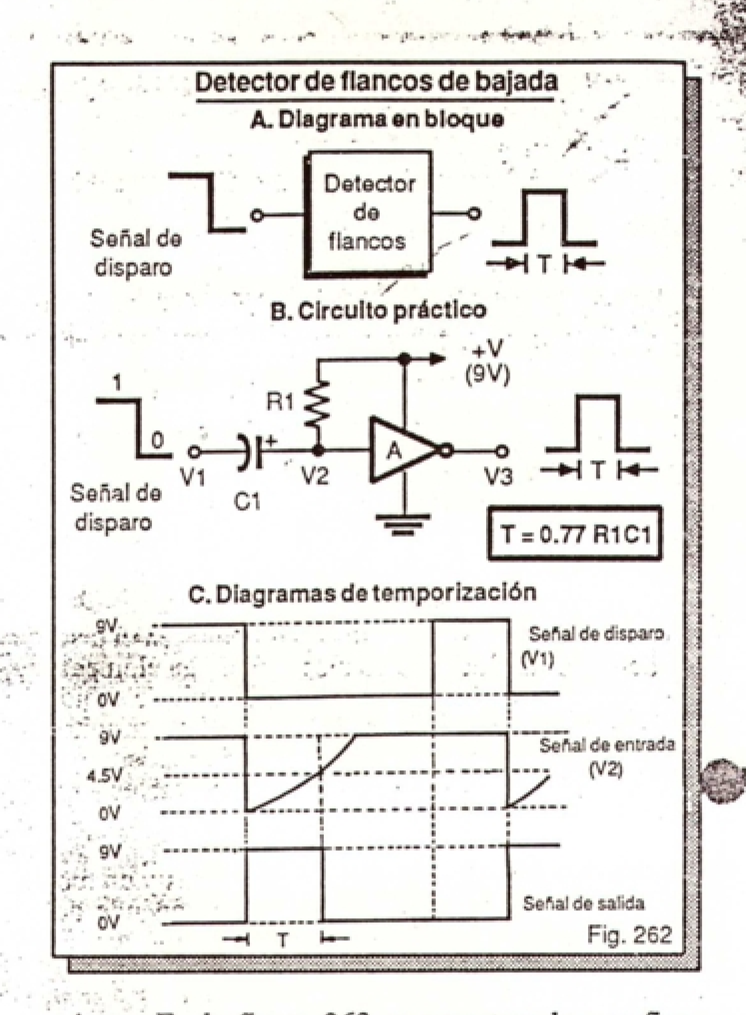


Fig. 262

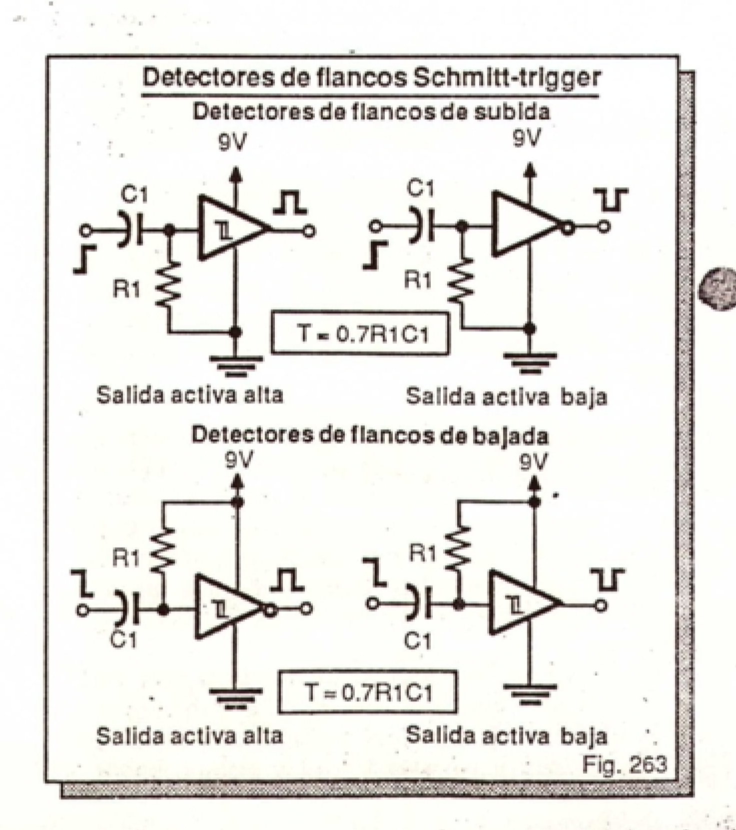


Fig. 263

Como vimos en la lección 6, los dispositivos *Schmitt-trigger* están dotados de una característica especial llamada *histéresis*, la cual los hace inmunes al ruido. Utilizando compuertas *Schmitt-trigger* en detectores de flancos se garantiza un pulso de salida *limpio* (sin ruido) y perfectamente rectangular.

Para que los detectores de flancos descritos anteriormente operen en forma correcta, la señal de disparo debe permanecer aplicada durante un tiempo superior al ancho del pulso de salida deseado. En muchas aplicaciones, esta es una limitación seria. Los monoestables que estudiaremos en la próxima lección no están sujetos a esta restricción.

Circuitos de aplicación

En esta sección describiremos algunas de las aplicaciones más importantes y útiles de los detectores de flancos. Entre los circuitos incluidos figuran un eliminador de rebote para interruptores del tipo *push-button* (pulsadores), un generador de pulsos de *reset*, un convertidor de onda seno a onda cuadrada y un retardador de pulsos.

En todos los casos se utilizan compuertas NAND *Schmitt-trigger* 4093B conectadas como inversores. La descripción de este *chip* se realizó en la lección 6 (página 63). En la figura 264 se repite su distribución de pines por comodidad.

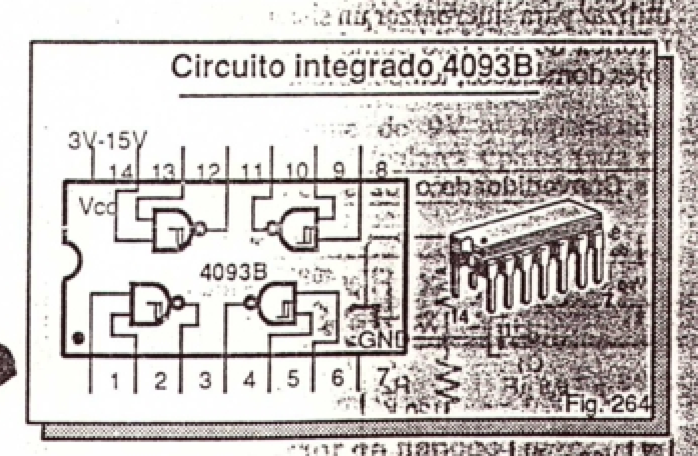


Fig. 264

En lugar de compuertas NAND 4093B se pueden también utilizar inversores *Schmitt-trigger* CMOS (40106B, 74C14, etc.). Siempre que utilice dispositivos CMOS, no olvide conectar las entradas no utilizadas a tierra o a +V para prevenir daños por descargas electrostáticas (ESD) generadas involuntariamente durante su manipulación.

Como en los demás proyectos CMOS de este curso, todos los circuitos se pueden alimentar a partir de una batería o fuente de 9V (*kit* CEKIT K10) o una fuente de 5V (*kit* CEKIT K11). El máximo voltaje de operación permitido es 15V.

Interruptor libre de rebote

Un detector de flancos se puede utilizar eficientemente para construir un interruptor libre de rebote, como se muestra en la figura 265. En este caso, el circuito responde a flancos de bajada y la señal de disparo la produce un pulsador normalmente abierto (S1). El pulso de salida es activo en alto y tiene un retardo (T) de 20 ms, aproximadamente.

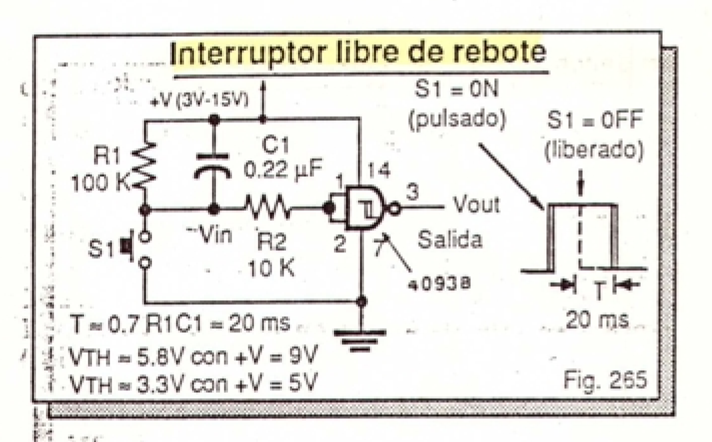


Fig. 265

La entrada del inversor está puesta a un nivel alto (+V) a través de las resistencias R1 y R2. En estas condiciones, la salida del circuito es de nivel bajo y el condensador está descargado. Cuando se cierra S1, el condensador se carga instantáneamente al voltaje de la fuente (+V) y la entrada del inversor recibe un nivel bajo.

Como resultado de lo anterior, la salida del circuito se hace alta. Al liberar S1, el condensador C1 comienza a descargarse lentamente a través de R1 y el voltaje de entrada del inversor (Vin) empieza a aumentar, hasta que se hace igual al valor del umbral superior (VHT) de la compuerta.

En ese instante, el inversor se dispara, es decir cambia de estado, y la salida se hace baja. Esto sucede, aproximadamente, a los 20 ms de haberse liberado el interruptor. Durante este período de retardo (T), el inversor desconoce los pulsos de rebote generados durante la apertura de S1. El resultado es un pulso nítido, libre de ruido, a la salida.

Notas: Para el 4093B, VTH es típicamente igual a 5.8 V con +V = 9 V y a 3.3 V con +V = 5 V.

Generador de pulsos de inicialización o de reset

La mayoría de sistemas digitales necesitan de un pulso de determinada longitud para inicializar, generalmente en 0's, las salidas de sus *flip-flops*, contadores, registros y otros circuitos, en el momento de encender la fuente de alimentación. Cuando esto no se hace, puede ocurrir que el sistema no funcione

como se espera, a pesar de estar bien diseñado y conectado.

Para evitar que esto suceda, la mejor solución es utilizar un generador de pulsos de *reset* de encendido. En la figura 266 se muestra un circuito adecuado para este propósito. Cada inversor suministra un pulso de *reset*, activo en **alto** o en **bajo**, de 700 ms de duración cuando se aplica potencia por primera vez al circuito.

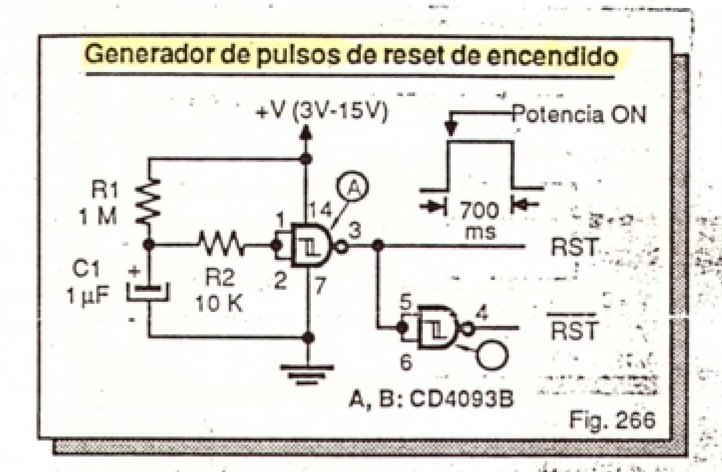


Fig. 266

Al conectar la fuente, el condensador C1 está completamente descargado y la entrada del inversor A recibe un nivel **bajo**. Como resultado, su salida es de nivel **alto** y la del inversor B es de nivel **bajo**. Cuando, 700 ms después, el voltaje sobre C1 alcanza el umbral del inversor A, la salida de este último se hace **baja** y la del inversor B se hace **alta**.

La resistencia R2 es necesaria para prevenir que el condensador se descargue bruscamente a través del circuito de entrada de la compuerta CMOS y la destruya en el momento de desconectar la fuente de potencia. Su presencia no es necesaria cuando se utilizan dispositivos TTL.

Retardador secuencial de pulsos

Existen situaciones donde se necesita que el efecto de una señal de disparo no se manifieste instantáneamente sino un tiempo después de su aparición. La solución a este problema es utilizar un retardador de pulsos. Una forma sencilla de lograrlo es emplear varios detectores de flancos conectados en cascada, como se muestra en la figura 267.

El primer detector se dispara con el flanco de bajada de la señal de entrada y produce un pulso de duración T1. Cuando este pulso termina, su flanco de bajada dispara el segundo detector, el cual produce un pulso de duración T2. El flanco de bajada de este último dispara un tercer detector y así sucesivamente.

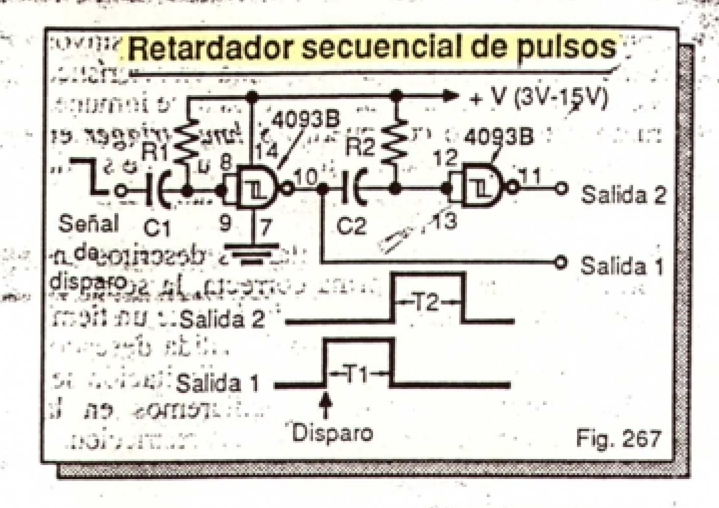


Fig. 267

Los valores de R y C de los detectores se calculan de acuerdo al ancho de pulso deseado en cada caso. Si la entrada se conecta al positivo de la fuente, se obtiene un generador *escalonado* de pulsos de *reset*, el cual inicializa secuencialmente, uno por uno, varios circuitos en el momento de aplicar potencia al sistema.

Convertidor de onda seno a onda cuadrada de 60 Hz

El circuito de la figura 268 produce un tren de pulsos de 60 Hz (60 pulsos cada segundo) cuando es disparado por una señal de corriente alterna de la misma frecuencia y de amplitud adecuada. Se puede utilizar para sincronizar un sistema digital con la red pública de 60 Hz o como patrón de tiempo de relojes domésticos, temporizadores, etc.

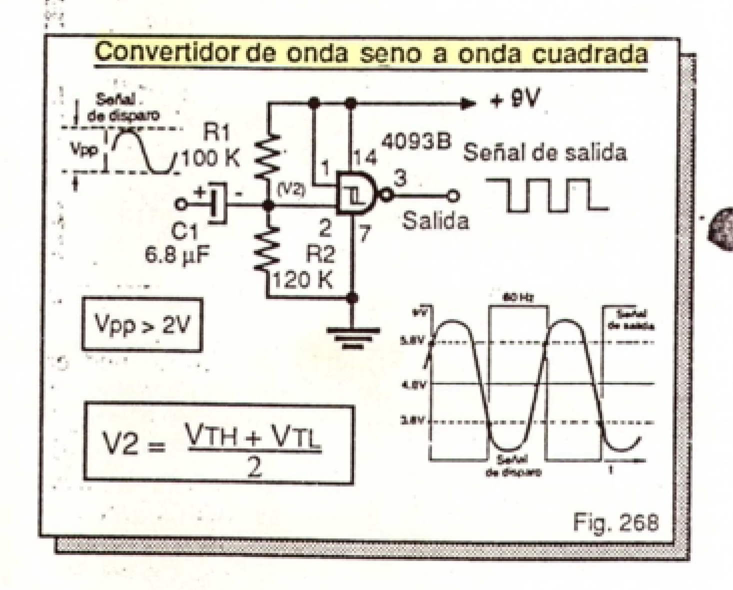


Fig. 268

Con una tensión de alimentación de 9V y sin señal de entrada, las resistencias R1 y R2 fijan el voltaje V_{IN} en 4.8V, aproximadamente. Este valor es intermedio entre entre V_{TH} (5.8 V) y V_{TL} (3.8 V).

La señal de entrada hace variar el voltaje V_{IN} por encima y por debajo de su valor nominal (4.8V).

Recuerde (lección 6) que V_{TH} es el umbral superior de disparo de la compuerta *Schmitt-trigger* y V_{TL} el umbral inferior. La diferencia entre estos valores (V_{TH}-V_{TL}) se denomina *voltaje de histéresis* (V_H). En nuestro caso, V_H=2V. La amplitud Vpp de la señal de entrada debe ser mayor que el voltaje de histéresis, pero menor que el de alimentación.

La salida (pin 3 del 4093B) es **baja** cuando, por efecto del flanco de subida de la señal de entrada, V_{IN} se hace ligeramente superior a 5.8V y **alta** cuando, por efecto del flanco de bajada, este voltaje se hace ligeramente inferior a 3.8 V. El resultado de este proceso es un tren de pulsos cuadrados a la salida, de la misma frecuencia de la señal de entrada.

Retardador de flancos

El circuito de la figura 269 retarda la aparición de los flancos de la señal de salida con respecto a los flancos de la señal de entrada. Específicamente, el flanco negativo de la salida está retardado un tiempo T^+ con respecto al flanco positivo de la entrada y el flanco positivo de la salida un tiempo T^- con respecto al flanco negativo de la entrada.

El valor de estos tiempos de retardo depende de los valores de R1 y de C1 pero también está sujeto a las variaciones en el voltaje de alimentación (+V) y en los umbrales de disparo (V_{TH} y V_{TL}) de la compuerta *Schmitt-trigger*.

Utilizando una fuente de 9V, y suponiendo V_{TH}=5.8 V y V_{TL}=3.8 V (valores típicos para el 4093B), los tiempos T^+ y T^- se pueden calcular, en forma aproximada, como sigue:

$$T^+ = 1.03 \times R1 \times C1$$
$$T^- = 0.86 \times R1 \times C1$$

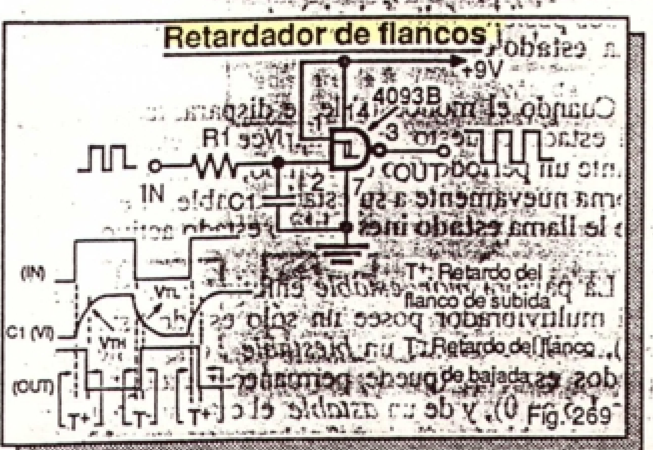


Fig. 269

ACTIVIDAD PRACTICA Nº 11

Construcción del módulo 2. Parte 4

Continuando con el ensamble del módulo 2, en esta actividad instalaremos en la tarjeta de circuito impreso del mismo el interruptor lógico S3. La función de este componente es suministrar, de acuerdo a su posición, un nivel **alto** o **bajo** de voltaje en el terminal de salida S3 de la tarjeta.

Instalaremos también los terminales de conexión del módulo, con el fin de comenzar a utilizarlo en nuestros próximos proyectos y experimentos.

Componentes necesarios

1 interruptor miniatura tipo spdt. S3
1 circuito impreso CEKIT EDM-2.
1 cautín de baja potencia (15W a 35W).
1 cortafríos
6 pines de conexión.
Soldadura de estaño 60/40.

Los pines de conexión puede obtenerlos de terminales sobrantes de LED o de resistencias, de la misma forma como se hizo para el módulo 1.

Procedimiento

Paso 1. Tome el interruptor S3 e instálelo a continuación del interruptor S2, en los agujeros correspondientes, como se muestra en la figura A14. Asegúrese de que el componente quede instalado en una posición firme y suéldelo con cuidado por el lado del cobre.

Paso 2. Tome los 6 terminales de inserción y suéldelos por el lado del cobre de la tarjeta EDM-2, de la misma forma como lo hizo para el módulo 1 (ver página 70, figura A8). Al finalizar, córtelos todos a una misma longitud, por ejemplo 1 cm.

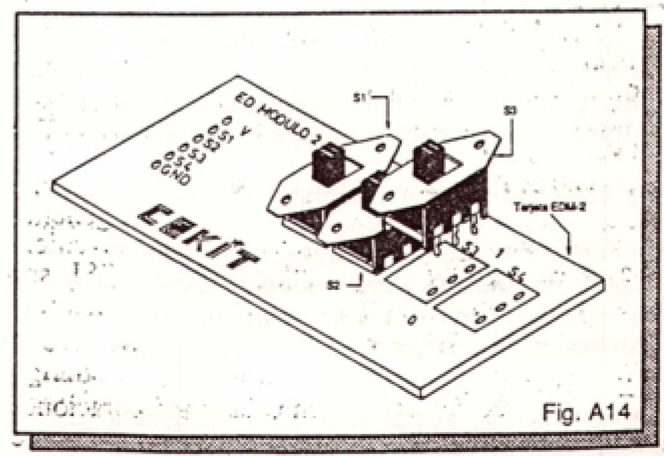


Fig. A14

Monoestables y temporizadores

- *Introducción*
- *Qué es un multivibrador monoestable*
- *Tipos de multivibradores monoestables*
- *Monoestables no redisparables*
- *Monoestables redisparables*
- *Monoestables con compuertas NAND y NOR*
- *Monoestables con 555*
- *Circuitos integrados monoestables TTL*
- *El circuito integrado 74LS221*
- *Experimento Nº 19. Operación de un monoestable no redisparable TTL*
- *El circuito integrado 74LS123*
- *Circuitos integrados monoestables CMOS. El circuito integrado 74C221*
- *El circuito integrado 4528B*
- *Temporizadores de eventos largos. Los circuitos integrados ZN1034E y CD 4541B*
- *El circuito integrado XR-2240*
- *Circuitos de aplicación*

Introducción

Un multivibrador monoestable o *one-shot* (léase *uan-chot*), lo mismo que un detector de flancos, genera un pulso de salida de corta duración en respuesta al flanco de subida o de bajada de una señal de disparo aplicada a la entrada. Sin embargo, los monoestables son circuitos más especializados, precisos y versátiles.

Un monoestable no está sujeto a las restricciones que caracterizan el funcionamiento de un detector de flancos. El ancho del pulso generado se puede controlar en forma más exacta y la señal de disparo no necesita permanecer activa mientras se genera el pulso de salida.

Los multivibradores monoestables se utilizan en una gran variedad de aplicaciones: eliminación de ruido en señales digitales, estrechamiento o alargamiento de pulsos, temporización y monitoreo de eventos, etc. Se pueden realizar con compuertas SSI o utilizando circuitos integrados especializados.

La elección entre un circuito integrado monoestable y uno con compuertas se basa, generalmente, más en razones económicas y de conveniencia que de diseño. Los monoestables SSI son menos precisos pero más económicos que los monoestables especializados.

En esta lección estudiaremos las configuraciones de multivibradores monoestables más comúnmente utilizadas en sistemas digitales. Estableceremos la diferencia entre monoestables redisparables y no redisparables y procederemos a la descripción de una serie de circuitos y *chips*, desarrollados específicamente para esta función.

Qué es un multivibrador monoestable

Un multivibrador monoestable o *one-shot* (figura 270) es un circuito que genera en su salida un pulso de cierta duración, en respuesta a uno de los flancos (el de subida o el de bajada) de una señal de disparo aplicada a su entrada. Los monoestables se denominan también *temporizadores*, por ser esta su principal aplicación.

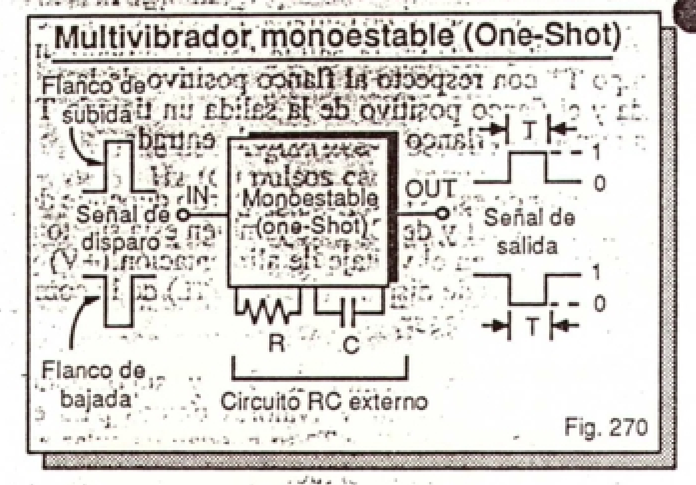


Fig. 270

La duración del pulso (T) la determina un circuito RC externo, constituido, generalmente, por una o dos resistencias y un condensador. En condiciones normales, sin aplicar una señal de disparo, la salida de un monoestable permanece en uno de sus dos estados posibles (**alto** o **bajo**). A este estado se le llama **estado estable**.

Cuando el monoestable se dispara, la salida pasa al estado opuesto y permanece en ese estado durante un período fijo de tiempo, al cabo del cual retorna nuevamente a su estado estable. A este estado se le llama **estado inestable** o estado activo.

La palabra *monoestable* enfatiza el hecho de que el multivibrador posee un sólo estado estable (**1** ó **0**), a diferencia de un *biestable* , que tiene dos estados estables (puede permanecer indefinidamente en **1** ó en **0**), y de un *astable* el cual no posee un estado estable (oscila indefinidamente entre **1** y **0**).

Los multivibradores astables o relojes (*clocks*) se estudian en la próxima lección (la número 17) de este curso. Los multivibradores biestables, incluyendo los cerrojos o *latches* y los *flip-flops*, se estudian en las lecciones 19 y 20.

Tipos de multivibradores monoestables

Existen básicamente dos tipos de multivibradores monoestables: **redisparables y no redisparables**. En ambos casos, la aplicación de una señal de disparo válida causa el cambio de estado de la salida y su permanencia en el estado inestable durante un determinado período de tiempo. Al terminar este último, la salida retorna a su estado estable.

La diferencia entre ellos radica en la forma como cada uno se comporta ante señales subsecuentes de disparo, es decir, ante señales aplicadas con posterioridad a la señal que inició el ciclo interno de temporización, y durante la vigencia de este último.

Mientras un monoestable no redisparable ignora estas señales, uno redisparable las acepta, iniciando con cada una un nuevo ciclo de temporización. En las siguientes secciones se analiza en detalle cada uno de estos dispositivos. Ambos tipos de monoestables son ampliamente utilizados en la práctica.

Monoestables no redisparables

En un monoestable no redisparable o estándar (figura 271), el arribo de la señal de disparo inicia un ciclo interno de temporización, el cual causa que la salida del monoestable cambie de estado cuando comienza el ciclo de temporización y retorne a su estado estable cuando este ciclo termina.

Una vez que el ciclo de temporización se ha iniciado, el multivibrador no redisparable es inmune

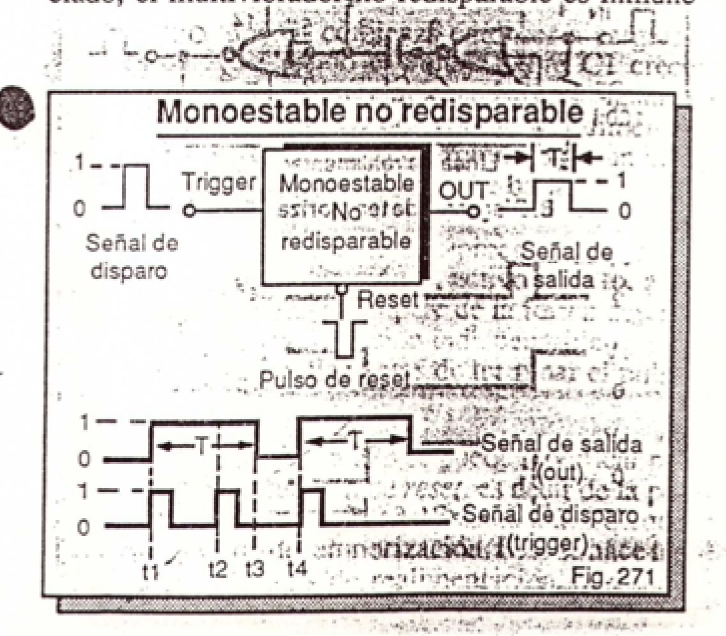


Fig. 271

a los efectos de señales de disparo subsecuentes, hasta que el período de temporización termina. Cualquier señal de disparo aplicada durante este tiempo no tendrá efecto alguno en la salida.

Este tipo de circuito se puede modificar agregándole una entrada de control llamada *reset*, la cual, cuando se activa, causa que el pulso de salida se cancele y obliga al dispositivo a retornar a su estado estable. La disposición de una línea de *reset* permite terminar o *abortar* el período de temporización en cualquier momento.

Para comprender mejor el principio de operación de un monoestable no redisparable, analicemos el diagrama de temporización de la figura 271, correspondiente a un circuito de este tipo que se dispara con flancos de subida y genera pulsos activos en **alto**. En condiciones normales, la salida está en el estado estable, es decir en **bajo**.

En el instante t_1 el monoestable recibe un pulso de disparo (TRIGGER) y la salida pasa del estado estable (**bajo**) al estado inestable (**alto**), permaneciendo en ese estado durante un período de tiempo determinado (T).

Cuando este lapso termina, en el instante t_3, la salida retorna nuevamente a su estado estable (**bajo**) y permanece en ese estado hasta que el monoestable reciba otro pulso de disparo válido en el instante t_4.

La característica esencial del monoestable no redisparable se observa examinando lo que sucede en el instante t_2. En ese momento, el circuito recibe un segundo pulso de disparo. Sin embargo, como la salida aún está activa, es decir en el estado inestable (**alto**), ese pulso es ignorado por el circuito, es decir, no afecta el estado de la salida.

Monoestables redisparables

En un monoestable redisparable (figura 272), cualquier señal de disparo retorna el dispositivo a su estado estable e inicia un nuevo ciclo de temporización, incluso si la señal de disparo se aplica en medio de un ciclo existente. En otras palabras, cada pulso de disparo provoca un nuevo pulso de salida.

De acuerdo a lo anterior, la salida de un monoestable redisparable puede permanecer en su estado activo tanto tiempo como se desee, dependiendo de los nuevos pulsos de disparo aplicados antes de que termine el ciclo de temporización en curso.

Para comprender mejor el principio de operación de un monoestable redisparable, analicemos el diagrama de temporización de la figura 272, correspondiente a un dispositivo de este tipo que se dispara con flancos de subida y genera pulsos activos

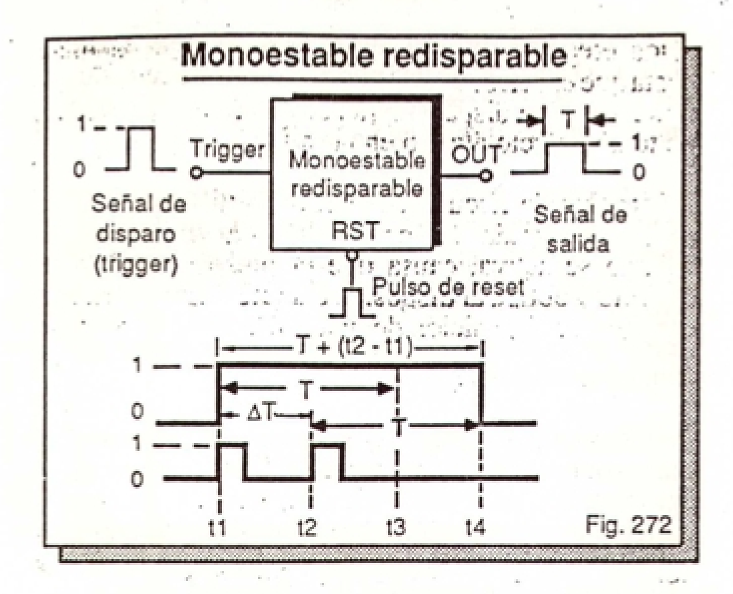


Fig. 272

en alto. Inicialmente, sin señal de disparo, la salida es de nivel bajo.

En el instante t_1 se aplica un pulso de disparo y la salida pasa al estado inestable o activo (alto). En condiciones normales, sin aplicar pulsos subsecuentes de disparo, permanecería en ese estado hasta que termine su período T en el instante t_3.

Sin embargo, en el instante t_2 recibe un segundo pulso de disparo, el cual aborta o cancela el pulso de salida existente y redispara el monoestable por otro período T. El dispositivo se mantiene en su estado inestable (alto) hasta que éste período expira por sí mismo, en el instante t_4. Al cabo de este tiempo, el monoestable retorna a su estado estable.

Como resultado del proceso anterior, la salida ha permanecido en el estado inestable (alto) durante un tiempo total igual a $\Delta T + T$, siendo $\Delta T = t_2 - t_1$ la porción no cancelada del primer período y T la duración del segundo período. El siguiente ejemplo aclara este concepto.

Ejemplo. Suponga que el monoestable redisparable de la figura 272 ha sido calculado para un período de temporización T de 100 milisegundos y recibe dos pulsos de disparo: el primero en el instante $t_1 = 0$ ms, para iniciar la temporización, y el segundo en el instante $t_2 = 40$ ms, para reactivarla. Determine el tiempo total que la salida permanece en **alto**.

Solución. Cuando se aplica el primer pulso, en el instante $t_1 = 0$ ms, el monoestable se dispara y su salida se hace **alta** durante 40 ms, tiempo al cabo del cual se redispara, manteniéndose en **alto** durante los 100 ms que dura el período normal de temporización.

Como resultado, la salida permanece **alta** durante 40+100=140 ms ó, lo que es lo mismo, durante un tiempo $t = (t_2 - t_1) + T = (40-0)+100 = 40+100 = 140$ ms. Este tiempo es superior a los 100 ms que duraría en **alto** la salida si no se aplicarán pulsos de disparo posteriores al que inicio la temporización.

Monoestables con compuertas NAND y NOR

La forma más simple y económica de realizar un monoestable estándar o no redisparable es utilizando compuertas NAND o NOR. Este tipo de circuitos se utiliza cuando el ancho del pulso de salida no es una consideración crítica. Su precisión está sujeta a las variaciones en el voltaje de alimentación, la temperatura y otros factores.

Una característica importante de los monoestables con compuertas radica en que el pulso de disparo se puede aplicar directamente, sin necesidad de condensadores de acoplamiento. Además, la duración del pulso de disparo tiene muy poco efecto en el ancho del pulso generado.

En la figura 273 se muestran el circuito práctico y el diagrama de temporización de un monoestable redisparable con compuertas NOR CMOS 4001B que responde a flancos de subida y genera un pulso de salida activo en **alto**.

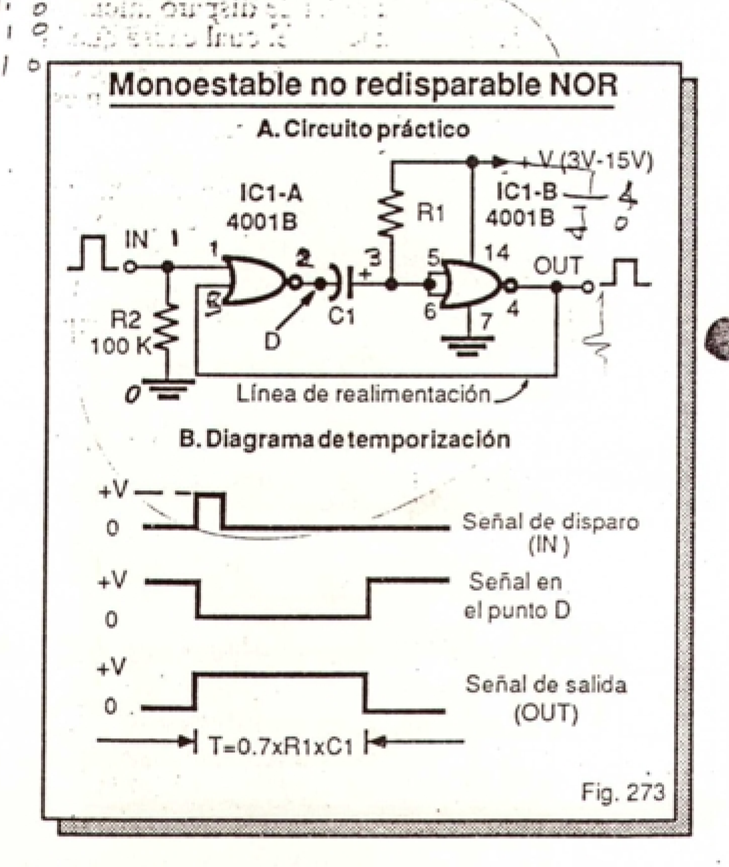


Fig. 273

La duración del pulso de salida (T) la determinan los valores de R1 y C1 y se calcula, en forma aproximada, mediante la siguiente fórmula:

$$T = 0.7 \times R1 \times C1$$

En la práctica, el valor de C1 fluctúa entre 100 pF y 2000 µF y el de R1 entre 4.7 KΩ y 10 MΩ. Por ejemplo, si R1=1 MΩ y C1=10 µF, se obtiene un pulso de salida de $0.7 \times 10^6 \times 10 \times 10^{-6} = 7$ segundos de duración.

El funcionamiento del circuito de la figura 273 es muy simple. Observe que IC1-A e IC1-B son compuertas NOR de dos entradas pero esta última está conectada como inversor. En condiciones normales, sin señal de disparo, la salida del circuito (OUT) es de nivel **bajo** y la entrada superior de la compuerta IC1-A recibe un **bajo** a través de R2.

Puesto que la compuerta IC1-A recibe un **bajo** en ambas entradas, su salida (punto D) es **alta** y el condensador C1 está descargado. Cuando se aplica momentáneamente un pulso de disparo positivo (activo en alto), la salida de IC1-A se hace inmediatamente **baja** y el condensador C1 aplica un **bajo** a la entrada de la compuerta IC1-B.

Como consecuencia de lo anterior, la salida del circuito (OUT) se hace **alta**. Este **alto** se realimenta a la entrada inferior de la compuerta IC1-A, obligando a la salida de esta última (punto D) a permanecer en bajo, sin importar el estado de la señal de disparo. Esta señal debe hacerse **baja** antes de terminar el período de temporización.

El condensador C1 comienza entonces a cargarse a través de R1. Cuando el voltaje sobre C1 crece hasta alcanzar un valor aproximadamente igual a +V/2, es decir, la mitad del voltaje de alimentación, la compuerta IC1-B lo interpreta como un **alto** y la salida del circuito (OUT) se hace **baja**.

El resultado neto de todo este proceso es la emisión de un pulso de duración T, activo en **alto**, a la salida. Para que el circuito opere de la forma descrita anteriormente, es condición indispensable que el pulso de disparo finalice antes de terminar el pulso de salida.

El circuito de la figura 273 se puede modificar para proveerlo de la función de *reset*, es decir de la posibilidad de cancelar el pulso de salida antes de que termine el período de temporización. Esto se hace interrumpiendo la línea de realimentación, como se muestra en la figura 274.

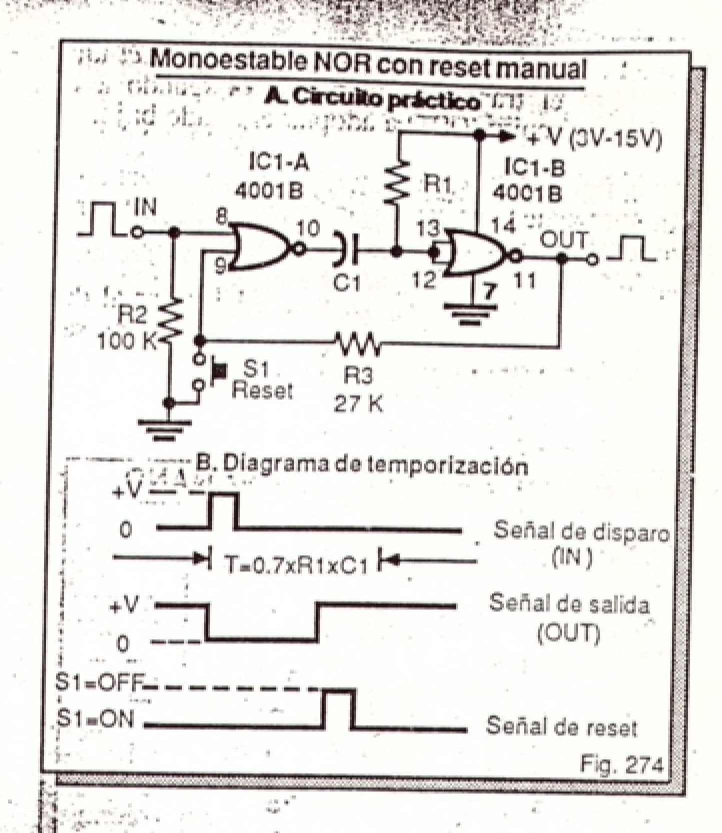


Fig. 274

En este caso, la conexión entre la salida del circuito (OUT) y la entrada inferior de la compuerta IC1-A se realiza a través de la resistencia R3. Cuando se aplica momentáneamente el pulso de disparo, la señal de salida se hace **alta** y se inicia el ciclo de temporización previamente explicado.

Sin embargo, si se pulsa el interruptor S1 (RESET), se aplica un **bajo** a la entrada inferior de IC1-A y la salida de esta compuerta se hace forzosamente **alta**, descargando el condensador C1 y obligando a la salida (OUT) a retornar al estado **bajo** o de reposo.

En el circuito de la figura 274, la señal de *reset* se aplica manualmente. Para permitir que el pulso de salida pueda ser cancelado electrónicamente, S1 se puede sustituir por un transistor, como se indica en

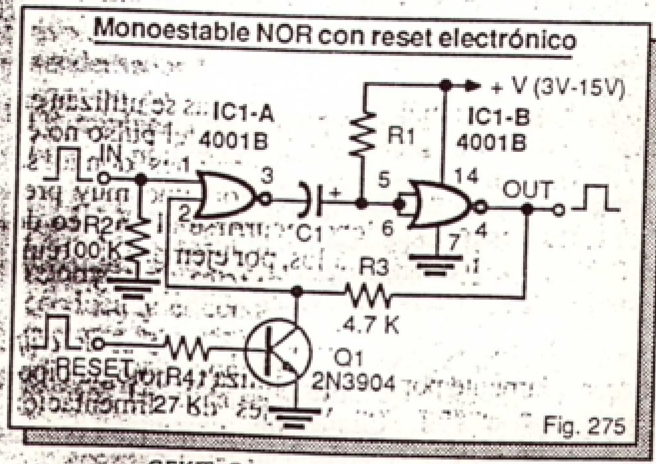


Fig. 275

la figura 275. En este caso, una señal de *reset* alta causa que el transistor conduzca, obligando a la salida del circuito (OUT) a adoptar el estado bajo.

En la figura 276 se muestran el circuito práctico y el diagrama de temporización de un monoestable no redisparable con compuertas NAND 4011B que responde a flancos de bajada y entrega un pulso de salida activo en **bajo**. Su análisis es similar al del circuito de la figura 273. El ancho del pulso de salida se calcula de la misma forma.

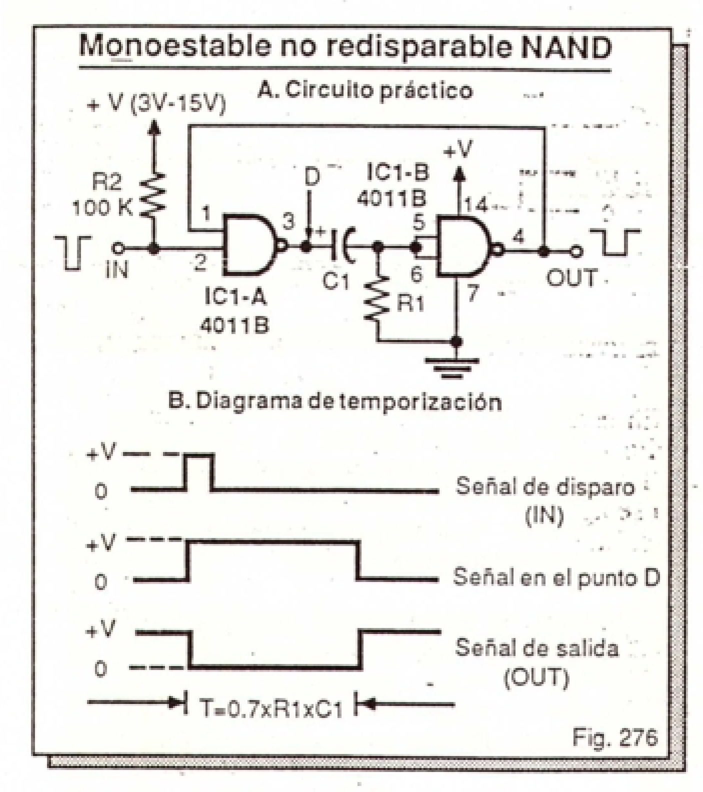


Fig. 276

En la figura 277 se ilustra la forma de dotar al circuito de la figura 276 de la función de *reset* utilizando un interruptor (S1). El análisis de este circuito es similar al de la figura 274. El interruptor se puede sustituir por un transistor PNP, como se indica, para aplicar electrónicamente la señal de *reset*

Monoestables con 555

Los monoestables con compuertas se utilizan en aplicaciones donde el ancho exacto del pulso no es crítico. Existen numerosas situaciones donde se necesita disponer de pulsos de longitud muy precisa. En estos casos, debe recurrirse al empleo de monoestables más avanzados, por ejemplo el circuito integrado 555 y su versión CMOS, el 7555.

Como vimos en la lección 14, el 555 es un *chip* extremadamente popular que utiliza tecnología bipolar. Puede operar con voltajes de alimentación desde +4.5V hasta +18V, lo cual lo hace compatible con la mayoría de familias lógicas de circuitos integrados digitales.

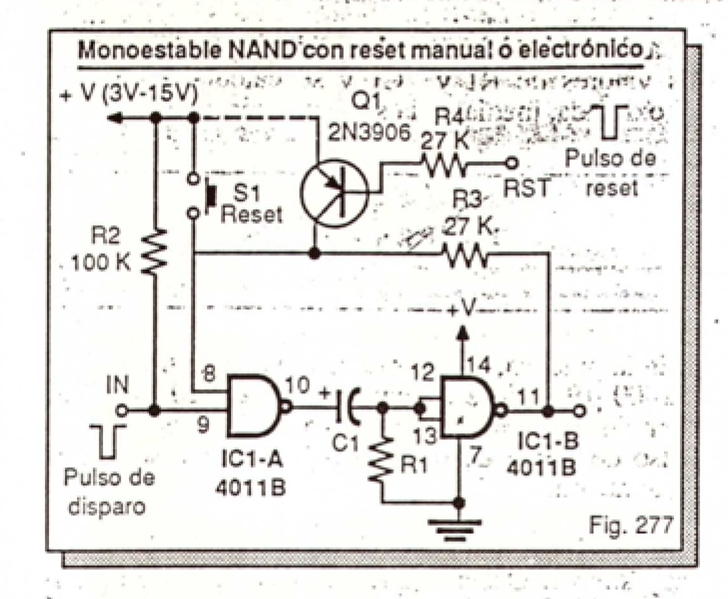


Fig. 277

El 7555 es funcionalmente idéntico al 555 pero se caracteriza por su bajo consumo de potencia y porque puede trabajar con voltajes de alimentación entre +2V y +18V. Todos los circuitos que se describen a continuación utilizan el 7555 como elemento central pero son igualmente válidos con el 555.

En la figura 278 se ilustra la forma de utilizar el 7555 como un monoestable no redisparable. El circuito responde a flancos de bajada y entrega un pulso activo en **alto**. La duración de este pulso depende de los valores de R1, R2 y C1 y no está sujeta a las variaciones del voltaje de alimentación ni a los cambios de temperatura.

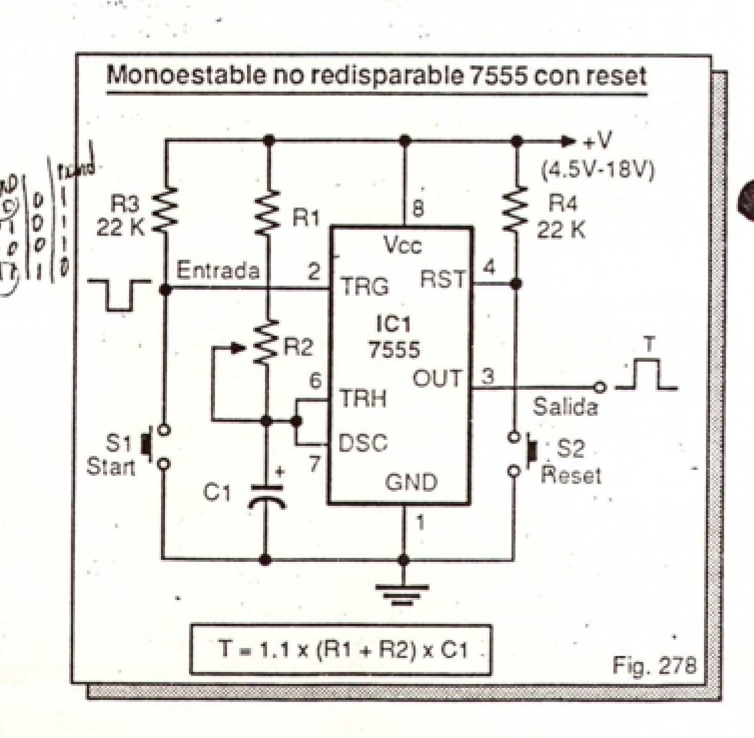


Fig. 278

El monoestable se dispara cuando se pulsa el interruptor S1 y el pin 2 (TRIGGER) recibe un nivel bajo de voltaje inferior a +V/3, es decir a la tercera parte del voltaje de alimentación. En ese instante, la salida OUT (pin 3) se hace alta y C1 comienza a cargarse a través de R1 y R2.

Cuando el voltaje sobre C1 se hace ligeramente superior a +2V/3 (las dos terceras partes del voltaje de alimentación), el pin 2 (TRESHOLD) recibe un nivel alto y la salida cambia abruptamente de estado, haciéndose baja. De este modo finaliza el ciclo de temporización y el circuito queda a la espera del próximo pulso de disparo.

El resultado del proceso anterior es un pulso positivo de salida de duración T. El ciclo de temporización se puede abortar o cancelar prematuramente, antes de que termine por sí mismo, aplicando un bajo al pin 4 (RESET). Esto se consigue pulsando momentáneamente el interruptor S2.

El ancho del pulso de salida se evalúa mediante la siguiente fórmula:

$$T = 1.1 \times (R_1 + R_2) \times C_1$$

Por ejemplo, si R1=10 KΩ (10x10³ Ω), C1= 100 µF (100x10⁻⁶ F) y R2= 1 MΩ (1x10⁶ Ω), el ancho del pulso resultante con el potenciómetro en su posición máxima (1 MΩ) será, entonces:

$$T_{máx} = 1.1 \times (10\times10^3 + 1\times10^6) \times 100\times10^{-6}$$
$$T_{máx} = 111 \text{ segundos}$$

Es decir, la salida permanecerá en alto durante 1 minuto con 51 segundos, contados a partir del momento en que se aplica la señal de disparo. Si el potenciómetro se sitúa en su posición mínima (0Ω), el ancho del pulso resultante será:

$$T_{mín} = 1.1 \times (10\times10^3 + 0) \times 100\times10^{-6}$$
$$T_{mín} = 1.1 \text{ segundos}$$

En conclusión, el potenciómetro permite obtener períodos de temporización desde un segundo hasta prácticamente dos minutos. Pulsando S2 (RESET), cualquier pulso de temporización en curso se cancela y el circuito queda a la espera del próximo pulso de disparo.

En la mayoría de aplicaciones prácticas, es deseable disparar el temporizador 7555 electrónicamente (mediante una señal), en lugar de hacerlo manualmente (pulsando un botón). En la figura 279 se muestra una forma de adaptar el circuito de la figura 278 para disparo electrónico.

Monoestable 7555 disparado electrónicamente (I)

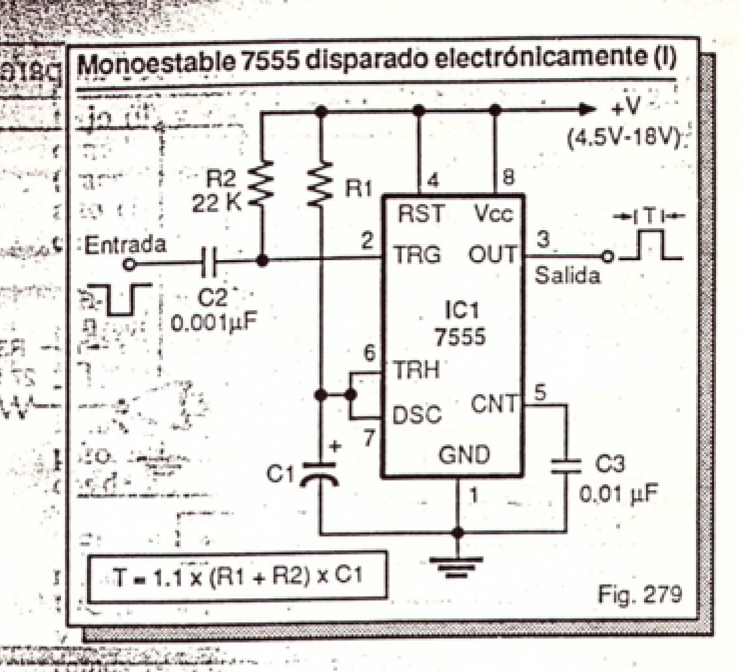


Fig. 279

Observe que el pulso de disparo es activa en **bajo** y se acopla al pin 2 (TRIGGER) del 7555 a través del condensador C2 y la resistencia R2. El ancho de este pulso debe ser mayor de 100 ns (nanosegundos) pero menor que el ancho del pulso de salida deseado. El circuito RC formado por R2 y C2 se denomina un *diferenciador*.

Sin embargo, la mejor forma de disparar electrónicamente el 7555 es utilizar previamente un monoestable de mediana precisión para generar un pulso de ≈100 ns, activo en **alto**, y acoplar este último al pin 2 (TRIGGER) mediante un transistor, como se muestra en la figura 280. En este caso, se utiliza un monoestable con compuertas NOR.

Las configuraciones anteriores corresponden a monoestables no redisparables. En la figura 281 se muestra la forma de convertir el 7555 en un monoestable redisparable. La señal de disparo se aplica a la base de los transistores Q1 y Q2. El primero descarga el condensador de temporización C1 y el segundo aplica el pulso de disparo al pin 2.

Cada vez que se aplica un pulso de disparo, activo en **alto**, el transistor Q1 conduce y descarga el condensador C1, cancelando el período de temporización en curso. Al mismo tiempo, el transistor Q2 también conduce y aplica un pulso, activo en **bajo**, al pin 2 (TRIGGER) del 7555.

Como resultado, el pin 3 (OUT) se hace **alto**. Cuando la señal de disparo desaparece, es decir retorna a su estado **bajo**, los transistores dejan de conducir y el condensador C1 comienza otra vez a cargarse a través de R1, iniciándose un nuevo ciclo de temporización. Si no se aplican más pulsos de disparo, la salida se hace **baja** al cabo de un tiempo T.

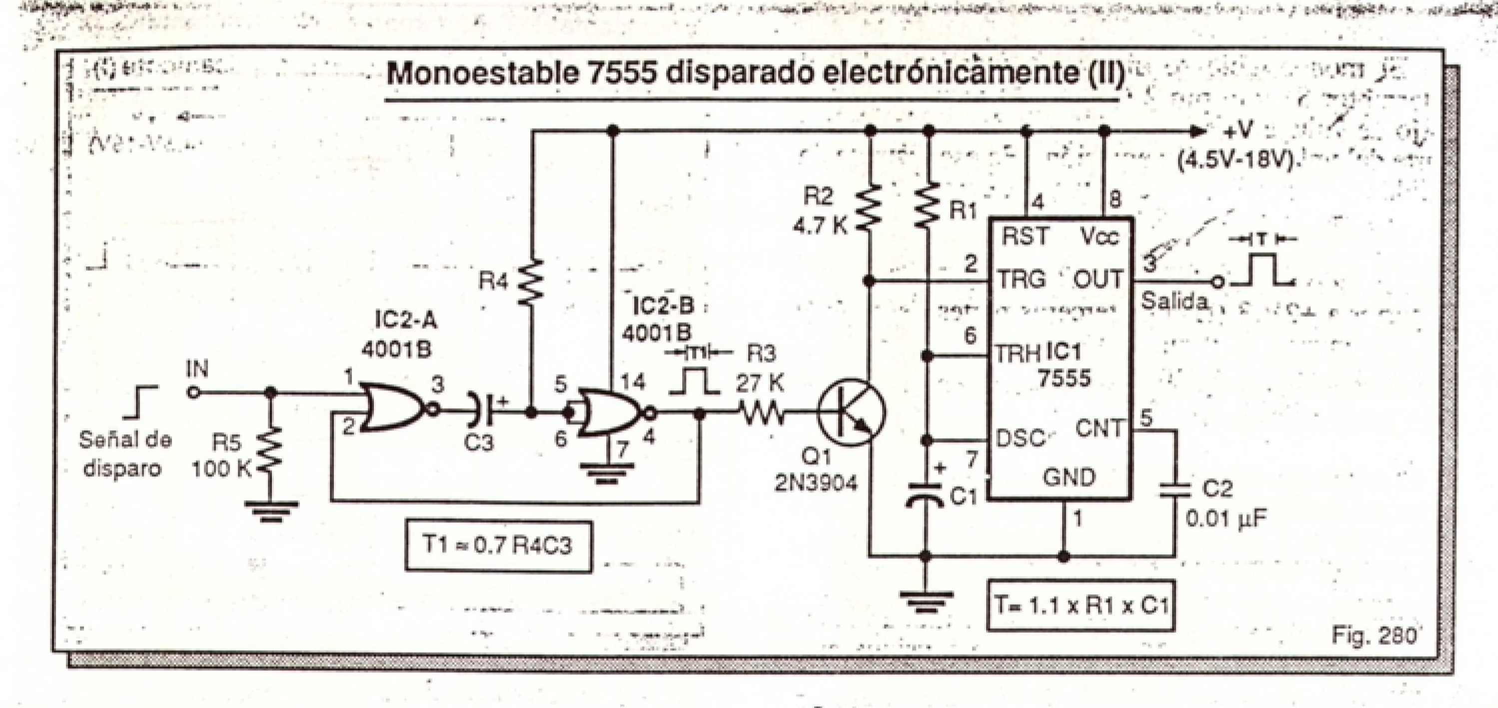


Fig. 280

Circuitos integrados monoestables TTL

Los fabricantes de circuitos integrados han desarrollado una gran variedad de multivibradores monoestables TTL tanto en tecnología estándar como en Schottky de baja potencia o LS. En esta y las secciones que siguen describiremos los más representativos, aprenderemos a utilizarlos eficientemente y experimentaremos con ellos.

Los monoestables TTL son muy versátiles, rápidos, precisos y fáciles de usar. Sus características de diseño los hacen aptos para ser utilizados en aplicaciones que requieran generación y conformación de pulsos, retardos de tiempo, demodulación y detección de flancos, entre otras necesidades.

Además de su función básica, la mayoría de estos dispositivos pueden proporcionar funciones auxiliares como disponibilidad de una o dos unidades idénticas en una misma cápsula, opción de elegir entre redisparables y no redisparables, existencia de entradas de *reset*, entradas tipo *Schmitt-trigger*, disparo por flancos de subida o de bajada, salidas complementarias, etc.–

En todos los monoestables TTL, el ancho del pulso de salida se programa mediante un circuito RC externo y es independiente del ancho del pulso de disparo. Los valores de los componentes utilizados para establecer el período de temporización no son, generalmente, críticos pero deben respetarse las restricciones impuestas por los fabricantes.

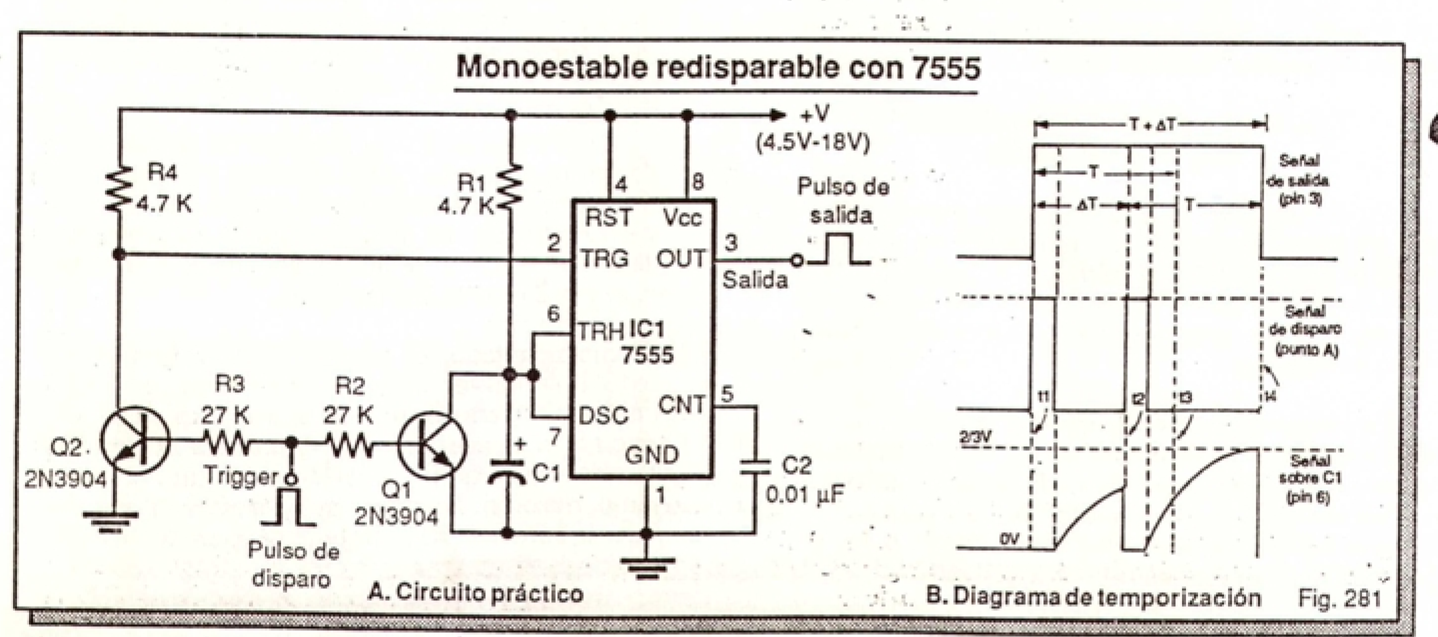


Fig. 281

En la tabla 16-1 se relacionan los monoestables TTL estándar y LS más representativos y se resumen sus características generales más notables. Todos operan a partir de una fuente de alimentación de +5V y entregan pulsos positivos, es decir activos en alto. A continuación se describen los circuitos integrados 74LS221 y 74LS123.

Monoestable TTL representativos				
Referencia	Chips por cápsula	Disparo	Reset	Nº de pines
74121	1	No redisparable	No tiene	14
74122 74LS122	1	Redisparable	En bajo	14
74123 74LS123	2	Redisparable	En bajo	16
74221 74LS221	2	No redisparable	En bajo	16
9601	1	Redisparable	No tiene	14
9602 96LS02	2	Redisparable	En bajo	16

Tabla 16.1

El circuito integrado 74LS221

El **74LS221** (figura 282) es un dispositivo que contiene dos monoestables no redisparables independientes en una misma cápsula de 16 pines. Cada monoestable posee dos entradas de disparo (A y B), dos salidas complementarias (Q y $\overline{Q}$) y una entrada de *reset* o *clear* (CLR). Se puede disparar por flancos de subida o por flancos de bajada.

Para disparar el 74LS221 por flancos de subida (transiciones de **0** a **1**), la entrada A debe estar en **bajo (0)** y el pulso de disparo debe aplicarse a la entrada B. Para dispararlo por flancos de bajada (transiciones de **1** a **0**), la entrada B debe estar en **alto (1)** y el pulso de disparo debe aplicarse a la entrada A.

Para cancelar el pulso de salida en cualquier instante, debe aplicarse un **bajo (0)** a la entrada CLR. En condiciones normales, esta línea debe ser alta (**1**). Con la entrada A en **bajo** y la entrada B en alto, la línea CLR puede utilizarse como entrada de disparo. En este caso, el monoestable responde a flancos de subida.

El ancho del pulso (Tw) se programa mediante la resistencia externa **R**, conectada entre la entrada R/C (pines 15 ó 7) y el positivo de la fuente (Vcc), y el condensador C, conectado entre las entradas C (pines 14 ó 6) y R/C (pines 15 ó 7). El valor de R debe estar entre 1.4 KΩ y 100 KΩ y el de C no debe ser superior a 1000 µF.

El valor del período de temporización Tw se evalúa mediante la siguiente fórmula:

$$Tw = 0.693 \times R \times C$$

Por ejemplo, si R=47 KΩ ($47x10^3$ Ω) y C=100 µF ($100x10^{-6}$), entonces:

$$\mathbf{Tw} = 0.693 \times 47x10^3 \times 100x10^{-6} = \mathbf{3.25\ s}$$

Es decir, se obtiene un pulso de 3.25 segundos de duración. Una vez disparado el monoestable, la salida Q se hace **alta** e ignora cualquier pulso de disparo aplicado durante este tiempo. Sin embargo, si

Circuito integrado 74LS221

Entradas			Salidas	
CLR	A	B	Q	$\overline{Q}$
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑	⎍	⊔
1	↓	1	⎍	⊔
↑	0	1	⎍	⊔

↑ = Flancos de subida
↓ = Flancos de bajada
X: Puede ser 0 ó 1

Fig. 282

se aplica un bajo en la entrada CLR (pin 3 ó 11) durante este lapso, la salida Q se hace automáticamente baja, abortando el pulso en pleno período de temporización.

En aplicaciones donde se requieran tiempos muy cortos, se recomienda utilizar condensadores de cerámica o de poliestireno. Para períodos largos se recomienda emplear condensadores de tantalio o de aluminio especial. Para obtener pulsos de ancho variable, puede utilizarse un potenciómetro, como se indica en la figura 283.

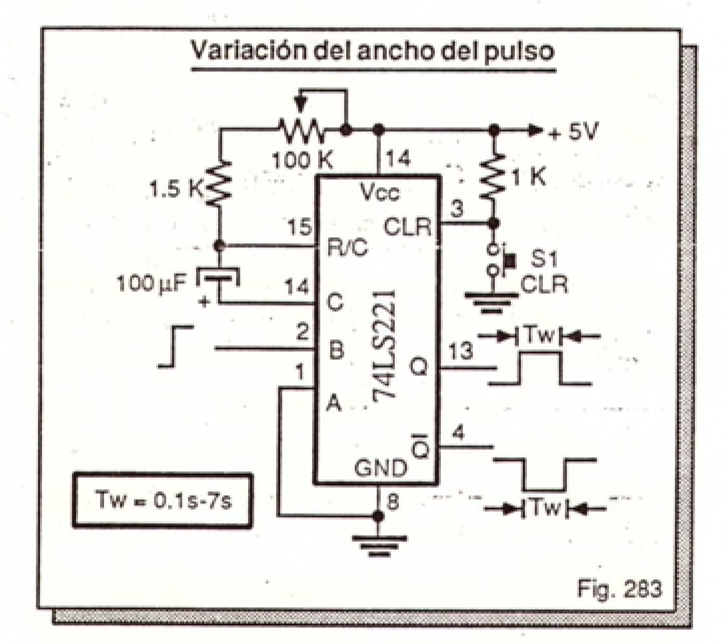


Fig. 283

La versión TTL estándar del 74LS221 es el circuito integrado 74221. Cuando se utilice este último dispositivo en aplicaciones que requieran de un condensador electrolítico, debe insertarse un diodo de conmutación para reducir los efectos de las altas corrientes de fuga del condensador. En la figura 284 se indica la forma de conectar este componente.

El diodo anterior no es necesario con el 74LS221 ni cuando se emplean condensadores de tantalio.

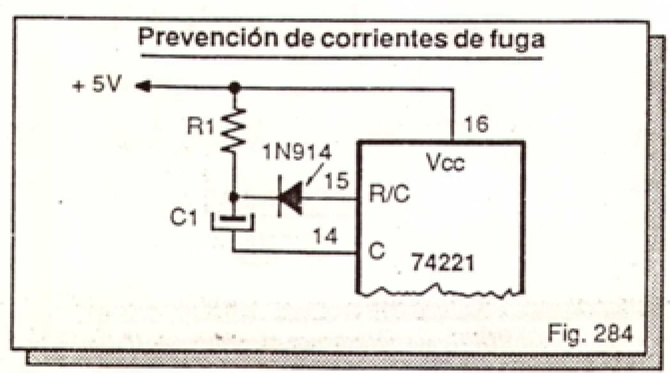


Fig. 284

EXPERIMENTO 19

Operación de un monoestable no redisparable TTL

Objetivos

• Analizar la operación de un monoestable no redisparable TTL 74LS221

• Familiarizarse con el uso de un *kit* contador de pulsos.

• Aprender a disparar un monoestable por flancos de subida o de bajada.

Materiales y herramientas necesarios

1 circuito integrado 74LS221. IC1
1 módulo EDM-1 (4 monitores lógicos). D1, D2.
1 contador de pulsos (*kit* CEKIT K20 o similar).
1 fuente regulada de 5V, 1A (*kit* CEKIT K11).
2 pulsadores normalmente abiertos (NA). S1, S2.
1 resistencia de 47KΩ. R1.
2 resistencias de 1 KΩ. R2, R3.
1 condensador electrolítico de 100 µF/16V. C1.
1 reloj o un cronómetro.
1 *protoboard*
Puentes de alambre telefónico Nº 22 ó Nº 24

Aspectos prácticos previos. Descripción del *kit* contador de pulsos CEKIT K20

El *kit* CEKIT K20 (figura E30) es un circuito que cuenta pulsos en forma decimal (desde 0 hasta 9) y registra el estado de la cuenta en un *display* de 7 segmentos. La longitud del conteo se puede extender a cualquier número de dígitos conectando varias unidades K20 en cascada. El circuito opera a partir de una fuente de 5V.

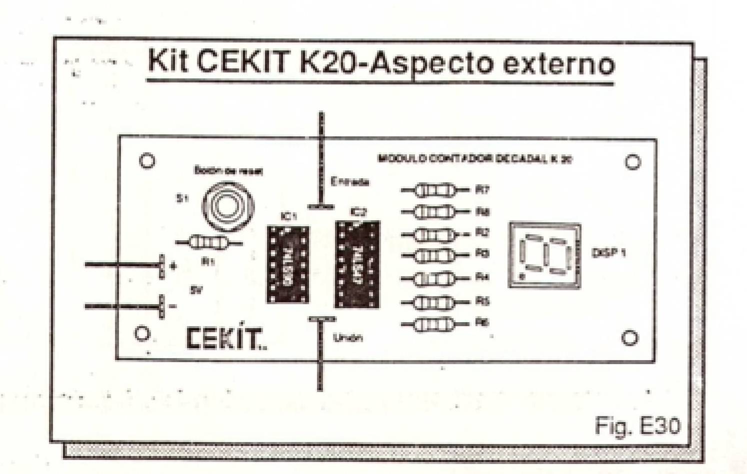


Fig. E30

Desde el punto de vista de su utilización, el *kit* K20 posee un botón de *reset*, dos líneas de alimentación, una línea de entrada y una línea de expansión. Los pulsos se aplican a la línea de entrada. La línea de expansión se conecta a la línea de entrada de una unidad similar para extender la longitud de conteo a 99, 999, etc.

El botón de *reset* se utiliza para iniciar la cuenta a partir de 0 (cero) o retornar el contador a este valor en cualquier instante. Cuando la cuenta llega a 9, el contador recicla automáticamente a 0 con el siguiente pulso de entrada y suministra un pulso por la línea de expansión. En la figura E31 se muestra el diagrama esquemático de este *kit*.

El circuito consta de un contador BCD 7490, un decodificador 7447 y un *display* de 7 segmentos. Por cada nuevo pulso de entrada, el código BCD en las salidas del contador se incrementa y el número decimal correspondiente aparece en el *display*. La conversión de códigos BCD a códigos de 7 segmentos la realiza el decodificador.

Descripción de los circuitos de prueba

Para analizar experimentalmente la operación del 74LS221 utilizaremos dos circuitos de prueba. El primero (figura E32-A) ilustra el disparo por flancos de subida y el segundo (figura E32-B) el disparo por flancos de bajada. En ambos casos, la señal de disparo la suministra el interruptor S1 y la de cancelación el interruptor S2.

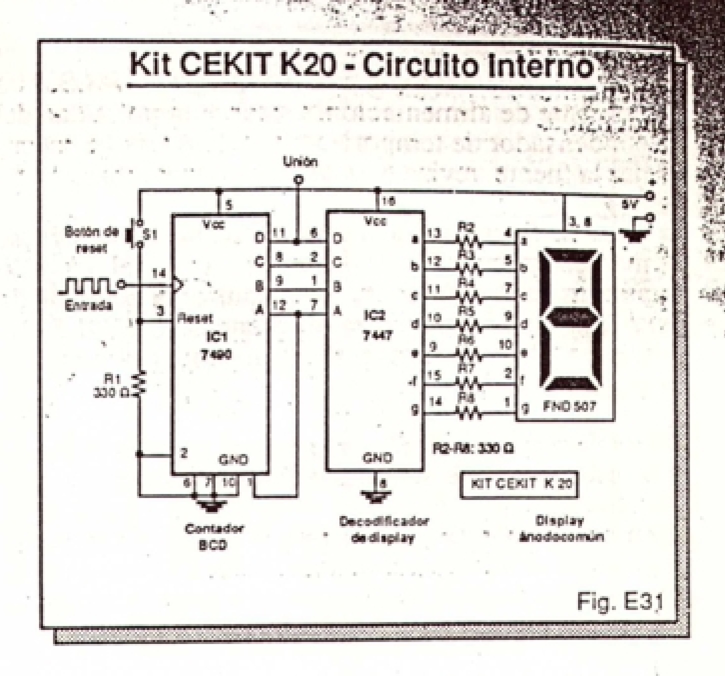


Fig. E31

La presencia del pulso de salida se registra en el *display* del *kit* K20 y en los monitores D1 y D2 del módulo 1. La resistencia R1 y el condensador C1 fijan el ancho del pulso de salida en 3.25 segundos, aproximadamente. Este período de temporización se inicia pulsando S1 y se puede cancelar en cualquier instante pulsando S2.

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E32-A. Conecte adecuadamente el *kit* K20,

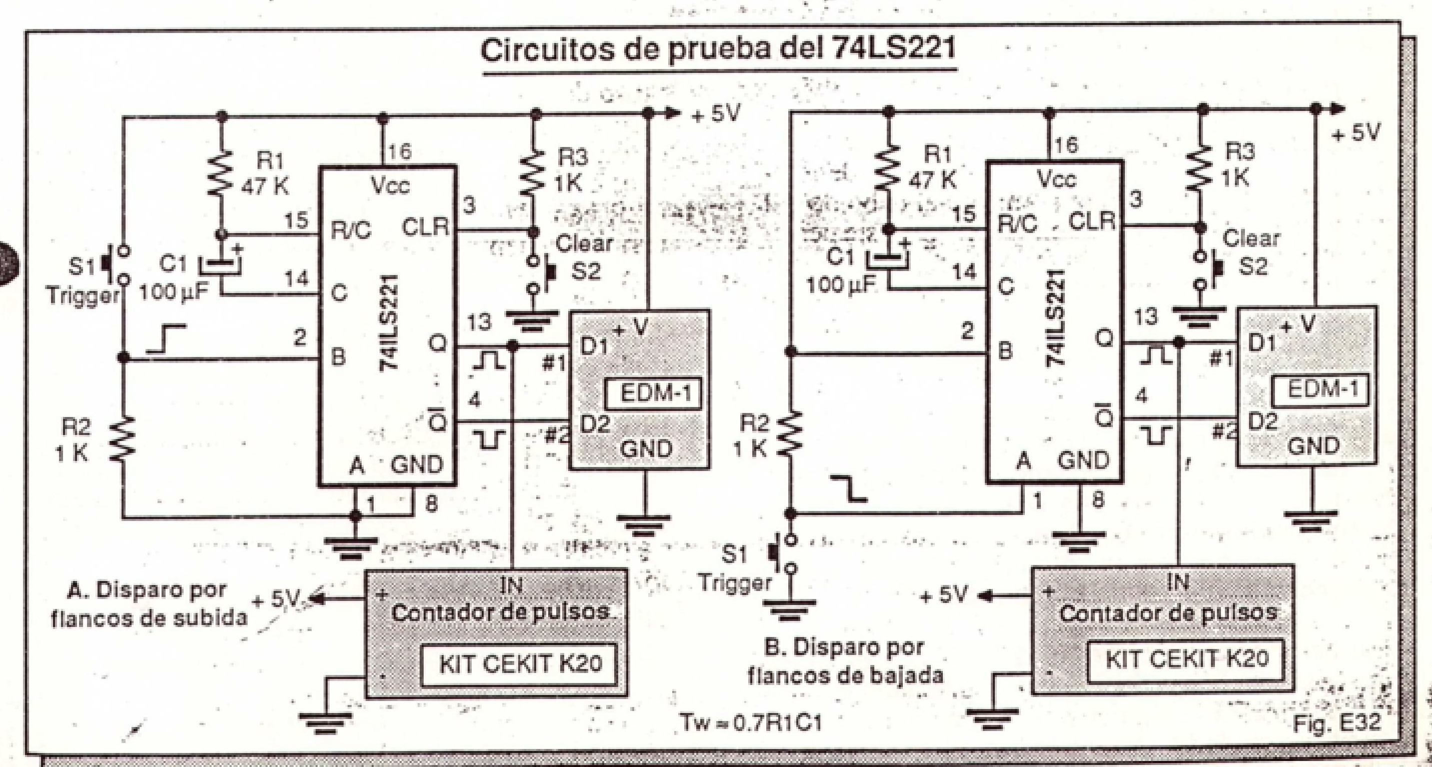


Fig. E32

el módulo EDM-1 y el circuito integrado 74LS221 a la fuente de alimentación. Observe la polaridad del condensador de temporización C1. Antes de encender la fuente, revise bien todas sus conexiones.

Paso 2. Encienda la fuente de alimentación. Pulse momentáneamente el botón de *reset* del *kit* K20 para inicializar el contador de pulsos y el botón de *clear* (S2) para inicializar el monoestable 74LS221. Observe lo que sucede en el *display* y en los monitores D1 y D2.

Notará que en el *display* aparece el número 0. Esto sucede porque al pulsar el botón de *reset*, el pin 3 del contador 7490 recibe un **alto**. Como resultado, en sus salidas DCBA se refleja el código **0000**, el cual es convertido por el decodificador 7447 a su representación de siete segmentos equivalente, reproduciéndose el número cero (0) en el *display*.

Al mismo tiempo, el monitor D1 se apaga y el monitor D2 se ilumina. Esto sucede porque, al pulsar S2, el pin 3 (CLR) del 74LS221 recibe un **bajo**. Como resultado, la salida Q se hace **baja** (D1=*off*) y la salida $\overline{Q}$ se hace **alta** (D2=*on*).

Paso 3. Pulse momentáneamente el botón S1 y observe durante cinco segundos lo que ocurre en los monitores D1 y D2 y en el *display*. Notará que tan pronto se pulsa S1, el monitor D1 se ilumina y el monitor D2 se apaga. En el *display* no se observa cambio alguno.

Sin embargo, al cabo de algunos segundos, el monitor D1 se apaga, el monitor D2 se ilumina y la cuenta en el *display* avanza una unidad. Lo anterior sucede porque, al pulsar y liberar S1, el pin 2 (B) del monoestable recibe un pulso positivo de disparo, el cual hace **alta** la salida Q y **baja** la salida $\overline{Q}$.

Como resultado, se inicia un ciclo interno de temporización que termina por sí mismo al cabo de 3.2 segundos, aproximadamente. Al finalizar este período, la salida Q se hace **baja**, la salida $\overline{Q}$ se hace **alta** y el contador detecta el flanco de bajada del pulso de salida, incrementando el estado de la cuenta.

Paso 4. Para comprobar la característica de no redisparable, repita el paso anterior y pulse el botón S1 varias veces antes de que termine el período de temporización. Observará que la situación no cambia, es decir, el monitor D1 permanecerá iluminado durante 3.2 segundos y la cuenta en el *display* avanzará una unidad al finalizar este tiempo.

Lo anterior sucede porque el 74LS221 es un monoestable no redisparable. Una vez disparado, el circuito rechazará cualquier pulso de disparo aplicado con posterioridad al que inició la temporización y sólo lo aceptará cuando ésta termine.

Paso 5. Para comprobar la función de borrado (CLEAR), pulse el botón S1 con el fin de iniciar un nuevo ciclo de temporización. Notará que el monitor D1 se ilumina y el monitor D2 se apaga. Un instante después de accionar S1, pulse el botón S2. Observará que el monitor D1 se apaga, el monitor D2 se ilumina y el *display* avanza una unidad.

Lo anterior sucede porque, al pulsar S2 en pleno ciclo de temporización, la entrada CLR (pin 3) del 74LS221 recibe un **bajo**, el cual causa que la salida Q cambie abruptamente de estado y se haga **baja**, cancelándose el pulso en curso. La salida $\overline{Q}$ opera en forma contraria. El contador siempre registra los flancos de bajada de la señal aplicada en su entrada.

Paso 6. Desconecte la fuente de alimentación y arme sobre el *protoboard* el circuito de la figura E32-B. Una vez armado, repita los pasos 2 al 5 anteriores. Observará que el circuito se comporta exactamente de la misma forma. La única diferencia radica en que el disparo del monoestable se efectúa por flancos de bajada.

* * *

El circuito integrado 74LS123

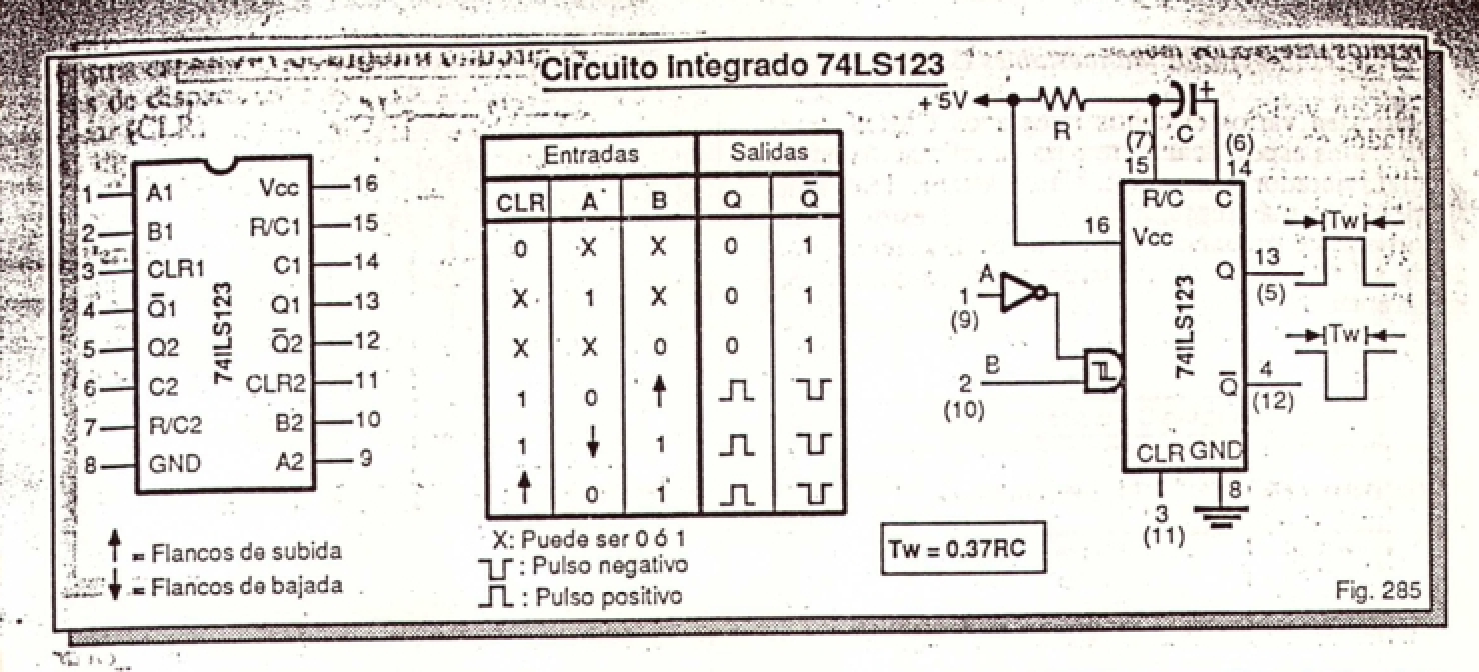
El 74LS123 (figura 285) es un dispositivo TTL que contiene dos monoestables redisparables independientes en una misma cápsula de 16 pines. Cada monoestable posee dos entradas de disparo (A y B), dos salidas complementarias (Q y $\overline{Q}$) y una entrada de borrado o *clear* ($\overline{CLR}$). Se puede disparar por flancos de subida o por flancos de bajada.

Para disparar el 74LS123 por flancos de subida (figura 286-A), la entrada A debe estar en **bajo** y el pulso de disparo debe aplicarse a la entrada B. Para dispararlo por flancos de bajada (figura 286-B), la entrada B debe estar en **alto** y el pulso de disparo debe aplicarse a la entrada A. Un **bajo** en la entrada CLR cancela el pulso de salida antes de terminar el período de temporización.

El ancho básico del pulso (Tw) se programa mediante la resistencia externa **R**, conectada entre la entrada R/C y el positivo de la fuente, y el condensador **C**, conectado entre las entradas C y R/C. El valor de **R** debe estar entre 5 KΩ y 50 KΩ. No existe restricción alguna para el valor de **C** pero debe evitarse el uso de condensadores muy grandes.

El valor de Tw se evalúa mediante la siguiente fórmula:

$$Tw = 0.37 \times R \times C$$



Entradas			Salidas	
CLR	A	B	Q	$\bar{Q}$
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑	⎍	⨆
1	↓	1	⎍	⨆
↑	0	1	⎍	⨆

Fig. 285

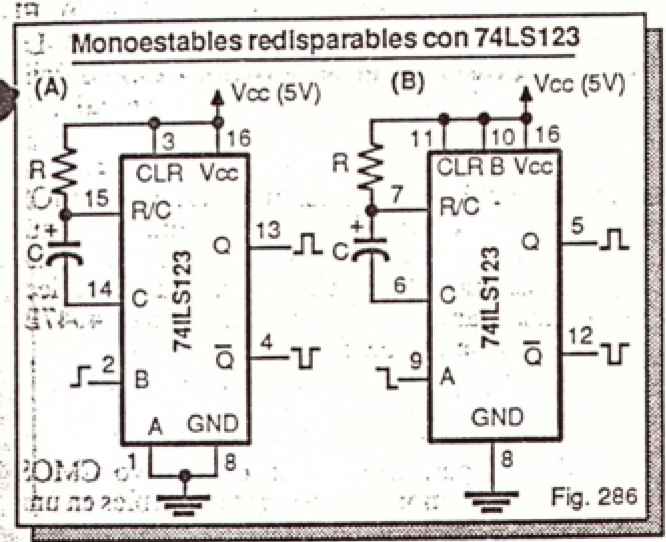


Fig. 286

Si, dentro de este lapso, el dispositivo se redispara, el pulso de salida en curso se cancela y se inicia un nuevo ciclo de temporización. El proceso se puede repetir indefinidamente con el fin de obtener pulsos de muy larga duración. El siguiente ejemplo ilustra el uso de la fórmula anterior.

Ejemplo. Calcular los valores de R y C necesarios para obtener un pulso básico de 10 µs de duración con un monoestable 74LS123. Recuerde que el valor de R no debe ser inferior a 5 KΩ ni superior a 50 KΩ. Cualquier valor de C es válido.

Solución. El procedimiento para determinar los valores de R y C que satisfacen los requisitos del problema se puede resumir en los siguientes términos:

Reorganizamos la ecuación Tw=0.37RC con el fin de expresar R en términos de Tw y C. Es decir:

$$R = Tw/(0.37xC)$$

Asumimos un valor arbitrario para el condensador de temporización, por ejemplo C=0.001 µF y calculamos R, remplazando Tw y C por sus valores respectivos. Si el valor resultante de R no está dentro del rango de 5 KΩ a 50 KΩ, asumimos otro valor de C y repetimos el cálculo hasta que esto suceda. En nuestro caso:

$$R\ (\Omega) = 10x10^{-6}/(0.37x0.001x10^{-6})$$

$$R = 27 \times 10^{3}\ \Omega = 27\ K\Omega$$

Este valor (comercial) está dentro del rango de validez especificado para el 74LS123. Por tanto, con un condensador de 0.001 µF y una resistencia de 27 KΩ obtenemos el ancho de pulso de 10 µs solicitado. Dependiendo del valor asumido para C, son posibles otras parejas de valores (por ejemplo, C=0.002 µF y R=13.5 K).

Observe, por comparación de las figuras 285 y 282, que el 74LS123 tiene la misma configuración de pines del 74LS221. Sin embargo, estos dos dispositivos no son funcionalmente idénticos ni se pueden remplazar mutuamente. Recuerde que el 74LS 221 es no redisparable mientras que el 74LS123 es redisparable.

Circuitos integrados monoestables CMOS

Existen varios circuitos integrados CMOS desarrollados específicamente para su utilización como multivibradores monoestables. La tabla 16-2 relaciona los más representativos. Todos estos dispositivos pueden operar con tensiones de alimentación de 3V a 18V y se caracterizan por su bajo consumo de potencia.

Monoestables CMOS representativos

Referencia	Chips por cápsula	Disparo	Reset	Nº de pines
74C221	2	No redisparable	En bajo	16
4098B	2	Redisparable	En bajo	16
4047B	1	Redisparable	En alto	14
4528B	2	Redisparable	En bajo	16

Tabla 16-2

Los monoestables CMOS, en general, no son tan rápidos ni exactos como los TTL. Sin embargo, son muy versátiles, se adaptan al disparo por flancos de subida y de bajada y pueden utilizarse en los modos redisparable y no redisparable. Para mejores resultados, se recomienda trabajarlos a la máxima tensión de alimentación posible (15 ó 18V).

El 74C221 (figura 287) es la versión CMOS del 74LS221. Cada monoestable posee dos entradas de

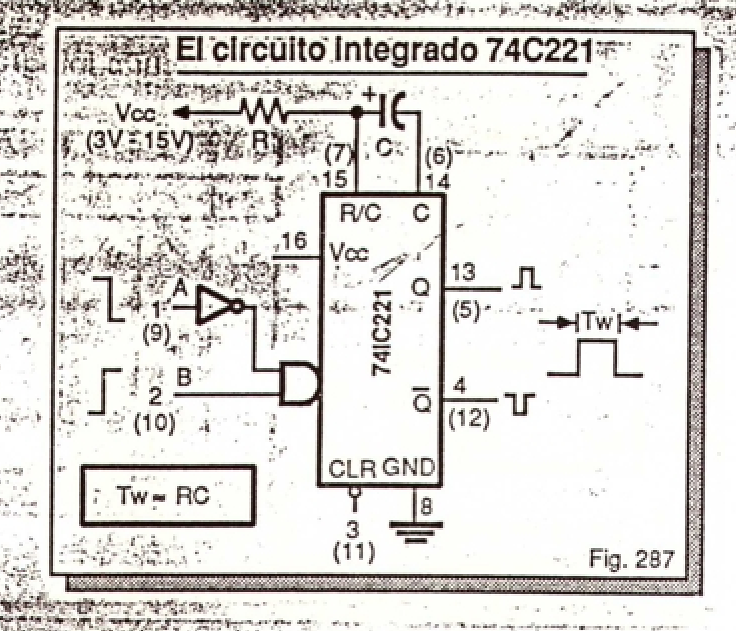


Fig. 287

disparo (A y B), una entrada de borrado o *clear* (CLR) y dos salidas complementarias (Q y Q̄). El ancho del pulso lo fija un circuito RC externo. La entrada A responde a flancos de bajada y la B a flancos de subida. La entrada CLR es activa en bajo.

En la siguiente sección se describe el circuito integrado **4528B**, uno de los monoestables CMOS más populares. El **4528B** es funcionalmente idéntico al **4098B**. Ambos *chips* poseen dos monoestables redisparables en una misma cápsula. En la lección 17 analizaremos el circuito integrado **4047B**, un multivibrador astable/monoestable.

El circuito integrado 4528B

El 4528B (figura 288) es un dispositivo CMOS que contiene dos monoestables redisparables en una

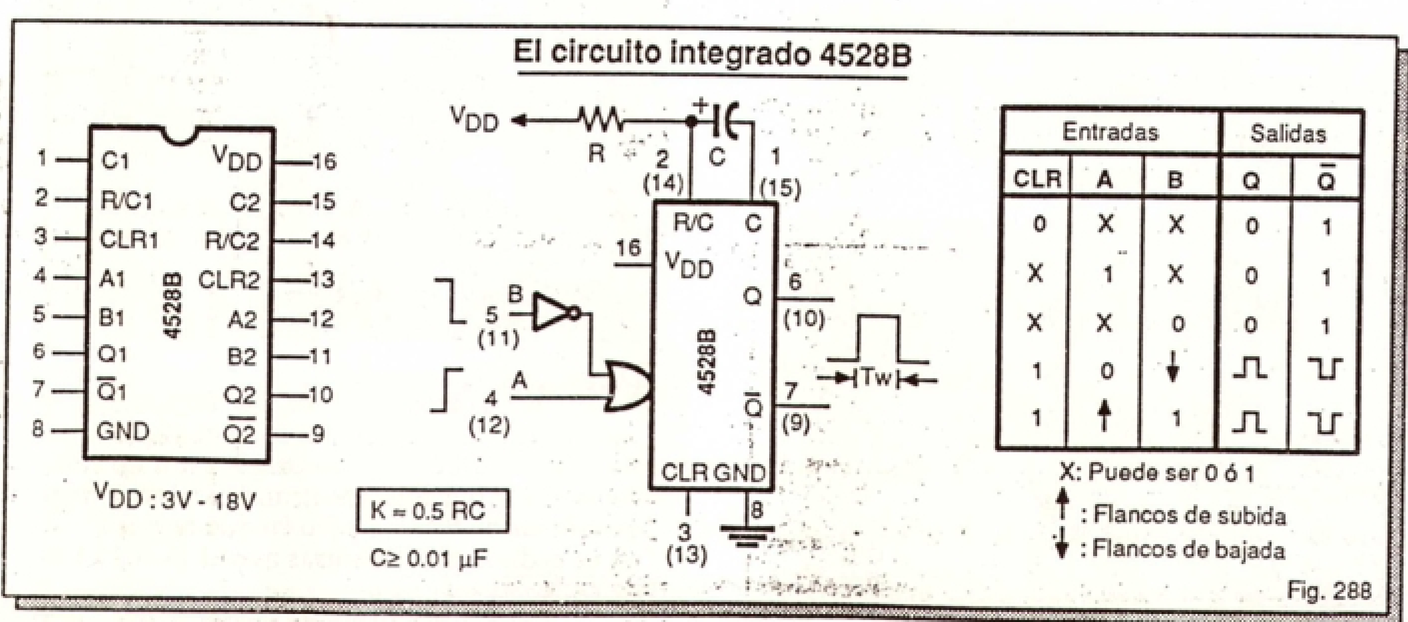


Fig. 288

misma cápsula. Cada monoestable posee dos entradas de disparo (A y B), una entrada de borrado o *clear* (CLR) y dos salidas complementarias (Q y $\overline{Q}$). El disparo puede hacerse por flancos de subida o por flancos de bajada.

Para disparar el 4528B por flancos de subida (figura 289-A), la entrada B debe estar en **alto** y la señal de disparo debe aplicarse a la entrada A. Para dispararlo por flancos de bajada (figura 289-B), la entrada A debe estar en **bajo** y la señal de disparo debe aplicarse a la entrada B. En ambos casos, la entrada CLR debe estar en **alto**.

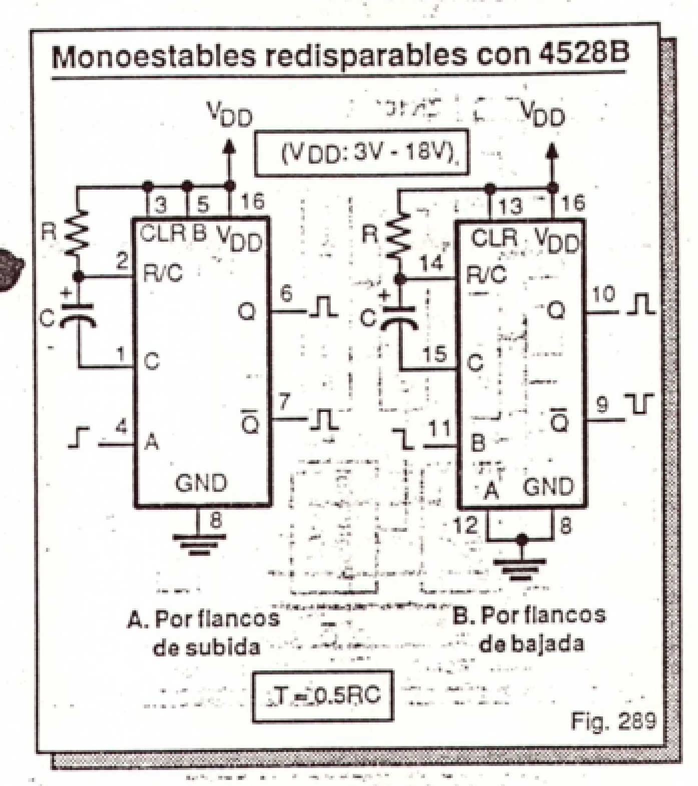


Fig. 289

Un bajo en la línea CLR inhibe el disparo y hace baja la salida Q. Lo mismo sucede cuando la entrada A está en **alto** o la entrada B está en **bajo**. El ancho del pulso de salida (Tw) lo determinan los valores de R y C y se calcula mediante la siguiente fórmula aproximada:

$$Tw \approx k \times R \times C$$

En esta expresión, k es una constante de proporcionalidad, menor de 1, que depende, entre otros factores, del voltaje, la temperatura y las características internas del *chip*. Como regla general, R no debe ser inferior a 5 KΩ ni superior a 1 MΩ. Para efectos prácticos, con condensadores mayores de 0.01 µF, se puede asumir **K=0.5**.

El 4528B opera normalmente como un monoestable redisparable. Sin embargo, se puede también emplear como monoestable no redisparable conectando la salida $\overline{Q}$ a la entrada B cuando el disparo sea por flancos de subida o la salida Q a la entrada A cuando el disparo sea por flancos de bajada. Estas situaciones se ilustran en la figura 290.

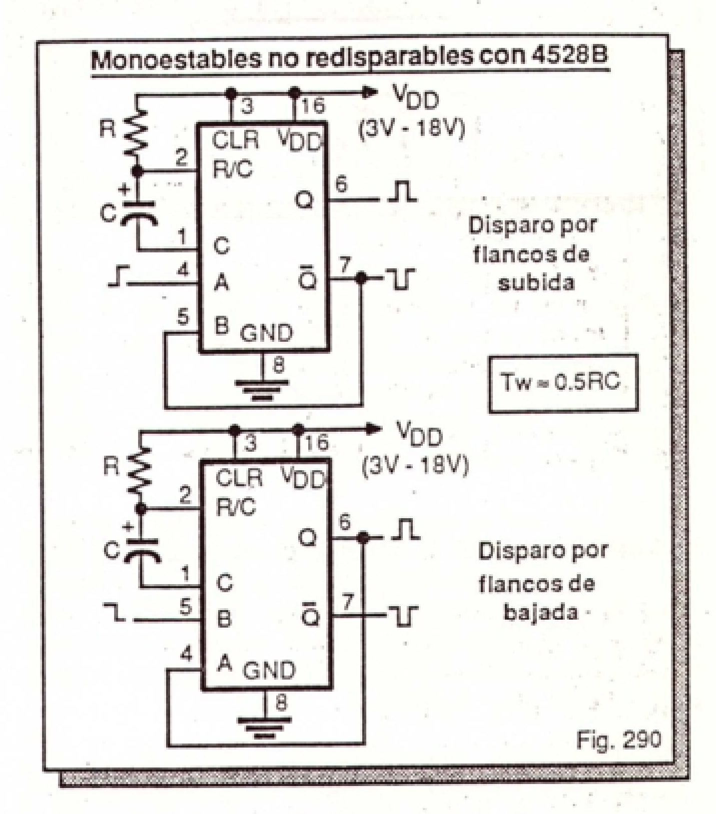


Fig. 290

Temporizadores de intervalos largos

Los temporizadores de intervalos largos (*long-time timers*) o temporizadores/contadores son circuitos diseñados específicamente para proporcionar retardos de tiempo prolongados y precisos, desde unos pocos microsegundos hasta varios días. Se utilizan en una gran variedad de aplicaciones: videograbadoras, alarmas industriales, procesos fotográficos, controles automáticos de riego, etc.

La mayoría de temporizadores de este tipo (figura 291) consisten, básicamente, de un oscilador de precisión y un contador de **n** etapas, gobernados por un circuito lógico de control. Una vez iniciada la temporización, el contador cuenta los pulsos del oscilador y cambia el estado de su salida (Q) después de contabilizar 2^n pulsos de entrada.

En otras palabras, el contador multiplica, por un factor 2^n, el período de la señal del oscilador, obteniéndose así un pulso de salida de considerable duración. Tanto el período del oscilador (Tosc) como el factor de multiplicación (2^n) son, generalmente, programados por el usuario.

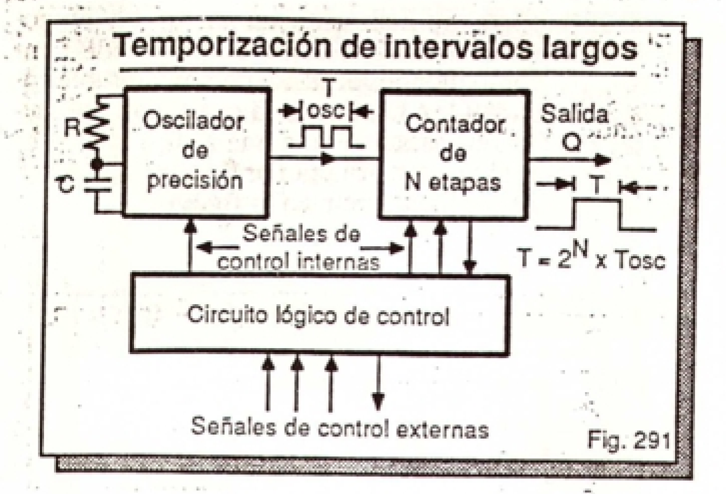


Fig. 291

Supongamos, por ejemplo, que el período del oscilador es de un segundo y el contador es de 16 etapas. En este caso, el período de temporización resultante es de 2^{16}=65536 segundos, es decir, de ¡18 horas!, aproximadamente. Un retardo de esta magnitud es imposible de lograr usando monoestables convencionales.

La mayor limitación práctica de los monoestables estudiados hasta el momento, incluyendo el 555, radica en que el período de temporización que pueden proporcionar depende de un producto RC. Para obtener temporizaciones largas deben utilizarse condensadores electrolíticos de gran capacidad y resistencias de muy alto valor.

Por ejemplo, para lograr un retardo de 18 minutos con un 555 (el máximo posible) se necesitaría una resistencia de 10 MΩ y un condensador de 100 µF. Sin embargo, la exactitud de esta temporización está sujeta a la precisión de los componentes utilizados. El tiempo real obtenido puede diferir sustancialmente del calculado.

Los condensadores electrolíticos, por su misma naturaleza, son dispositivos imprecisos: su valor no es estable y puede variar con el tiempo, la temperatura y otros factores. Además, las altas corrientes de fuga inherentes a los mismos hacen imposible el uso de resistencias altas en el circuito.

Estas razones obligan a descartar el uso de monoestables con condensadores electrolíticos muy grandes en aplicaciones donde se requieran temporizaciones prolongadas y precisas. La confiabilidad de tales circuitos disminuye a medida que se incrementa la magnitud del retardo requerido. Cuando la exactitud es crítica, hay que buscar otras opciones.

En estos casos, debe recurrirse al empleo de monoestables más especializados, como el popular temporizador programable **XR-2240** de Exar que describiremos en la siguiente sección. Otros temporizadores disponibles en forma de circuitos integrados son el ZN1034E de Ferranti Electronics y el CD4541B de National Semiconductors.

El **ZN1034E** (figura 292) es un temporizador de 14 pines que proporciona retardos precisos de tiempo desde unos pocos milisegundos hasta varios días. Trabaja normalmente con una tensión de alimentación de 5V, aplicada entre los pines 4 (+5V) y 7 (GND). Incluye un regulador interno de voltaje, un oscilador de precisión y un contador binario de doce etapas.

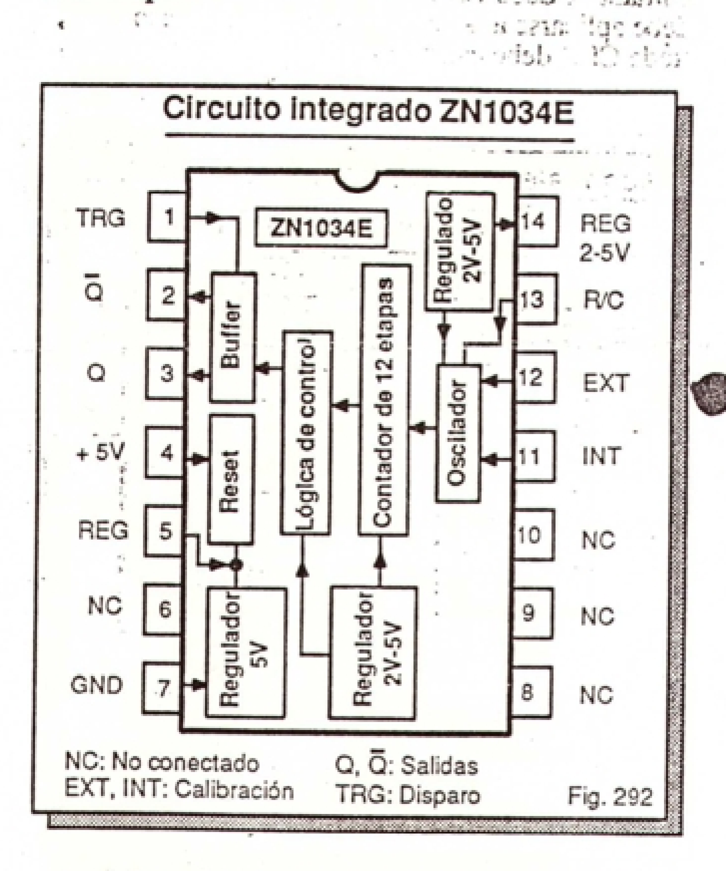


Fig. 292

En la figura 293 se muestra el circuito básico de utilización del ZN1034E como temporizador. Observe que los pines 4 (entrada de +5V) y 5 (entrada del regulador) están conectados al positivo de la fuente a través de la resistencia R2. Esto debe hacerse siempre que se utilice una tensión de alimentación superior a 5V.

El período de temporización se inicia pulsando momentáneamente el botón S1 y se evalúa mediante la siguiente fórmula:

$$T = k \times R_1 \times C_1$$

El valor de **k** depende del valor de R3 (CALIBRACION). Cuando R3=0Ω (pines 11 y 12 unidos), k=2736. En la tabla 16-3 se relacionan otros valores comunes de k. El valor de R1 puede variar des-

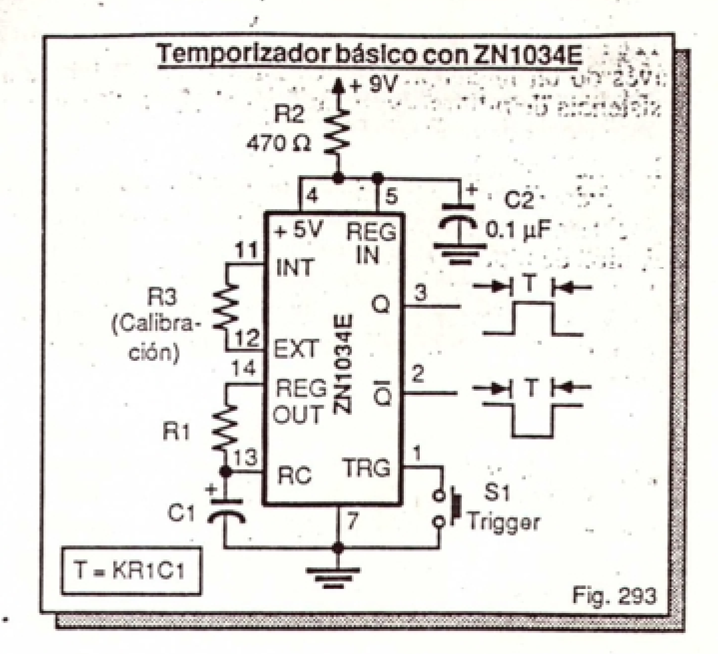
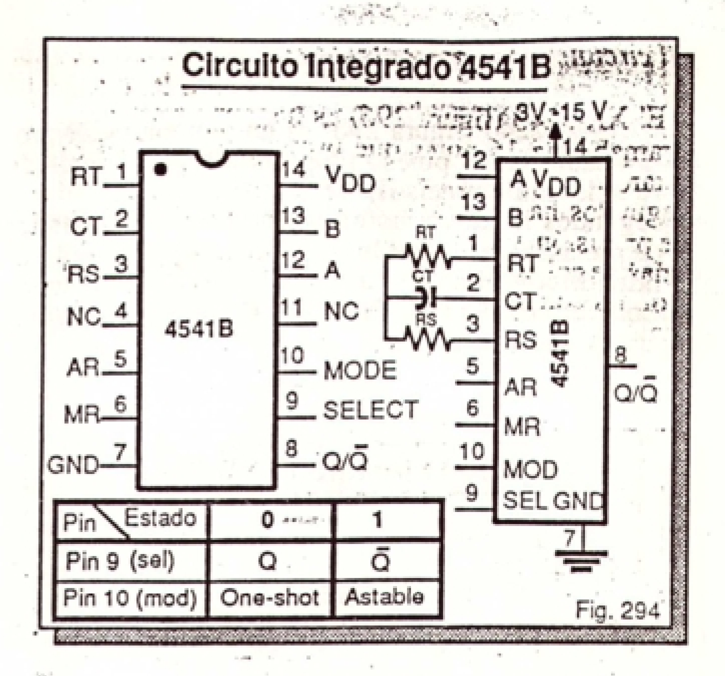


Fig. 293



Pin \ Estado	0	1
Pin 9 (sel)	Q	Q̄
Pin 10 (mod)	One-shot	Astable

Fig. 294

de 5 KΩ hasta 5 MΩ y el de C1 debe ser superior a 3900 pF. Por ejemplo, si R1=2.2 MΩ, C1=100 µF y R3=300 KΩ, entonces k=7500. Por tanto:

$$T = 7500 \times 2.2\times10^6 \times 100\times10^{-6}$$
$$T = 1.65 \times 10^6 \text{ segundos} \approx 19 \text{ días}$$

Valores de K (ZN1034E)

R3	0Ω	50 K	150 K	300 K
K	2736	2500	4100	7500

Tabla 3

El **CD4541B** (figura 294) es un temporizador programable de 14 pines que proporciona retardos precisos de tiempo de unos pocos milisegundos a varias horas. Trabaja con una tensión de alimentación desde 3V hasta 15V aplicada entre los pines 14 (VDD) y 7 (GND). Incluye un contador binario de 16 etapas, un oscilador de precisión y un circuito lógico de control.

En la figura 295 se indica la forma de utilizar el CD4541B como temporizador digital. Observe que los pines 5 (AR) y 10 (MODE) tienen aplicado un nivel **bajo** y el pin 9 (SELECT) tiene aplicado un nivel **alto**. Con esta combinación de estados, el 4541 opera como un monoestable redisparable y entrega en la salida Q (pin 8) un pulso activo en **alto**.

La temporización se inicia pulsando el botón S1, es decir aplicando un pulso positivo al pin 6 (MR). El tiempo que la salida Q permanece activada se evalúa mediante la siguiente fórmula:

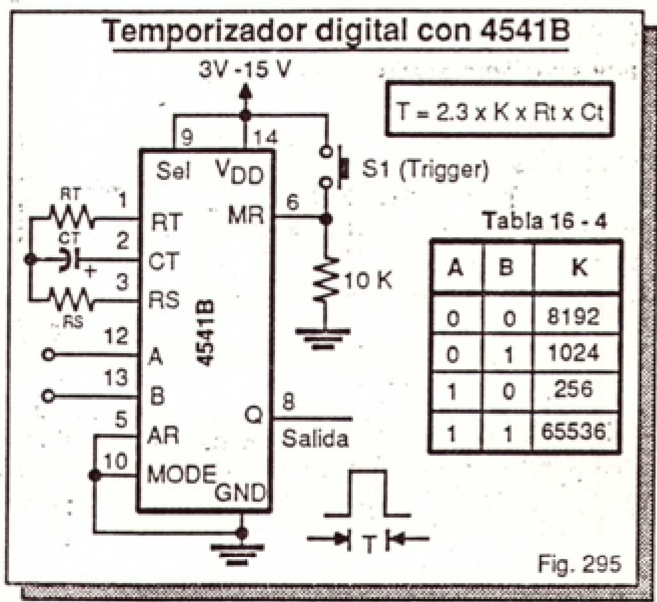


Tabla 16 - 4

A	B	K
0	0	8192
0	1	1024
1	0	256
1	1	65536

Fig. 295

$$T = k \times 2.3 \times R_T \times C_T$$

El valor de **k** depende del estado lógico de las entradas A (pin 12) y B (pin 13). La tabla 16-4 resume los valores de **k** correspondientes a cada combinación de A y B. El valor de Rs debe ser superior a 10 KΩ y aproximadamente igual a 2RT. Por ejemplo, si RT= 10 KΩ, CT= 100 µF y AB=**11**, entonces k=65536 y Rs=20K. Por tanto:

$$T = 65536 \times 2.3 \times 10\times10^3 \times 100\times10^{-6}$$
$$T = 150.7 \times 10^3 \text{ segundos} \approx 42 \text{ horas}$$

Nota: Para mas información sobre el CD4541B le sugerimos consultar el proyecto central Nº 7 (Alarma Digital para el Hogar) de este curso.

El circuito integrado XR-2240

El XR-2240 (figura 296) es un temporizador programable de 16 pines que proporciona tiempos de retardo muy precisos, desde unos pocos microsegundos hasta varias horas. Incluye un oscilador de precisión, un contador binario de 8 etapas con salidas de colector abierto y un circuito lógico de control. Es compatible con TTL y CMOS y opera con tensiones de 4V a 15V.

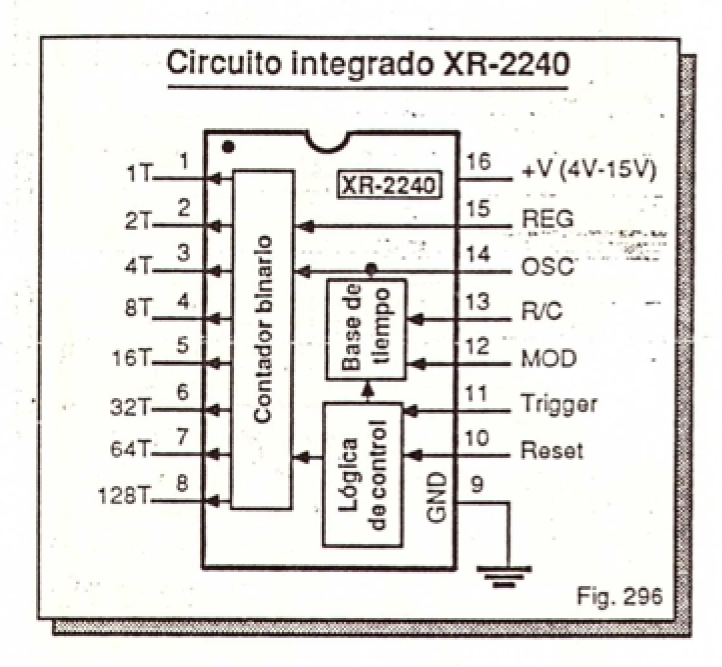


Fig. 296

En la figura 297 se muestra la forma de utilizar el XR-2240 como temporizador. Observe que la tensión de alimentación se aplica entre los pines 16 (+V) y 9 (GND) y las salidas de temporización (1T a 128T) están conectadas al positivo de la fuente a través de un interruptor individual (S1 a S8) y una resistencia de *pull-up* (RL) común.

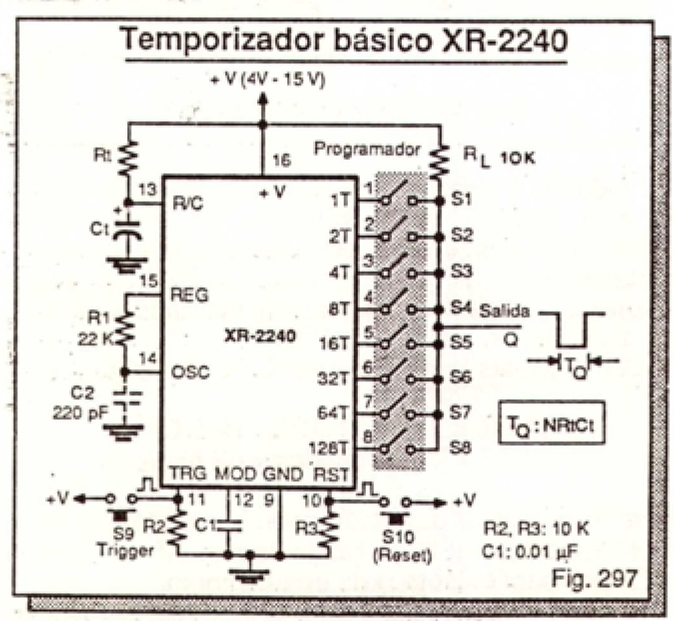


Fig. 297

La resistencia RT y el condensador CT establecen el período (T) del oscilador interno. La salida general del temporizador (Q) se obtiene del punto común de unión de todas las salidas. Como vimos en la lección 6, este modo de conexión se denomina configuración *AND alambrada* y sólo se puede realizar con salidas de colector abierto.

La resistencia R1, conectada entre el pin 14 y el 15, actúa como resistencia de *pull-up* del oscilador. El condensador C1 es un filtro de ruido. El condensador C2 es opcional pero se requiere cuando CT es menor de 0.1 µF y/o la tensión de alimentación es superior a 7 V. Estos componentes no intervienen en el proceso de temporización.

La temporización se inicia pulsando el botón S9, es decir, aplicando un pulso positivo al pin 11 (TRIGGER). Cuando esto sucede, todas las salidas de temporización conectadas a RL, incluyendo la salida general del temporizador (Q), se hacen bajas. El tiempo que cada salida kT (1T, 2T, etc.) dura activa en **bajo** se evalúa mediante la siguiente fórmula:

$$T_{kT} = k \times T = k \times R_T \times C_T$$

En esta expresión, **k** es el factor de ponderación asociado a cada salida y **T=RTCT** el período del oscilador. Para la salida 1T (pin 1), k=1, para la salida 2T (pin 2), k=2 y así sucesivamente. Para garantizar un óptimo funcionamiento del circuito, el valor de RT debe estar entre 1 KΩ y 10 MΩ y el de CT entre 0.01 µF y 1000 µF.

Por ejemplo, si RT=100 KΩ, CT= 100 µF y se cierra únicamente el interruptor S6, queda seleccionada la salida 32T (pin 6) y, por tanto, k=32. Bajo estas condiciones, el tiempo que la salida 32T permanece en **bajo** será:

$$T_{32T} = 32 \times 100 \times 10^3 \times 100 \times 10^{-6}$$
$$T_{32T} = 320 \text{ segundos} = \mathbf{5\ minutos + 20\ segundos}$$

Naturalmente, este es el mismo tiempo que dura activa en **bajo** la salida Q del temporizador. Si existe más de una salida de temporización conectada a RL, en la salida Q se obtiene un retardo de tiempo igual a la suma de los retardos producidos por cada entrada. Es decir:

$$T_Q = NT = N \times R_T \times C_T$$

En esta expresión, N es la suma de los factores de ponderación de las salidas seleccionadas. Por ejemplo, si, además de la 32T, se seleccionan también las salidas 8T y 128T, entonces:

$$N = 8 + 32 + 128 = \mathbf{168}$$

De este modo, el retardo total obtenido en la salida Q será:

$$T_Q = NT = 168T = 168xR_TxC_T$$

Es decir, si R_T=100KΩ y C_T=100µF, entonces:

$$T_Q = 168 \times 100x10^3 \times 100x10^{-6} = 1680 \text{ segundos}$$

Por tanto, la salida Q permanecerá en **bajo**, exactamente, 28 minutos. Si todas las salidas están conectadas a la resistencia de *pull-up* R_L, el máximo período de temporización posible será, por consiguiente:

$$T_{QMAX} = 255T = 255 \times R_T \times C_T$$

En nuestro caso:

$$T_{QMAX} = 255 \times 100x10^3 x\ 100x10^{-6} = 2550 \text{ seg}$$

Este tiempo equivale a un retardo de 42 minutos, 30 segundos. Cualquier temporización se puede cancelar pulsando el botón S10, es decir aplicando un pulso positivo al pin 10 (RESET). Cuando esto sucede, todas las salidas se hacen **altas** y el circuito queda a la espera del próximo pulso de disparo.

El siguiente ejemplo amplía el uso de las fórmulas anteriores, aplicadas a un caso concreto de diseño.

Ejemplo. Utilizando un temporizador programable XR-2240, calcule los valores de R_T y C_T necesarios para obtener un retardo de 18 horas utilizando la configuración circuital de la figura 297. Especifique las combinación de salidas que debe utilizarse

Solución. La mejor forma para resolver este tipo de problemas de diseño con el XR-2240 es seleccionar previamente los valores de C_T y N dentro de las especificaciones del dispositivo y calcular el valor de R_T a partir de la fórmula $T_Q = NT = NxR_TxC_T$ así:

$$R_T = T_Q/(NxC_T)$$

En nuestro caso, T_Q=18 horas, es decir, 64800 segundos. Si escogemos un condensador C_T de **47 µF** y seleccionamos las salidas 128T, 64T, 32T y 16T, entonces **N** = 128+ 64+ 32+1 = **240**. Bajo estas condiciones:

$$R_T = 64800/(240x47x10^{-6})$$
$$R_T = 5.7 \times 10^6\ \Omega = 5.7\ M\Omega$$

Por tanto, debe utilizarse una resistencia de 5.7 MΩ. Este valor puede obtenerse, por ejemplo, conectando una resistencia de 5.6 MΩ en serie con una de 100 KΩ o utilizando una resistencia de 1 M en serie con un potenciómetro de 5 MΩ calibrado en 4.7 MΩ (figura 298).

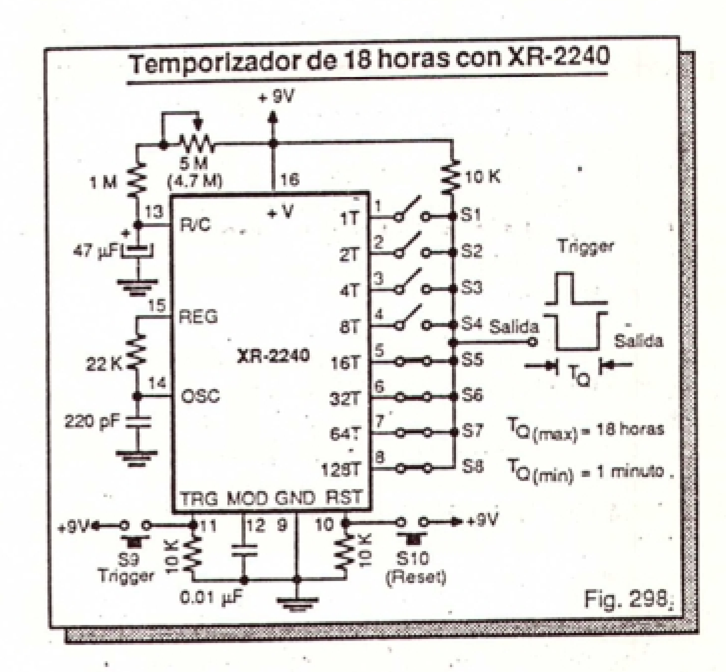


Fig. 298.

CIRCUITOS DE APLICACION

Se presentan a continuación algunos circuitos de aplicación con monoestables y temporizadores que complementan los numerosos circuitos prácticos analizados a lo largo de esta lección y los que usted mismo puede diseñar, aplicando los conocimientos adquiridos.

Describiremos un eliminador de rebote, una alarma médica, dos interruptores de tacto, un temporizador para el carro, un generador de efectos sonoros y un temporizador de aparatos electrodomésticos. En lecciones posteriores encontraremos más aplicaciones. Varios proyectos centrales de este curso utilizan monoestables y temporizadores.

Eliminador de rebote con 7555

Una aplicación muy común de los monoestables no redisparables es como eliminadores de rebote.

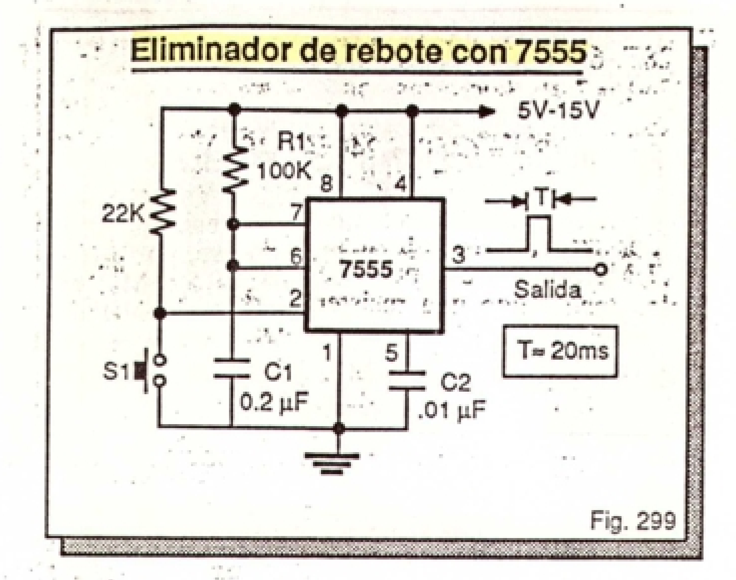


Fig. 299

Cuando un interruptor se cierra o se abre, sus contactos rebotan varias veces antes de conectarse o desconectarse definitivamente, produciendo pulsos de ruido. Este fenómeno se denomina rebote (*bounce*) y es inherente a todo interruptor electromecánico.

Los pulsos de ruido causan muchos problemas en los sistemas digitales y por esta razón deben suprimirse o *enmascararse*, es decir evitar que sean vistos o detectados por el circuito al cual va dirigida la información suministrada por el interruptor. Esta función la realiza un circuito antirrebote (*debouncer*). Los monoestables son adecuados para este trabajo.

El circuito de la figura 299 genera un pulso limpio de 20 ms, libre de ruido y perfectamente rectangular, cuando se cierra el interruptor S1. La duración de este pulso (T) depende de los valores de R1 y C1 y debe elegirse de modo que sea superior al período de rebote del interruptor. En interruptores pequeños, este período es de 1 a 10 milisegundos.

Alarma médica

Una aplicación importante de los monoestables redisparables es en circuitos de alarma diseñados para monitorear eventos repetitivos. Por ejemplo, considere su uso en una alarma médica de respiración (figura 300). La alarma sensa la respiración del paciente y genera un pulso en respuesta a la misma, el cual se utiliza para redisparar el monoestable.

El período del monoestable se fija de tal modo que un patrón normal de respiración cause el redisparo continuo del mismo. Si el patrón de respiración se interrumpe, el monoestable no recibe un pulso de redisparo. Por tanto, el circuito se sale de tiempo y suena la alarma, alertando al personal médico de la existencia de una anormalidad.

Interruptor temporizado de toque

Un interruptor de toque (*touch switch*) es un dispositivo en el cual la acción de conmutación no se realiza en forma electromecánica sino por contacto momentáneo de la piel con un sensor táctil. Al tocar el sensor, el interruptor abre o cierra un circuito y lo mantiene en ese estado durante un tiempo determinado o de modo permanente, dependiendo del diseño.

En varias aplicaciones industriales (por ejemplo, martillos electromecánicos), un interruptor de toque puede sustituir un voluminoso y costoso interruptor de potencia. Su uso no es peligroso. Como sensor, se puede utilizar cualquier material conductor dispuesto de forma que pueda ser tocado por un dedo (por ejemplo, una moneda partida por la mitad).

En la figura 301 se muestra un interruptor de toque con un monoestable NAND. El circuito proporciona un pulso de salida de aproximadamente un segundo de duración cuando se toca con la piel un sensor constituido por dos contactos metálicos muy próximos. R1 y C1 determinan el ancho del pulso.

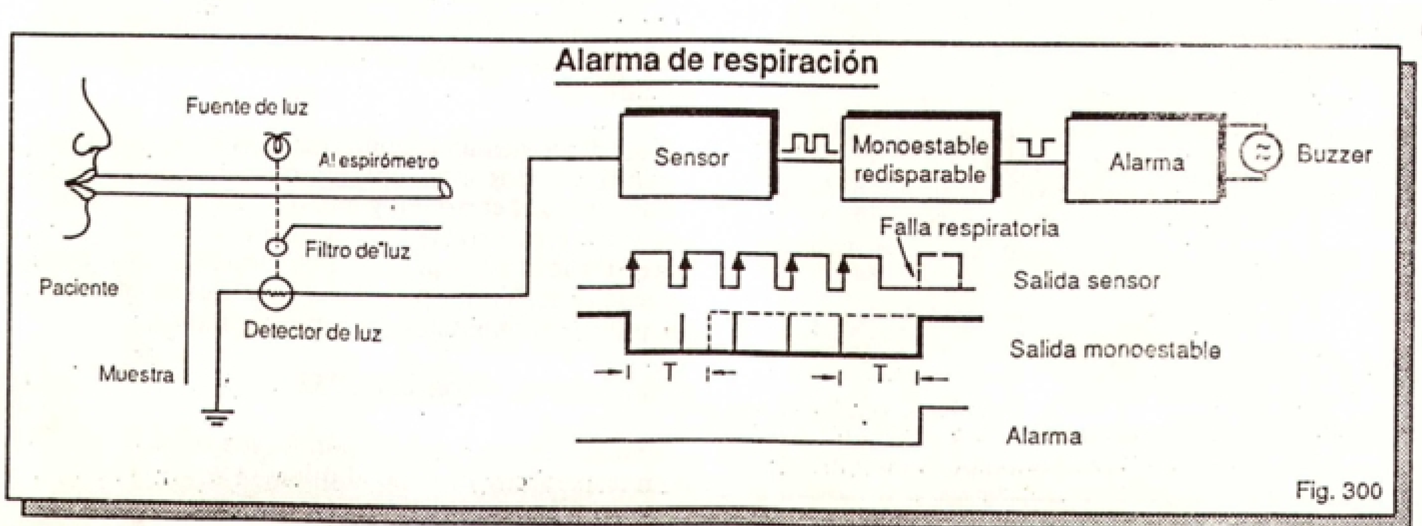
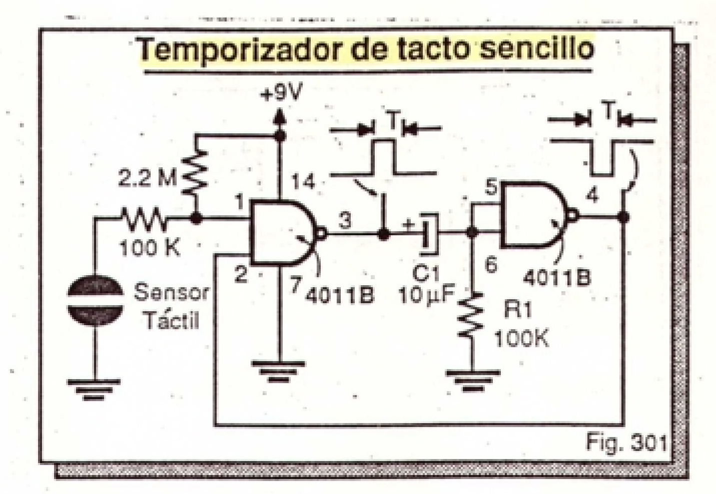
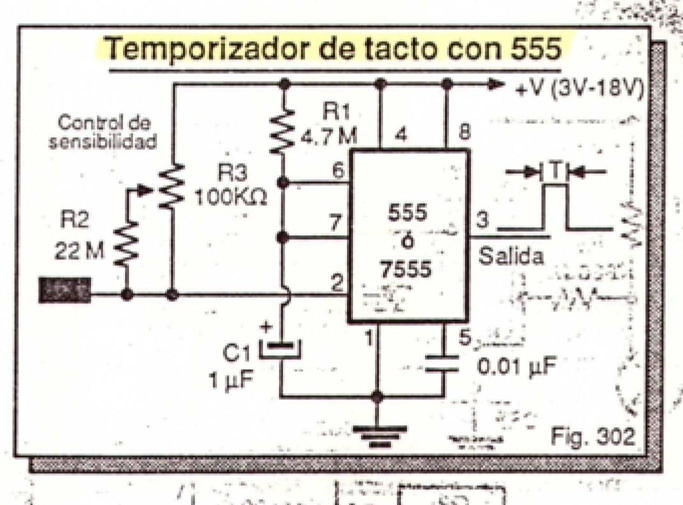


Fig. 300

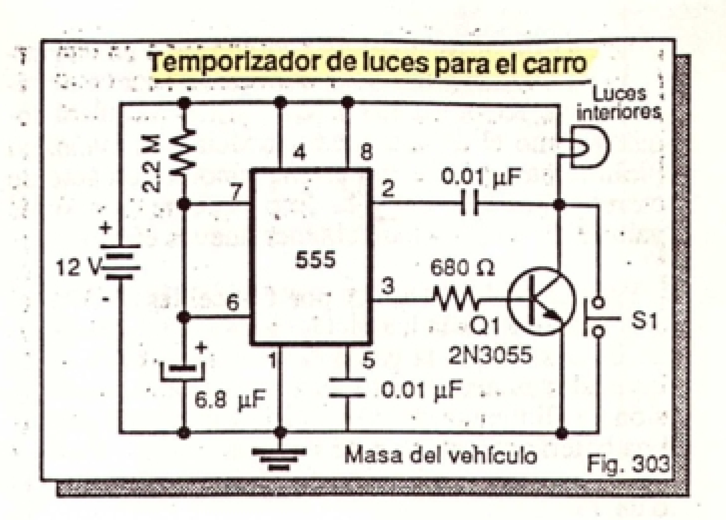


En la figura 302 se muestra un temporizador de tacto desarrollado alrededor de un 555. Al tocar la lámina de contacto, el monoestable se dispara y produce un pulso de aproximadamente 5 segundos de duración. R3 se ajusta para que el voltaje del pin 2 sea superior a +V/3. R2 mejora la sensibilidad del circuito. R1 y C1 establecen la duración del pulso.



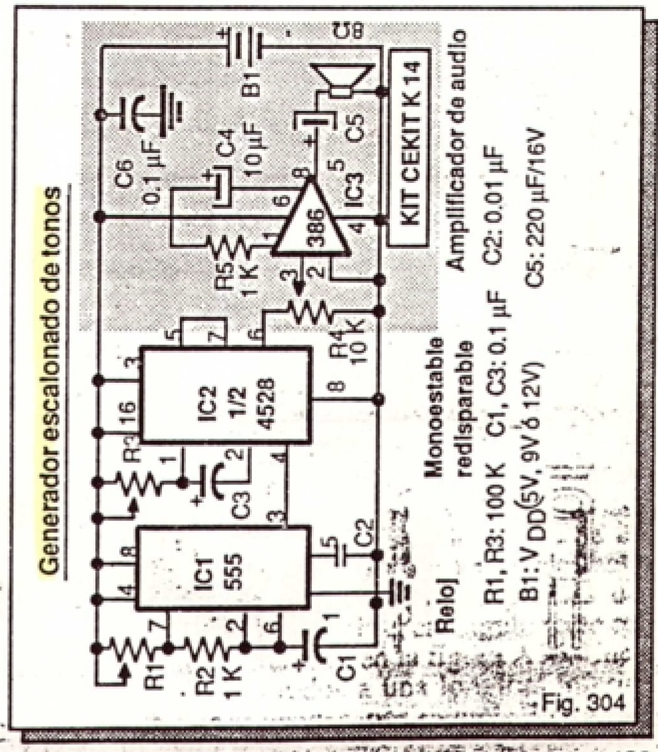
Los circuitos anteriores pueden utilizarse para controlar LED, zumbadores, lámparas, motores, etc., conectando a la salida una interface adecuada, por ejemplo, un optoacoplador manejando un triac o un transistor impulsando un relé. La forma de comunicar circuitos digitales con dispositivos del mundo real se explicó en la lección 8 de este curso.

El circuito de la figura 303 enciende las luces interiores del carro durante 15 segundos después de cerrar la puerta del vehículo. Este tiempo es suficiente para que el conductor encuentre la llave de ignición y ponga el motor en marcha. La tensión de alimentación (12 V) se obtiene de la batería. El interruptor S1 es accionado por la puerta.



Cuando la puerta se abre, el interruptor S1 se cierra, las luces interiores se iluminan, el monoestable 555 se dispara, su salida (pin 3) se hace **alta** y el transistor Q1 conduce. Cuando la puerta se cierra, S1 se abre y Q1 mantiene energizadas las luces durante 15 segundos, tiempo al cabo del cual las desconecta, debido a que la salida del monoestable se hace **baja**.

El circuito de la figura 304 utiliza un reloj **555**, un monoestable redisparable **4528B** y un amplificador de audio con **LM386** (*kit* CEKIT K14) para producir en el parlante una gama muy variada de tonos y efectos sonoros cuando se ajustan R1 y R3. R4 es el control de volumen del amplificador.



Arme este proyecto en su *protoboard* o en una tarjeta de circuito impreso y disfrútelo. Mueva continuamente R1, R3 o ambos a la vez, y simulará sonidos como el de una guerra espacial, un avión, un violín, una motocicleta, un metrónomo, un auto de carreras y muchos más. Experimente con otros valores de C1 y C3 para obtener nuevos efectos.

Remplazando R1 y R3 por fotoceldas (LDR), el sonido varía con la luz incidente. R1 establece el tono de base y R3 la gama de frecuencias dentro de las cuales avanza el circuito. Para suministrar la tensión de alimentación (5V, 9V ó 12V) puede utilizar una batería de vehículo de 12V o alcalina de 9V así como una fuente regulada de 5V (*kit* CEKIT K11) o de 9V (*kit* CEKIT K10).

El LM386 (figura 305) es un circuito integrado *análogo* muy popular que amplifica señales de bajo voltaje. La señal de pulsos suministrada por el monoestable al potenciómetro R4 se convierte en pulsos de corriente que excitan, a través de C5, el parlante, el cual los hace audibles. Mas información sobre este *chip* en el manual del *kit* **K14** de CEKIT.

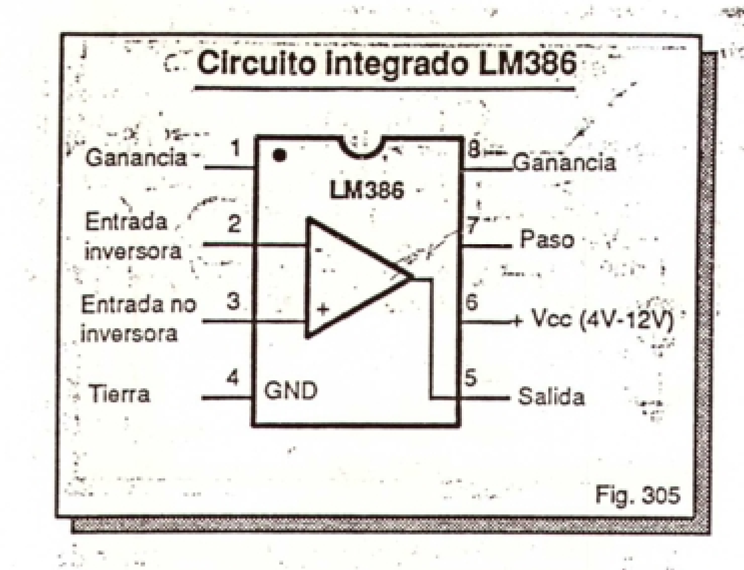


Fig. 305

Interruptor temporizado de potencia de 24 horas

Fig. 306

Interruptor temporizado de potencia de 24 horas

El circuito de la figura 306 permite conectar o desconectar una carga de potencia de 115VAC, por ejemplo una lámpara o un artefacto electrodoméstico, al cabo de un cierto tiempo. La temporización se inicia pulsando el botón S9, se cancela pulsando S10 y su duración se programa mediante el potenciómetro R2 y los interruptores S1 a S8. La carga se conecta a J1 y el voltaje de la red se aplica a J2.

Con el potenciómetro en su posición de máxima resistencia (10MΩ) y todos los interruptores, desde S1 hasta S8, cerrados, se obtiene un retardo máximo de 24 horas. Con el potenciómetro en su posición mínima (0Ω) y el interruptor S1 cerrado, se obtiene un retardo mínimo de 3.3 segundos. Cualquier retardo dentro de este rango es posible.

El modo de operación de la carga se selecciona mediante S11. Con S11 en la posición ON, la carga se energiza automáticamente después de transcurrido el tiempo previamente programado. Con S5 en la posición OFF, la carga se conecta tan pronto se da la orden de temporización y se desconecta automáticamente al cabo del tiempo preestablecido.

Por ejemplo, si usted sale de su casa a las 12 del día y desea que la lámpara de su cuarto se prenda automáticamente a las 7 de la noche, tendrá que situar S5 en la posición ON y programar un retardo de 7 horas (25200 segundos). Puede hacerlo, por ejemplo, situando R2 en su posición máxima y cerrando los interruptores S7, S4 y S2.

Para hacer este cálculo, utilice las fórmulas de diseño con el XR-2240 suministradas en el texto. Encontrará que, con R2=10 MΩ y C1=33 µF, se requiere un factor N de 76 para obtener el retardo de 25200 segundos requerido. Este factor se logra seleccionando las salidas 64T, 8T y 2T.

La interface entre el circuito de control, formado por el temporizador XR-2240 (IC1) y componentes asociados, y el circuito de potencia, formado por la carga y el triac 2N6154 (Q2), se realiza a través del optoacoplador MOC3010 (IC2). Para más detalles sobre el uso de optoacopladores en aplicaciones de potencia, le sugerimos remitirse a la lección 8.

El triac 2N6154 puede impulsar corrientes hasta de 10 A y manejar cargas hasta de 1000 W/115V. Para un óptimo funcionamiento debe estar provisto de un disipador de calor adecuado.

La tensión de alimentación del circuito de control puede obtenerla de una batería de automóvil de 12V, una pila alcalina de 9V o una fuente regulada de 9V (*kit* CEKIT K10). Para alambrar el circuito de potencia, use cable #16 ó 18.

ACTIVIDAD PRACTICA Nº 12

Construcción y prueba del módulo 2. Parte 5

En esta actividad finalizaremos el ensamble del módulo 2 instalando en la tarjeta de circuito impreso EDM-2 el interruptor lógico S4. La función de este componente es entregar, de acuerdo a su posición, un nivel **alto** (1) o **bajo** (0) de voltaje en el terminal de salida S4 de esa tarjeta.

Realizaremos también la prueba de este módulo, utilizándolo junto al módulo 1 (4 monitores lógicos) en un circuito decodificador sencillo, el cual, además, nos permitirá practicar y familiarizarnos con el código BCD.

Veremos también como optimizar el módulo EDM-1 para hacerlo más versátil y poderlo utilizar indistintamente en circuitos TTL y CMOS.

Componentes necesarios

- Para el montaje

1 interruptor miniatura tipo spdt. S4
1 circuito impreso CEKIT EDM-2.
1 cautín de baja potencia (15W a 35W)
Soldadura de estaño 60/40

– Para la prueba

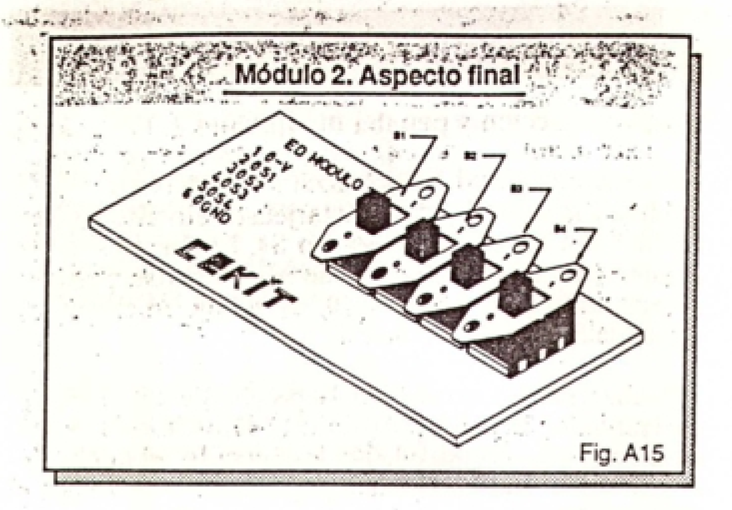
1 módulo EDM-1 (4 monitores lógicos).
1 módulo EDM-2 (4 interruptores lógicos).
1 circuito integrado 4028B. **IC1.**
1 pila alcalina de 9V ó una fuente de 9V (*kit* CEKIT K10) ó una fuente de 5V (*kit* CEKIT K11). **+V.**
1 *protoboard.*
Varios puentes de alambre telefónico Nº 22 ó #24.

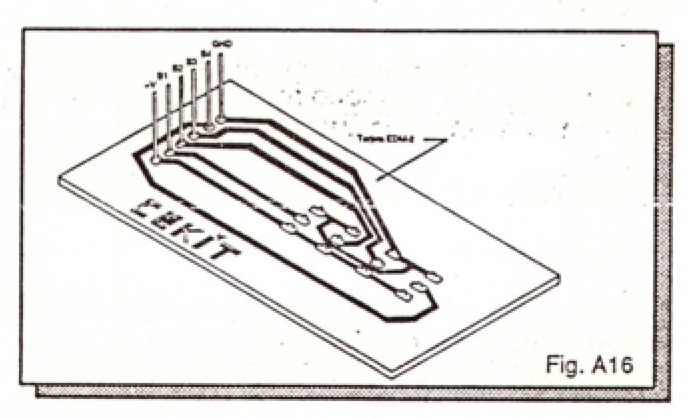
Herramientas: pinzas, cortafríos, bisturí.

Procedimiento y prueba

Paso 1. Tome el interruptor S4 e instálelo a continuación del interruptor S3, en los agujeros correspondientes, como se muestra en la figura A15. Asegúrese de que el componente quede instalado en una posición firme y suéldelo con cuidado por el lado del cobre, de la misma forma como lo ha hecho con los interruptores S1, S2 y S3.

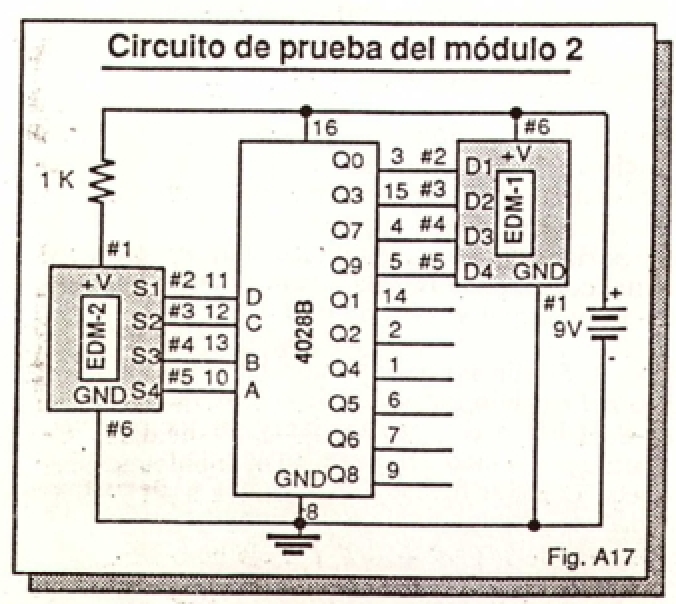
Paso 2. Si aún no ha instalado los pines de inserción del módulo, provéase de 6 terminales sobrantes de LED o de resistencias y suéldelos directamente por el lado del cobre, en ángulo recto con la tarjeta, como se muestra en la figura A16. Una vez soldados, córtelos todos a una longitud inferior al espesor de su *protoboard*, por ejemplo 7 mm.





Paso 3. Descripción del circuito de prueba

Para verificar la operación y el uso del módulo 2, emplearemos el circuito de prueba de la figura A17. Se trata de un decodificador de BCD a decimal con el CI 4028B (ver lección 10, páginas 121 a 123). El circuito reconoce un código BCD aplicado en las entradas DCBA activando una de las salidas Q0-Q9.



El módulo 2 (EDM-2) suministra códigos (combinaciones de **1's** y **0's**) de 4 *bits* a las entradas del decodificador, correspondiendo S1 al MSB (*bit* más significativo) y S4 al LSB (*bit* menos significativo). El módulo 1 (EDM-1) informa cuándo uno de estos códigos activa una de las cuatro líneas preseleccionadas Q0, Q3, Q7 ó Q9.

Específicamente, el LED D1 se ilumina cuando se aplica el código de entrada **0000**, correspondiente al número decimal 0, el LED D2 cuando se aplica el código **0011**, correspondiente al número 3, el LED D3 cuando se aplica el código **0111**, correspondiente al número 7, y el LED D4 cuando se aplica el código **1001**, correspondiente al número 9.

Un decodificador BCD no debe reconocer códigos BCD *inválidos* (ver Tabla 9-3, página 110). Sin embargo, algunas unidades **4028B**, como el **CD4028BCN** de National utilizado en nuestra prueba, activan la salida Q8 (pin 9) cuando reciben un código BCD inválido *par* y la salida Q9 (pin 5) cuando reciben un código BCD inválido *impar*.

En este caso, el LED D4, que monitorea la salida Q9, se iluminará también cuando se apliquen los códigos BCD inválidos **1011** (11), **1101** (13) y **1111** (15). Si utiliza un **4028B** de otro fabricante, es probable que no se produzca este fenómeno.La distribución de pines y la tabla de verdad del **4028B** aparece en la figura 197, página 121.

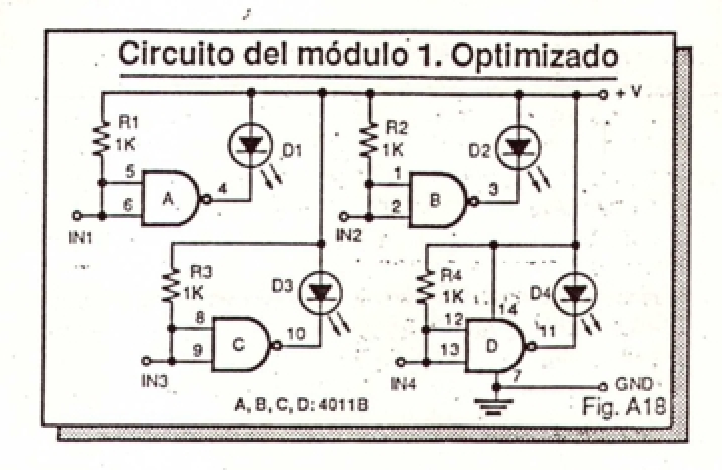
Paso 4. Optimización del módulo EDM-1

Antes de ensamblar el circuito de la figura A17 en su *protoboard*, conviene realizar una ligera modificación técnica en el trazado del circuito impreso del módulo 1, con el fin de hacerlo más versátil, adaptable a varias necesidades y compatible con TTL.

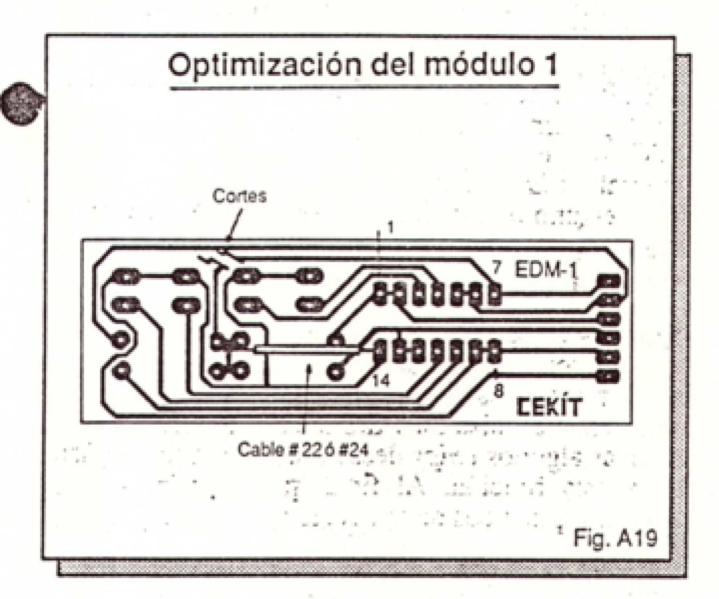
Se ha encontrado que algunas salidas CMOS no tienen la capacidad de corriente suficiente para impulsar las entradas de este módulo debido al efecto de carga que presentan las resistencias de 1K conectadas entre cada entrada del inversor y tierra (ver figura A1, página 19). Esto puede suceder con el CI CD4028BCN utilizado en este experimento.

Para adaptar su módulo a estas circunstancias, el punto común de unión de las resistencias R1, R2, R3 y R4 debe desconectarse de tierra y conectarse al positivo de la fuente, como se indica en la figura A18. De este modo, una salida CMOS **alta** no tiene que impulsar corriente hacia la entrada de cualquier monitor porque ésta proviene de la fuente, a través de la resistencia de 1K.

Para realizar esta modificación, sólo necesitará de un bisturí y un trozo de alambre telefónico aislado de 18 mm de longitud. Tome el módulo 1 por el la-



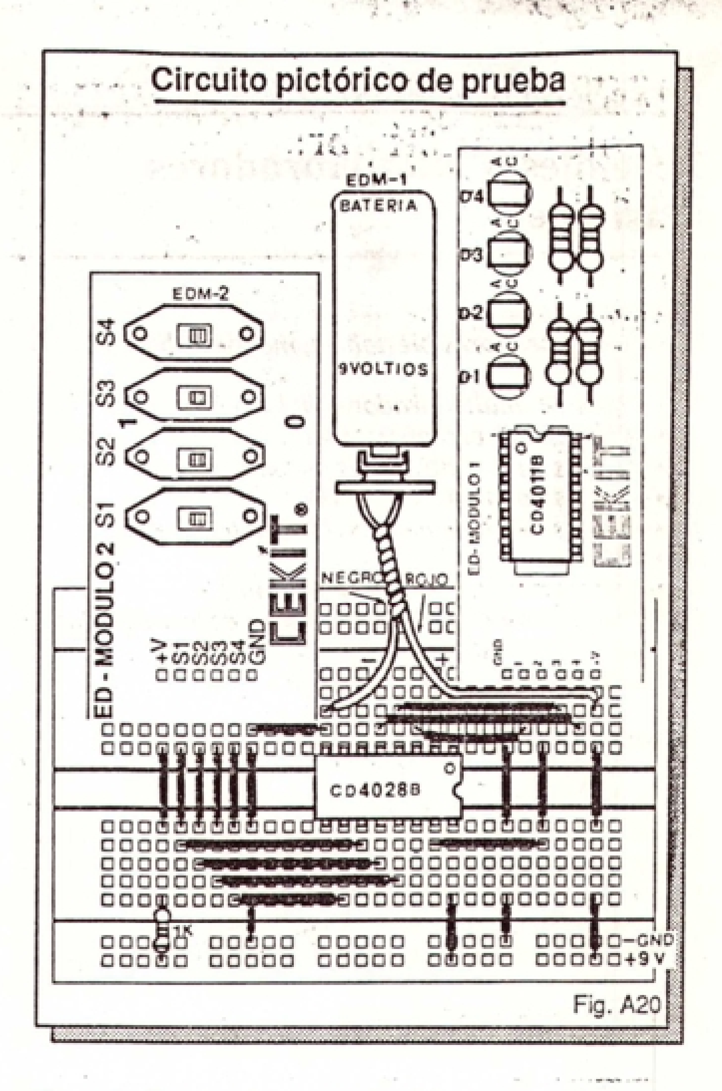
do del cobre y practique, con el bisturí, dos cortes profundos en la pista que une el punto común de unión de las resistencias de 1K con el pin 7 (tierra) del CI 4011B, como se muestra en la figura A19.



De este modo, aislará las resistencias de tierra. Para mayor seguridad, puede levantar y retirar, con el mismo bisturí, la pista de cobre que une los dos puntos de corte. A continuación, suelde el alambre de 18 mm entre el pin 14 (+V) del CI 4011B y el punto común de unión de las resistencias. Así, este último quedará conectado al positivo de la fuente.

Paso 5 Arme sobre su *protoboard* el circuito de la figura A17, como se indica en la figura A20. Inserte con cuidado el circuito integrado 4028B y los módulos EDM-1 y EDM-2. Realice las distintas conexiones empleando puentes cortos.

Antes de conectar la fuente, revise bien todo el alambrado. Asegúrese de que tanto el 4028B como los módulos estén adecuadamente alimentados y no hayan conexiones extraviadas, es decir uniendo puntos que no corresponden.



Paso 6. Conecte la fuente y sitúe todos los interruptores del módulo 2 en la posición "0". De este modo, estará aplicando el código **0000** a las entradas del decodificador. Observará que el LED D1 del módulo 1 se ilumina, indicando que el circuito está reconociendo el código BCD del número 0 (0000).

Paso 7. Sitúe los interruptores S1 a S4 en las posiciones adecuadas, genere, en su orden, todos los códigos de 4 *bits* siguientes posibles, desde **0001** (1) hasta **1111** (15), y observe los que sucede en los LED del módulo 1. Por ejemplo, para el código **0110** (6), sitúe S1 en la posición **0**, S2 en la posición **1**, S3 en la posición **1** y S4 en la posición **0**.

Notará que el LED D2 sólo se ilumina cuando se aplica el código **0011** (3), el LED D3 cuando se aplica el código **0111** (7) y el LED D4 cuando se aplica el código **1001** (9). Para los códigos superiores a este último, pueden suceder dos cosas:

a) El LED D9 se ilumina cuando se aplican los códigos BCD inválidos impares **1011** (11), **1101** (13) y **1111** (15) ó [illegible]

b) El LED D9 no se ilumina en absoluto.

Relojes o multivibradores astables

- *Introducción*
- *Multivibradores biestables, monoestables y astables*
- *Tipos de multivibradores astables*
- *Relojes con compuertas TTL*
- *Relojes TTL controlados por cristal*
- *Relojes con compuertas CMOS*
- *Relojes con compuertas Schmitt trigger*
- *Relojes con compuertas buffer*
- *Relojes con el circuito integrado 555*
- *Relojes con circuitos integrados especializados*
- *El circuito integrado 4047B*
- *CIRCUITOS DE APLICACION*

Introducción

Muchos dispositivos, circuitos y sistemas digitales dependen de una *señal de reloj* para operar correctamente y sincronizar sus funciones internas. Como vimos en la lección 13, una señal de reloj (figura 307) es una onda cuadrada o cadena de pulsos, es decir, una sucesión continua de niveles altos (1's) y bajos (0's) de voltaje que se repiten periódicamente en el tiempo.

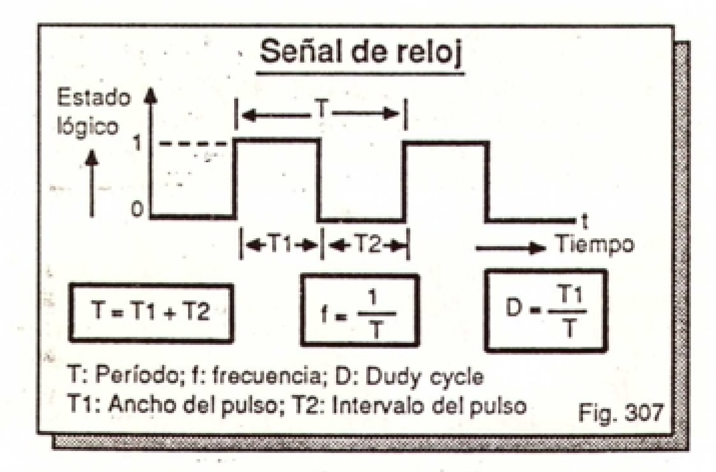


Fig. 307

Los circuitos que producen señales de pulsos se denominan *relojes* o *multivibradores astables*. Los *multivibradores* son circuitos que permiten controlar el *tiempo* en toda clase de aplicaciones análogas y digitales. Sin la presencia del tiempo en los sistemas digitales, éstos se reducirían a simples circuitos combinatorios, es decir a configuraciones estáticas de compuertas.

Existen tres formas diferentes de considerar la acción del tiempo en los circuitos digitales: *temporización*, *sincronización* y *memorización*. A cada una de estas acciones corresponde un multivibrador específico. La función de temporización la realizan los *monoestables*, la de sincronización los *astables* y la de memorización los *biestables*.

Los multivibradores monoestables o *one-shot* se trataron en la lección 16. Los multivibradores astables o *relojes* se estudian en esta lección y los biestables o *flip-flops* en las lecciones 19 y 20.

Por brevedad, utilizaremos con frecuencia los términos *monoestable*, *astable* y *biestable* para referirnos, respectivamente, a un multivibrador monoestable, a uno astable y a uno biestable.

En la lección 18 estudiaremos un tipo especial de astable llamado *oscilador controlado por voltaje* (VCO) y el sistema del cual son su parte fundamental: el *lazo de amarre de fase* (PLL) digital. El PLL es uno de los dispositivos más versátiles e interesantes de la electrónica digital.

Comenzaremos por establecer, formalmente, la diferencia entre multivibradores astables, monoestables y biestables. Posteriormente, analizaremos las configuraciones más comunes de circuitos de reloj utilizadas en sistemas digitales y aprenderemos a utilizar algunos *chips* desarrollados específicamente para esta función. Al final, presentaremos varios circuitos prácticos de aplicación.

Multivibradores biestables, monoestables y astables

Como se estableció anteriomente, existen tres tipos de multivibradores: biestables, monoestables y astables. A continuación, definiremos claramente la función y el modo de operación de cada uno.

El multivibrador ***biestable*** (figura 308), como su nombre lo indica, es un circuito que tiene tiene dos estados estables: **alto** y **bajo**. El dispositivo permanece indefinidamente en uno de sus dos estados estables hasta que es obligado a cambiar de estado mediante una señal externa de disparo. Una vez disparado, el dispositivo se mantiene en su nuevo estado hasta que aparezca otra señal de disparo.

En resumen, a cada señal de disparo corresponde un cambio de estado estable. Básicamente, la función que desempeña un biestable es la de recordar o *memorizar* un estado determinado. También es posible, en cualquier momento, cambiar el contenido

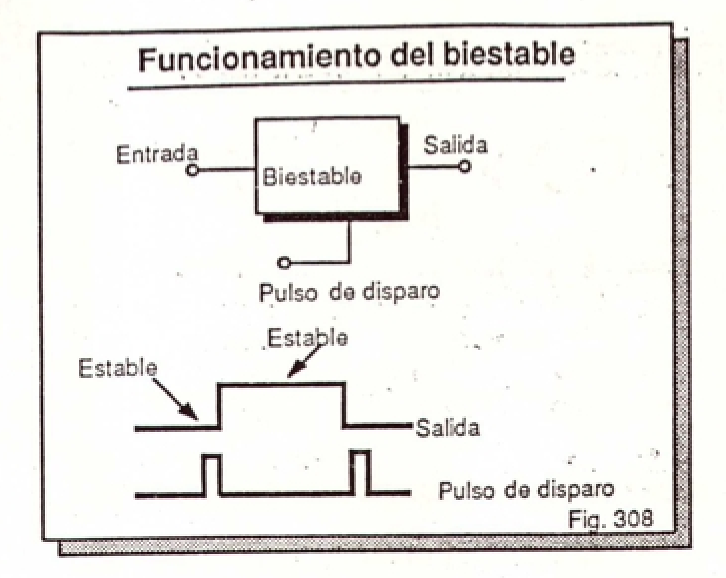


Fig. 308

del circuito, es decir pasarlo de alto a bajo o viceversa.

La descripción anterior concuerda con la definición de *memoria RAM* usada en los computadores digitales. Las memorias RAM o de *acceso aleatorio* se estudian en la lección 32 de este curso.

El multivibrador *biestable* se denomina también *flip-flop* y es la celda básica de los sistemas de almacenamiento de datos (*memorias*), tan ampliamente usados en la tecnología actual. Los *flip-flops* se estudiarán detalladamente en las lecciones 19 y 20 y las memorias a partir de la lección 31.

El multivibrador ***monoestable*** (figura 309) es un circuito que tiene un sólo estado estable, de donde deriva su nombre. El dispositivo permanece indefinidamente en el estado estable hasta que recibe una señal externa de disparo. Una vez disparado, cambia de estado y permanece en ese nuevo estado (llamado *inestable*) durante un tiempo, al cabo del cual retorna a su estado estable natural.

El tiempo que dura la salida en el estado inestable se programa, generalmente, mediante un circuito RC externo. Dependiendo del diseño, el disparo puede producirse por flancos de salida (pulsos positivos) o de bajada (pulsos negativos) y el estado inestable puede ser alto (1) ó bajo (0).

Del mismo modo, la señal de disparo puede redisparar continuamente el dispositivo y mantenerlo indefinida o temporalmente en el estado inestable o dispararlo sólo después de que ha realizado la transición del estado inestable al estable. En el primer caso, se habla de monoestables *redisparables* y en el segundo de monoestables *no redisparables*.

La función principal del monoestable es temporizar o generar, en los sistemas digitales y electrónicos, lapsos de tiempo programables. Este tipo de circuitos, incluyendo los temporizadores programables, y sus aplicaciones, que son muy variadas, se estudiaron en la lección 16.

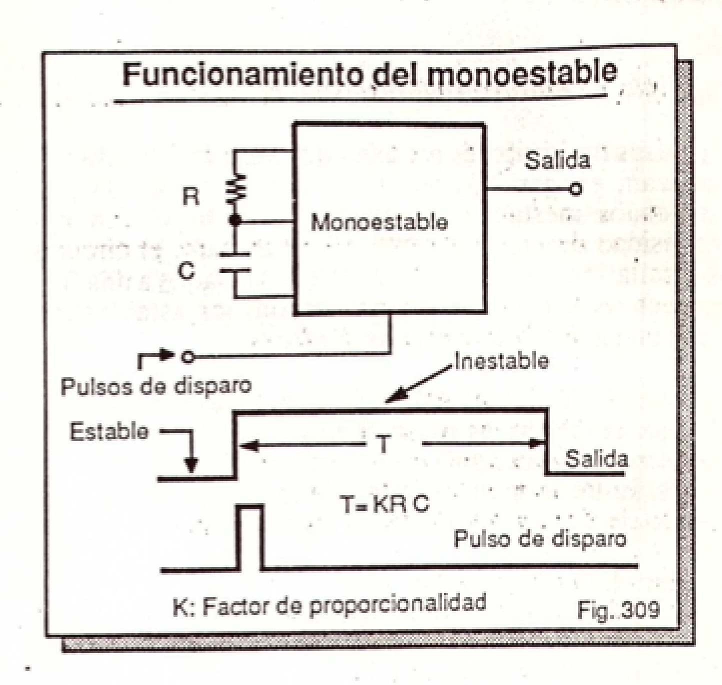


Fig. 309

El multivibrador ***astable*** (figura 310), como su nombre lo indica, es un circuito que no tiene estados estables. Los dos posibles estados que puede tomar son de tipo inestable o temporal. La salida del circuito oscila o alterna entre los dos estados inestables (alto y bajo) a una frecuencia o *rata* constante, determinada por un circuito RC externo.

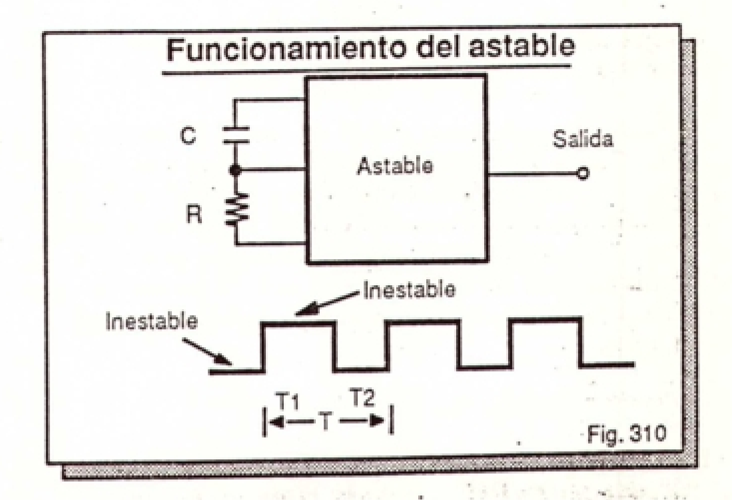


Fig. 310

La señal generada por un astable se utiliza, por lo general, como patrón de tiempo o reloj para sincronizar el funcionamiento de los circuitos de tipo *secuencial*. La lógica que rige estos sistemas la desarrollaremos a partir de la lección 19. En la presente lección estudiaremos las formas de implementar astables en la práctica y aprenderemos a utilizarlos en una gran variedad de aplicaciones útiles.

Tipos de multivibradores astables

Los multivibradores astables o relojes se caracterizan, en general, por presentar en su salida dos estados inestables posibles: **alto** y **bajo**. Sin necesidad de una señal externa de disparo, el circuito oscila indefinidamente entre estos estados a una frecuencia constante. Por esta razón, los astables se conocen también como *osciladores*.

La señal digital generada por un astable (figura 310) se denomina *onda cuadrada* y se usa ampliamente para sincronizar sistemas digitales secuenciales. Entre la gran variedad de aplicaciones de este tipo de circuitos se destacan las siguientes:

- Generadores de pulsos
- Reloj (*clock*) de circuitos digitales
- Generadores de tono
- Generadores de secuencia
- Moduladores por anchura de pulsos (PWM)

Un multivibrador astable puede realizarse en la práctica con transistores bipolares (BJT), transistores de efecto de campo (FET), transistores de monojuntura (UJT) compuertas lógicas TTL o CMOS y circuitos integrados especiales. En esta lección estudiaremos los siguientes tipos de circuitos de reloj adecuados para aplicaciones digitales:

- Relojes con compuertas TTL.
- Relojes con compuertas CMOS.
- Relojes con compuertas *Schmitt trigger*.
- Relojes con compuertas *buffer*.
- Relojes con el circuito integrado 555.
- Relojes con circuitos integrados especializados.
- Relojes con cristales piezoeléctricos de cuarzo.

Algunos de estos circuitos se basan en inversores TTL o CMOS. En lugar de utilizar circuitos integrados especializados para generar una señal de reloj, es posible usar compuertas NAND, NOR o XOR no utilizadas en otras partes del sistema para obtener inversores. En la figura 311 se indican las formas más comunes de usar estas compuertas como inversores.

Relojes con compuertas TTL

Un circuito de reloj (figura 310) está compuesto por dos redes RC: una para la carga del condensador C y otra para la descarga del mismo. Cada uno de estos procesos de carga y descarga genera un tiempo que, a su vez, determina la duración de los estados inestables (T_1 y T_2).

El período (T) de la onda cuadrada resultante es igual a la suma de los dos tiempos transcurridos ($T=T_1+T_2$). Si estos tiempos son iguales ($T_1=T_2$), se dice que la onda cuadrada generada es *simétrica*

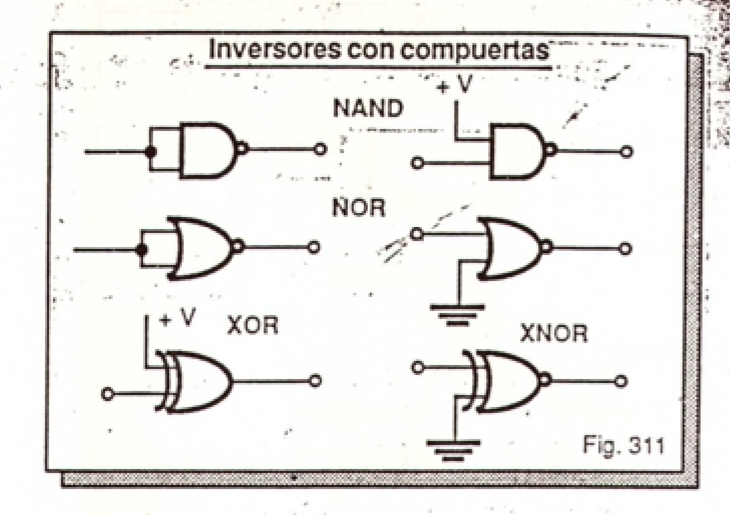


Fig. 311

y si son diferentes ($T_1 \neq T_2$), la onda resultante es *asimétrica*. Los conceptos de onda simétrica y asimétrica se introdujeron en la lección 13.

El mecanismo de carga y descarga del condensador, con el fin de generar los dos estados inestables, se puede implementar usando compuertas TTL. Existen dos formas de usar la circuitería interna de la compuerta para este fin: como comparador o detector de nivel de voltaje y como amplificador *lineal*.

Como se verá, la segunda opción es más ventajosa y, por tanto, la más adecuada para construir relojes de alta velocidad.

En la figura 312 se muestra un circuito de reloj realizado con inversores TTL trabajando como comparadores de voltaje. Utilizaremos este sencillo circuito sólo para explicar el principio de funcionamiento de los astables. Más adelante, se presentarán circuitos de mayor utilidad práctica. La forma como opera un comparador de voltaje se explicó en la lección 14.

Inicialmente, el condensador C se encuentra descargado y el voltaje entre su terminales (Vc) es de cero (0) voltios. Por tanto, en el momento de conectar el voltaje de alimentación (Vcc= 5V), este condensador se comportará como un corto circuito, aplicando un nivel **bajo** a la entrada del inversor A3.

Como resultado de lo anterior, en la salida del inversor A3 se tendrá, entonces, un nivel **alto**, el cual se aplica a la entrada del inversor A1. La salida del inversor A2 será, por tanto, **alta**. De esta manera, el circuito RC queda alimentado con un nivel de voltaje **alto**. El condensador comienza entonces, a cargarse desde 0V y en dirección del voltaje de alimentación (5V).

Cuando el condensador alcanza el voltaje que la compuerta A3 identifica como una entrada **alta** (V_{IH}= 2.0: ver lección 8), se produce un cambio en

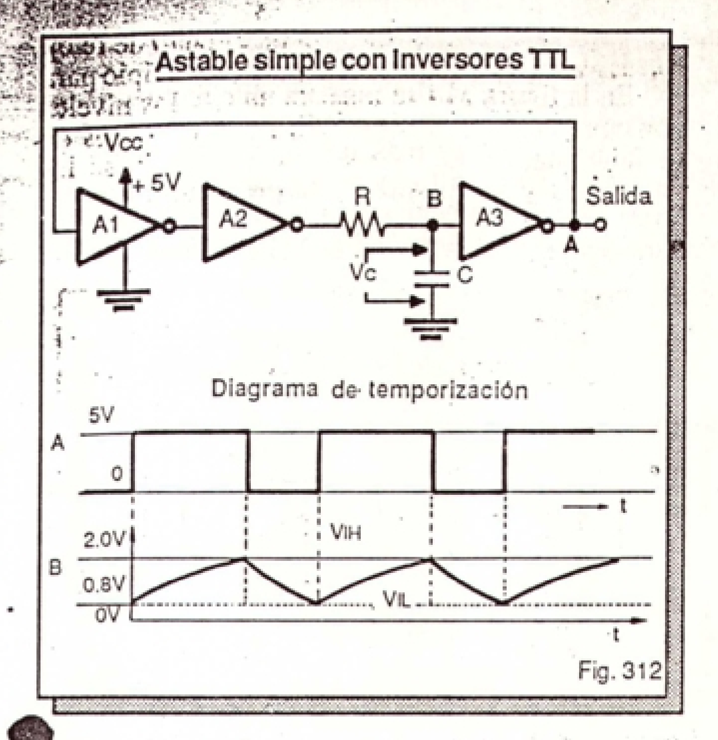


Fig. 312

la salida de A3 de alto a bajo, el cual se comunica a la entrada del inversor A1. Por tanto, la salida del inversor A2 será baja.

En este momento, se le aplica a la red RC un voltaje igual a cero (0) voltios. El condensador comienza, entonces, a descargarse. Cuando el voltaje en el mismo (Vc) llega al nivel que la compuerta A3 identifica como una entrada baja (V_{IL}=0.8 V), ésta cambia de estado y, en la salida de A3, se tendrá un nivel alto nuevamente.

Como resultado, la salida del inversor A2 es, también, alta y, por tanto, el condensador C inicia, otra vez, su carga hacia un valor positivo de voltaje. El proceso se repite constantemente, generando, de ésta manera, una onda cuadrada de una frecuencia que depende de los valores de R y C, la cual se puede determinar en cualquier momento.

Para calcular la frecuencia de oscilación del reloj de la figura 312, se procede de la siguiente manera:

1. Por definición:

$$T = \frac{1}{f}$$

En esta expresión, T es el período en segundos (s) y f la frecuencia en Hertz (Hz). Si f está en Kilohertz (KHz), T quedará expresado en milisegundos (ms). Si la frecuencia se expresa en Megahertz (MHz), el período resultante estará en microsegundos (µs).

2. Matemáticamente, se puede demostrar que, si V_{IH}=2V (valor típico), entonces:

$$T/2 \approx 0.7 \times R \times C$$

En esta expresión, T es el período en segundos (s) si el valor de R se expresa en Ohmios (Ω) y el de C en Faradios (F). Si R está en kilo-ohmios (KΩ) y C en microfaradios (µF), que es el caso más usual, T resulta expresado en milisegundos.

3. Se asume un valor cualquiera (comercial) para el condensador C y, de la expresión anterior, se obtiene el valor de R. Es decir:

$$R = \frac{T/2}{0.7 \times C} = \frac{T}{1.4 \times C}$$

Si el valor resultante de R no es comercial o está muy alejado del valor comercial más próximo, puede asumirse otro valor para C y repetir el cálculo o buscar una combinación (en serie o en paralelo) de resistencias comerciales que sea equivalente al valor deseado. El ejemplo de la página 198 aclara el uso de la fórmula anterior.

En la tabla 17-1 se relacionan los valores de acuerdo a las cuales se fabrican las resistencias de composición de carbón (las más comunes) en las series de tolerancias del 5% (última banda dorada), 10% (última banda plateada) y 20% (última banda ausente). Esta tabla es muy importante para diseñar circuitos electrónicos de todo tipo, incluyendo astables y monoestables.

Por ejemplo, en la gama de 5K a 10K se consiguen resistencias, con una tolerancia del 5%, de 5.1K, 5.6K, 6.2K, 6.8K, 7.5K, 8.2K, 9.1K y 10K. Del mismo modo, en la banda de 100K a 200K, existen resistencias, con una tolerancia del 10%, de 100K, 120K, 150K y 180K, únicamente. Estos valores se denominan *series preferentes*.

Valores comerciales de resistencias

Tolerancia	Series preferentes
5%	10 15 22 33 47 68
	11 16 24 36 51 75
	12 18 27 39 56 82
	13 20 30 43 62 91
10%	10 15 22 33 47 68
	12 18 27 39 56 82
20%	10 15 22 33 47 68

Tabla 17-1

Ejemplo. Diseñar un circuito de reloj para generar una onda cuadrada de 1 KHz (1000 Hz).

Solución. Aplicando el procedimento anterior, obtenemos:

$$T_{[ms]} = 1/f_{[KHz]} = 1/1 = 1 \text{ ms}$$

$$T/2 = 0.5 \text{ ms}$$

La notación "T [ms]" debe leerse como "T expresado en milisegundos" y la notación "f[KHz]" como "f expresado en kilohertz". Asumiendo un condensador C de 0.01 µF, tenemos:

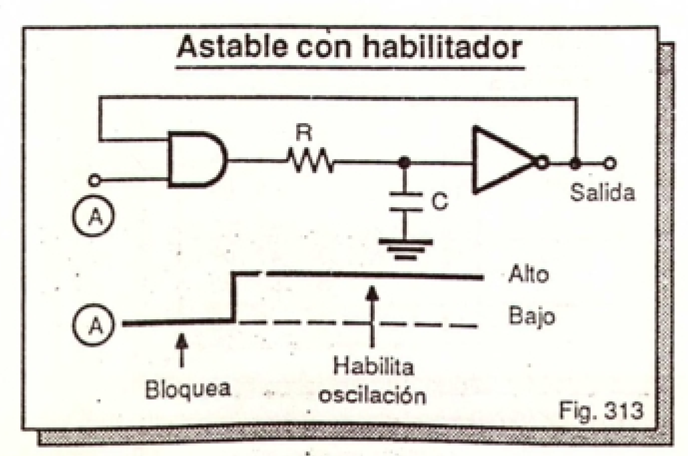
$$T/2[ms] = 0.7xC[\mu F] \times R[K\Omega]$$
$$0.5 = 0.7 \times 0.01 \times R[K\Omega]$$

Por tanto:

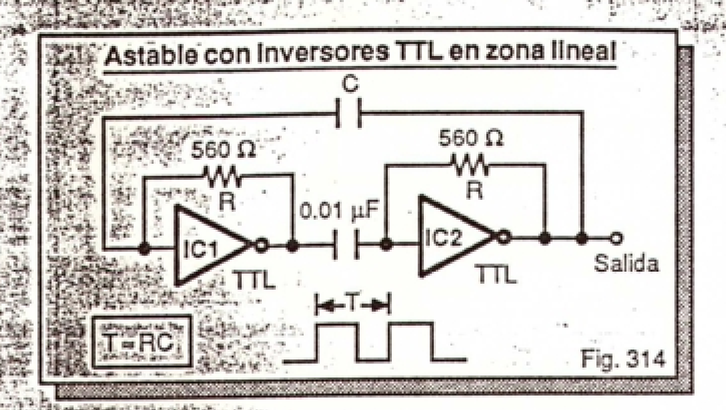
$$R [K\Omega] = 0.5/(0.7 \times 0.01) = \mathbf{72\ K\Omega}$$

Es decir, se necesita un condensador **C** de 0.01µF y una resistencia **R** de 72 KΩ para obtener una frecuencia **f** de 1 KHz con el circuito de la figura 312. El valor de R (72 KΩ) no es comercial pero se puede obtener, por ejemplo, conectando una resistencia de 62KΩ en serie con una de 10KΩ o cualquier otra combinación equivalente a 72K.

En la figura 313 se tiene el mismo circuito astable básico de la figura 312, pero se han sustituido los inversores A1 y A2 por una compuerta AND. Así, es posible controlar el proceso de arranque de la oscilación de acuerdo al estado de la señal de control **A**. Si **A es alta,** el circuito se habilita y hay oscilación. De lo contrario, si A es **baja**, no se tiene señal de reloj. Este circuito es un ejemplo de reloj *gatillado*.



En la figura 314 se muestra un circuito de reloj, con compuertas TTL, que utiliza otro principio para su funcionamiento. Este astable no usa los niveles de entrada y salida **altos y bajos** como puntos de comparación para efectuar la transición. En su lugar, emplea la zona *lineal* de la compuerta.



La zona lineal es la gama de voltajes dentro de la cual cada inversor se comporta como un amplificador. Una ligera variación del voltaje de entrada por debajo de 2.5V, aproximadamente, (por ejemplo de 2.5V a 2.4 V), provoca que la salida se haga **alta** (casi 5V) y viceversa.

En otras palabras, la *realimentación* introducida por la resistencia de 560 Ω, transforma, a cada inversor, en un amplificador de alta ganancia. El acople entre los dos inversores, convertidos en amplificadores, se realiza por medio del condensador de 0.01 µF.

La red de realimentación, que determina la frecuencia de oscilación, es el condensador C conectado entre la salida del reloj y la entrada del primer inversor. En este caso, el período T (en ms), es aproximadamente igual al producto **RxC**, estando R expresada en KΩ y C en µF.

Por ejemplo, si R=560Ω=0.56 KΩ y C=0.05 µF, entonces T=0.56x0.05 = 0.028 ms, lo cual corresponde a una frecuencia (f) de 35 KHz, aproximadamente.

Relojes TTL controlados por cristal

La estabilidad que puede ofrecer un oscilador RC como los anteriores es del orden de un 0.1%. Esto significa que por cada 100 Hz, la frecuencia de la señal generada puede variar hasta 0.1 Hz con respecto a su valor nominal. Por ejemplo, si oscila a 100 KHz, la frecuencia real puede estar entre 99.9 KHz y 100.1 KHz.

En algunas aplicaciones, está precisión es suficiente y los circuitos de las figuras 313 y 314 son

una excelente opción. Si se desea una estabilidad mayor hay que recurrir, como elemento de realimentación, a un *cristal de cuarzo* y no a un condensador. Esta situación se ilustra en la figura 315.

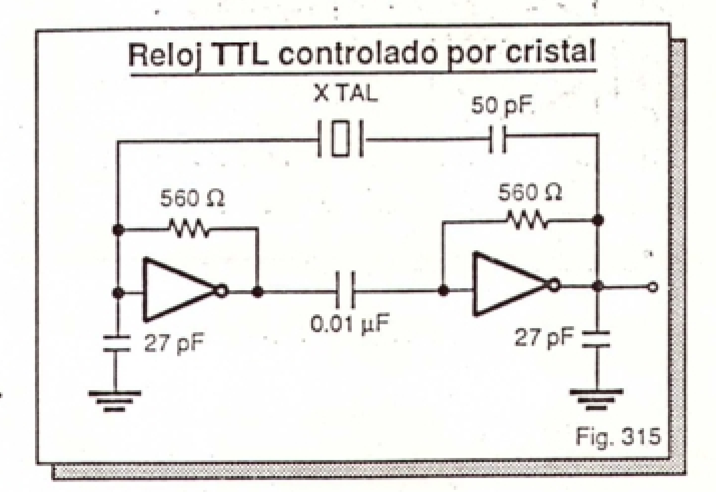


Fig. 315

El *cristal de cuarzo* (figura 316) tiene una composición química similar a la del vidrio. Un cristal de cuarzo se corta y se pule a unas determinadas dimensiones para que pueda vibrar a una cierta frecuencia. La frecuencia a la cual vibra un cristal depende, básicamente de su espesor , y es muy estable, no siendo afectada por la temperatura y otros factores.

Los cristales de cuarzo se tallan a partir de un cristal matriz y su aspecto final es el de una laminilla muy delgada, de forma circular, cuadrada, rectangular o anular. Para su uso, se encierran en un blindaje metálico del cual sobresalen los terminales de acceso. Es posible alterar la frecuencia original

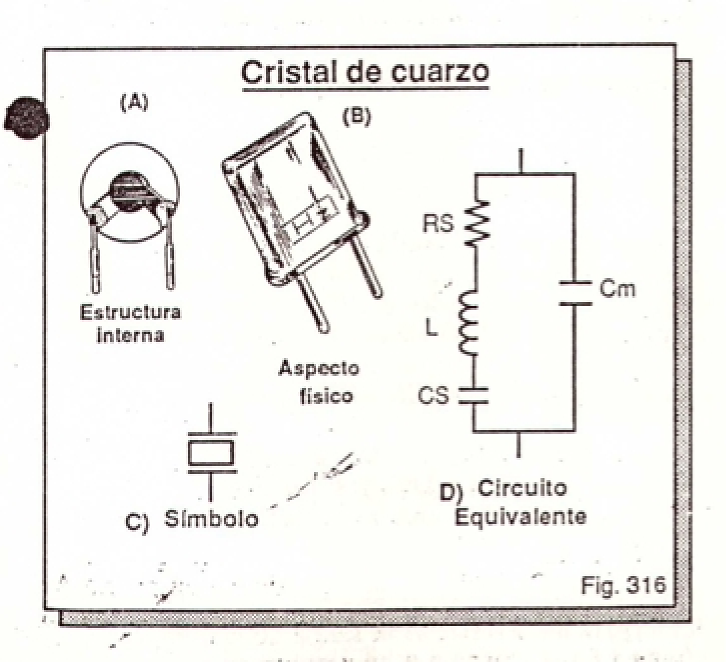


Fig. 316

de un cristal limando cuidadosamente parte de su perfil, pero se corre el riesgo de dejarlo inservible.

Los cristales de cuarzo se utilizan en sistemas digitales, equipos de comunicaciones y otras aplicaciones de la tecnología electrónica. Para una mayor información sobre la teoría de los cristales de cuarzo y sus aplicaciones en el campo de las comunicaciones, remitimos al lector al *Curso de Radio AM-FM, Banda Ciudadana y Radioafición* de CEKIT.

El cuarzo es un elemento *piezoeléctrico*. Lo anterior significa que genera una señal eléctrica cuando se somete a una tensión mecánica (presión) y que vibra, a una frecuencia particular, cuando se aplica una tensión eléctrica (voltaje) entre sus terminales. Este fenómeno se denomina *efecto piezoeléctrico*.

Desde el punto de vista práctico, un cristal de cuarzo es equivalente al circuito de la figura 316-D. Quienes están familiarizados con filtros y otros circuitos análogos, reconocerán que se trata de un tanque resonante RLC de muy alto Q, aproximadamente igual a 10.000, y de muy alta estabilidad. Estos factores lo convierten en un elemento ideal para estabilizar circuitos osciladores.

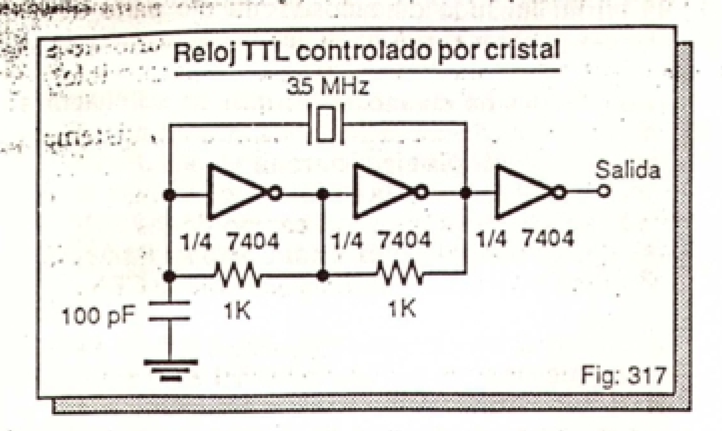
Los cristales de cuarzo se consiguen para frecuencias desde 10 KHz hasta 210 MHz. Los más utilizados son los cristales de 100 KHz, 1.0 MHz, 2.0 MHz, 4.0 MHz, 5.0 MHz y 10 MHz. Uno de los cristales de más fácil consecución es el de 3.579545 MHz, utilizado para sincronizar los pulsos del oscilador que controla los colores en los televisores.

Los relojes de pulsera de cuarzo (*quartz*, en inglés), utilizan un cristal que oscila a 32.768 KHz. Si esta frecuencia se divide por 2^{15} (32768), se obtiene una oscilación, muy estable, de 1 Hz.

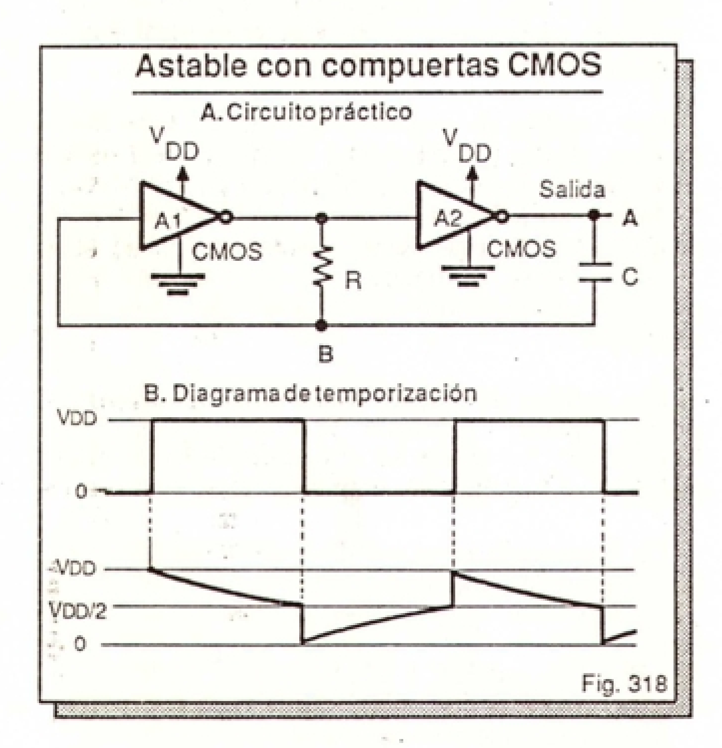
La frecuencia nominal de los cristales puede ajustarse, en un rango muy estrecho, mediante condensadores, de muy bajo valor, conectados en serie o en paralelo. Este es el propósito del capacitor de 50 pF en la figura 315. En la figura 317 se muestra un circuito práctico de oscilador TTL a cristal de 3.5 MHz, adecuado para aplicaciones de precisión.

Relojes CMOS

Los relojes CMOS se caracterizan por consumir menos potencia y operar dentro de un rango de voltajes más amplio que los relojes TTL. Como en estos últimos, también es posible usar las compuertas CMOS como comparadores de nivel de voltaje o como amplificadores lineales de alta ganancia para generar la oscilación.

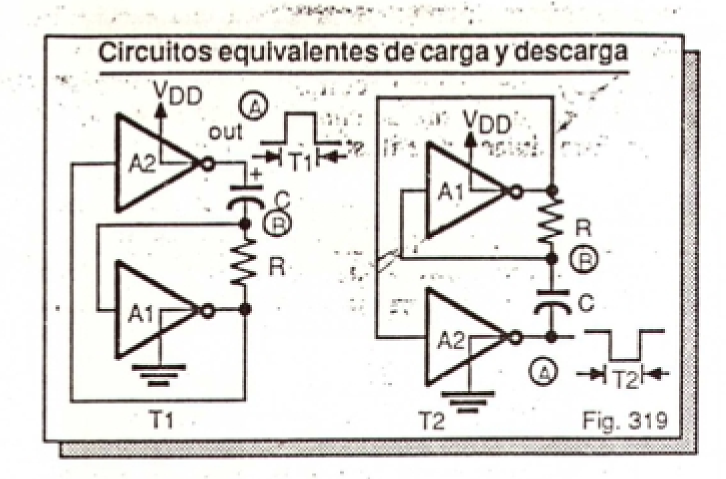


En la figura 318 se muestra el circuito CMOS más comúnmente utilizado como generador de pulsos de reloj. Está basado en inversores o en compuertas conectadas como inversores. Las compuertas SSI más empleadas para este propósito son los circuitos integrados CD4001 (NOR) y 4011 (NAND). Se incluye también el diagrama de temporización.



El circuito de la figura 318 es similar, en su estructura, al oscilador TTL de la figura 317, pero su frecuencia la determina un circuito RC y no un cristal. Dependiendo del estado de las salidas de los inversores A1 y A2, el condensador C se cargará o descargará siempre a través de la resistencia R y los circuitos de salida de estas compuertas.

En el instante de aplicar potencia al circuito, el condensador C se comporta como un corto circuito. Suponiendo que la salida de A2 es alta, la salida de A1 será, por consiguiente baja. De esta manera el



condensador C se cargará a través de R y el circuito de salida de A1 (figura 319A).

A medida que el condensador adquiere carga positiva, se reduce el voltaje en el punto B. Cuando este voltaje se hace menor que VDD/2 (la mitad del voltaje de alimentación), el inversor A1 lo interpreta como una entrada **baja** (VIL) y su salida cambia de estado, haciéndose **alta**. Esto provoca que la salida del inversor A2 (punto A) se haga **baja**.

Bajo esta circunstancia, el condensador C pierde su carga y adquiere otra de sentido contrario, cargándose a través de R y el circuito de salida de A2 (figura 319-B). Cuando el voltaje sobre C alcanza un valor igual o mayor a VDD/2, la salida del inversor A1 cambia de estado, haciéndose **baja**.

Lo anterior provoca que la salida del inversor A2 (punto A) se haga **alta**, reiniciándose el ciclo de oscilación. La operación del circuito se resume en el diagrama de temporización de la figura 318-B. La frecuencia de la señal de salida depende de los valores de R y C, y se evalúa mediante la siguiente fórmula:

$$f = \frac{1}{2.2 \times R \times C}$$

Para que esta fórmula sea válida y el circuito opere confiablemente, el valor de R no debe ser inferior a 1 KΩ ni superior a 10 MΩ. No se recomienda que el valor del condensador C sea superior a 10 μF. Por ejemplo, si se utiliza una resistencia de 100 KΩ y un condensador de 0.01 μF, entonces:

$$f_{[KHz]} = 1/(2.2 \times R_{[K\Omega]} \times C_{[\mu F]})$$
$$f_{[KHz]} = 1/(2.2 \times 100 \times 0.01)$$
$$f = 0.45 \text{ KHz} \approx 450 \text{ Hz}$$

Este valor de frecuencia está en el rango audible de 20 Hz a 20 KHz. Si la salida de la compuerta A2 (punto A) se conecta a un amplificador de audio, el

tren de pulsos presente en ese punto se reproducirá en el parlante como un tono audible de 450 Hz.

El circuito de la figura 318 genera una onda cuadrada un tanto asimétrica (T1≠T2) a causa de la construcción interna de las compuertas CMOS. Prácticamente, todos los dispositivos de esta familia traen incorporada de fábrica una red de diodos que protegen cada entrada contra el daño por descarga electrostática (ESD, ver lección 2, página 25).

Estos diodos de protección son los principales responsables de la falta de simetría en los periodos de carga y descarga del condensador. Para contrarrestar su efecto, debe utilizarse una resistencia extra, como se muestra en la figura 320. La inserción de R2 garantiza la generación de una onda cuadrada simétrica, es decir, con un ciclo de trabajo del 50%.

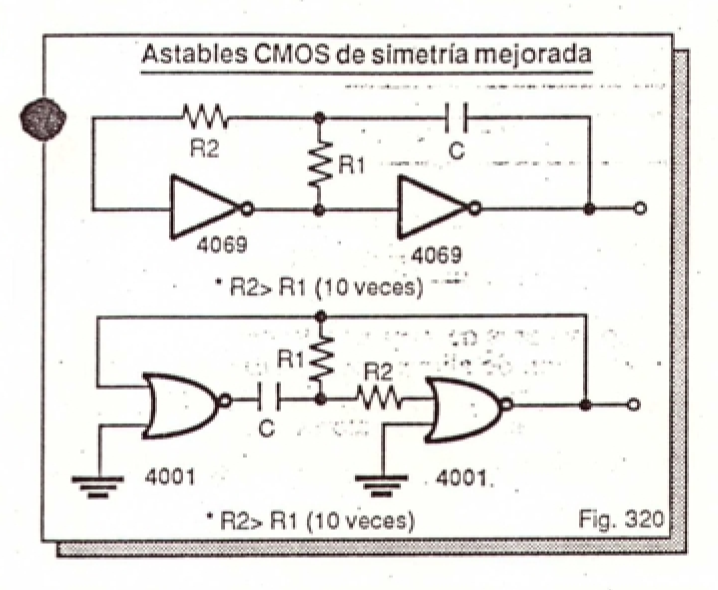


Fig. 320

Se recomienda elegir R2 de tal modo que sea, como mínimo, igual a diez (10) veces el valor de la resistencia de temporización (R1). Es decir:

$$R_2 \geq 10R_1$$

La presencia de R2 no tiene efecto en la operación del circuito debido a la extremadamente alta impedancia de entrada que presentan las compuertas CMOS. La frecuencia de salida depende de los valores de R1 y de C, y se calcula, en forma aproximada, mediante la siguiente fórmula (la misma del circuito de la figura 318):

$$f = \frac{1}{2.2 \times R1 \times C}$$

Los circuitos de las figuras 318 y 320 emplean las compuertas CMOS como comparadores de voltaje. En la figura 321 se tiene un oscilador astable, controlado por cristal, el cual utiliza una compuerta CMOS convertida en un amplificador lineal de alta ganancia mediante una resistencia de 10 MΩ conectada entre la entrada y la salida.

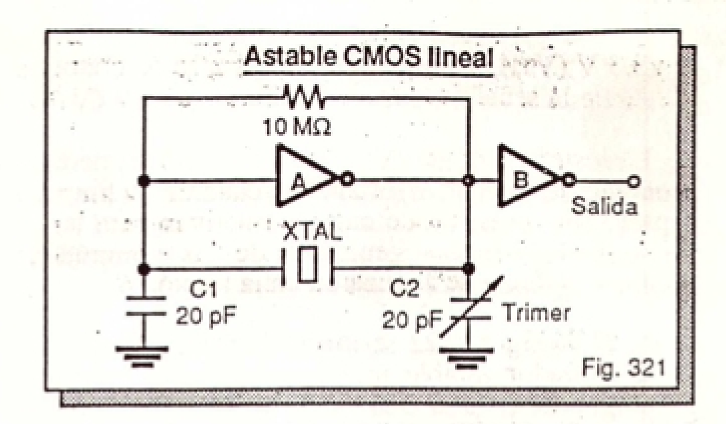


Fig. 321

La frecuencia de oscilación la determina el cristal ubicado en la trayectoria de realimentación y se puede ajustar en un rango limitado (1 KHz por MHz, típicamente) mediante el condensador variable (*trimmer*) C2. El circuito constituido por C1, C2 y el cristal se denomina una *red pi*, por analogía con la forma de esta letra griega (Π).

El inversor B se utiliza como *buffer*, evitando que el circuito externo al cual va dirigida la señal de salida de la compuerta A cargue excesivamente el oscilador. Este circuito opera más eficientemente cuando se opera con tensiones de alimentación superiores a 4.5 V (por ejemplo, 9V).

Relojes con compuertas Schmitt trigger

Hay otra vía para implementar circuitos de reloj usando compuertas CMOS: emplear una compuerta del tipo *Schmitt trigger*. Como sabemos, una compuerta *Schmitt trigger* es un circuito digital que cambia de valores o estados únicamente con voltajes de entrada muy específicos llamados *umbrales*.

Designaremos el umbral positivo como **V_{TH}** y el negativo como **V_{TL}**. Los valores de V_{TH} y V_{TL} dependen del voltaje de alimentación (+V_{DD}) y varían ligeramente de un fabricante a otro.

Por ejemplo, para el CD4093B de National, si +V_{DD} = 5 V, entonces V_{TH} = 3.3 V y V_{TL} = 1.8 V. Del mismo modo, cuando +V_{DD} = 10 V, entonces V_{TH} = 6.2 V y V_{TL} = 4.1 V. Así mismo, si +V= 15 V, entonces V_{TH}= 9.0 V y V_{TL} = 6.3 V. Estos valores son típicos.

Suponiendo una tensión de alimentación +V = 5 V, lo anterior significa que en la salida de la compuerta *Schmitt-trigger* se produce un cambio en una dirección cuando la señal de entrada es superior

a 3.3 V (V_{TH}) y un cambio en la dirección contraria cuando la señal de entrada es inferior a 1.8V (V_{TL}).

La *histéresis* existente (V_{TH}-V_{TL} = 1.5 V) permite obtener una onda perfectamente cuadrada y limpia a partir de una señal de entrada relativamente lenta. Las características generales de las compuertas *Schmitt-trigger* se analizaron en la lección 6.

En la figura 322 se ilustra la forma de obtener un oscilador astable utilizando una de las cuatro compuertas NAND *Schmitt -trigger* de un circuito integrado CMOS 4093B. Una de las entradas (4), se emplea como línea de habilitación del oscilador. La otra entrada (2), conectada a un circuito RC, controla la acción del circuito.

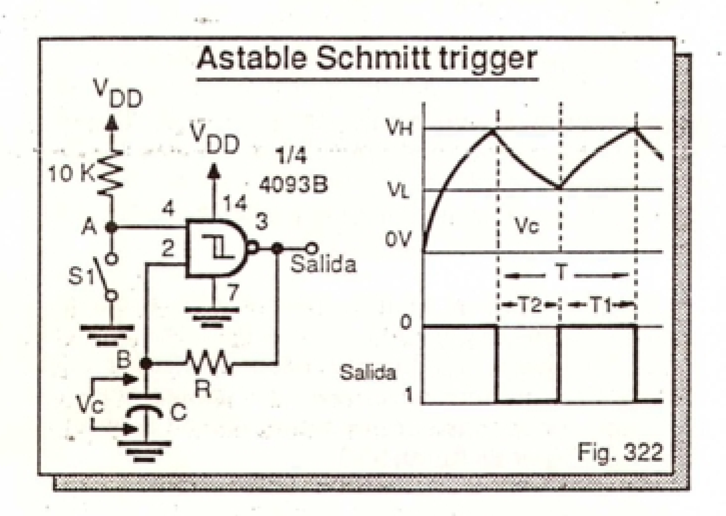


Fig. 322

Cuando el interruptor S1 está abierto, la entrada 4 recibe un **alto** a través de la resistencia de 10K y el oscilador opera normalmente. Cuando S1 se cierra, la salida del reloj se inhibe y adopta un estado **alto** permanente. El funcionamiento del circuito se puede comprender más fácilmente analizando su diagrama de temporización (figura 322-B).

En el momento de aplicar el voltaje de alimentación V_{DD}, el condensador C se encuentra descargado. Por esta razón, aplica un nivel **bajo** a la entrada 2 de la compuerta y su salida será, por tanto, **alta**. El condensador C entonces inicia su proceso de carga hacia un voltaje positivo a través de R.

Cuando el voltaje del condensador (V_C) alcanza el nivel o umbral que la compuerta identifica como **alto** (V_{TH}=3.3 V, con V_{DD}=5 V), la salida de esta última cambia de estado y se hace **baja**. Bajo esta condición, el condensador se descarga a través de R hasta alcanzar el umbral de voltaje que la compuerta identifica como **bajo** (V_{TL}=1.8 V, con V_{DD} = 5V).

Cuando esto sucede, la compuerta cambia nuevamente de estado y su salida se hace **alta**, repitiéndose el mismo proceso. Así, se obtiene en la salida del circuito una onda cuadrada *asimétrica*, de frecuencia constante. Para un determinado voltaje de alimentación, el valor de esta frecuencia depende de los valores de R y C, y se evalúa así:

1. Período:

$$T = T_1 + T_2$$

En esta expresión, T_1 es el tiempo de carga de C_1 y T_2 el tiempo de descarga del mismo. El primero (T_1) determina el ancho del pulso y el segundo (T_2) su intervalo. Los valores de T_1 y T_2 se calculan como sigue:

$$T_1 = k_1 \times R \times C \qquad T_2 = k_2 \times R \times C$$

Por tanto:

$$T = T_1 + T_2 = (k_1 + k_2) \times R \times C = k \times R \times C$$



siendo:

$$k = k_1 + k_2$$

Los valores de k_1 y k_2 y k dependen del valor de la tensión de alimentación V_{DD} y de los umbrales de disparo V_{TH} y V_{TL} de la compuerta. La tabla 17-2 relaciona algunos valores típicos de estos factores.

Valores típicos de K, K1, K2 para el 4093B

V_{DD}	+ 5V	9V	10V	15V
K1	0.61	0.42	0.41	0.36
K2	0.63	0.49	0.44	0.37
K	1.24	0.91	0.85	0.73

Tabla 17-2

El siguiente ejemplo aclara el uso de las fórmulas anteriores.

Ejemplo. Determine la frecuencia de oscilación y el ciclo de trabajo de un reloj CMOS que utiliza una compuerta *Schmitt-trigger* 4093B, una resistencia de 10 K y un condensador de 0.47 µF. El circuito opera a partir de un

voltaje de alimentación de 5 V y tiene la misma estructura básica de la figura 322.

Solución. En este caso, k1=0.61, K2=0.63 y k=1.24. Remplazando R=10 KΩ y C=0.47 μF en la fórmula del período, obtenemos:

$$T\,[ms] = k \times R[K\Omega] \times C[\mu F]$$
$$T\,[ms] = 1.24 \times 10 \times 0.47$$
$$\mathbf{T = 5.83\ ms}$$

La frecuencia correspondiente a este período será, por tanto:

$$f[KHz] = 1/T[ms] = 1/5.83 = 0.17\ KHz$$
$$\mathbf{f = 170\ Hz}$$

El circuito oscila, entonces, a una frecuencia (audible) de 170 Hz. Como sabemos, el ciclo de trabajo (D) es simplemente la relación porcentual entre el ancho de cada pulso (T1) y el período de la señal. Es decir:

$$D(\%) = (T1/T) \times 100$$

Puesto que T1=k1RC y T=kRC, entonces:

$$D(\%) = [(k1RC)/(kRC)] \times 100$$

Simplificando el término RC y remplazando k1=0.61 y k=1.24, se obtiene:

$$D(\%) = (k1/k) \times 100$$

$$D = (0.61/1.24) \times 100 = 49\%$$

Este resultado indica que la onda obtenida es ligeramente asimétrica. Recuerde que para una onda simétrica, perfectamente cuadrada, D=50%. En general, en todos relojes CMOS *Schmitt-trigger* que obedecen a la estructura de la figura 322, T1≠T2, obteniendose necesariamente una onda asimétrica.

Relojes con compuertas buffer

El uso de *buffers* constituye una de las mejores alternativas para obtener relojes CMOS rápidos y con buena capacidad de corriente. En la figura 323 se muestran dos configuraciones típicas de osciladores *buffer* basados en el CI 4049B: un reloj de alta frecuencia y un reloj de propósito general. En este último caso, la frecuencia de salida es:

$$f = \frac{1}{2.2 \times R \times C}$$

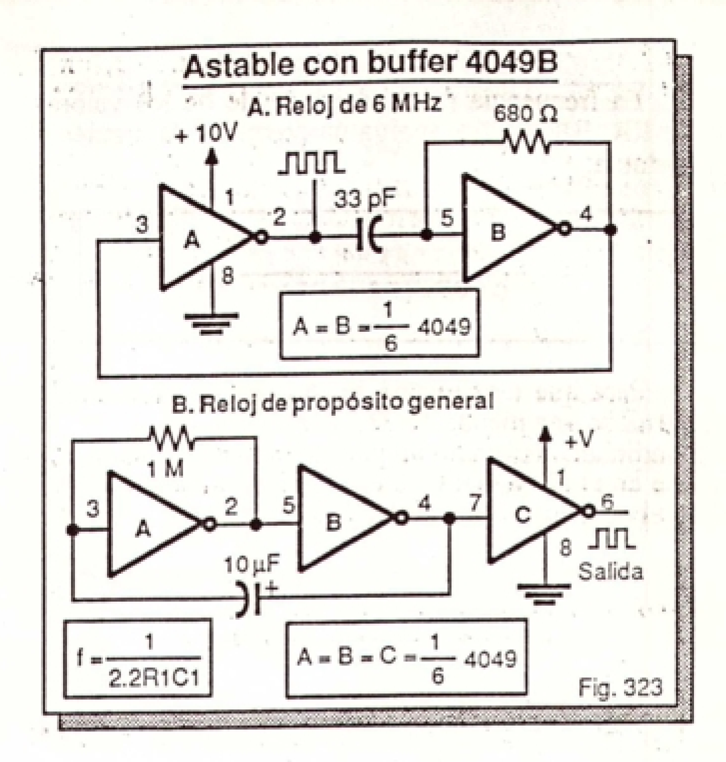


Fig. 323

Relojes con el circuito integrado 555

El 555 es, sin duda, uno de los *chips* más versátiles desarrollados hasta el momento para la generación de tiempos. Utiliza tecnología bipolar y es compatible con lógica TTL y CMOS. Opera con tensiones de alimentación desde 4.5 V hasta 18V y puede manejar corrientes de salida hasta de 200 mA.

En la figura 324 se muestra la forma de utilizar el circuito integrado 555 en el modo astable, es decir, como generador de pulsos de reloj. La operación detallada de este circuito puede consultarse en la lección 14 (páginas 157 a 160).

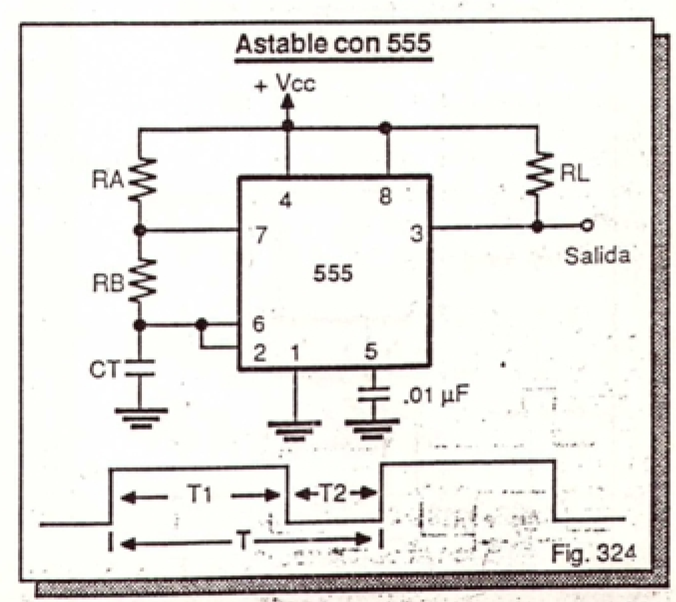


Fig. 324

La frecuencia de salida depende de los valores de RA, RB y CT y se evalúa mediante la siguiente fórmula:

$$f = \frac{1.44}{CT \times (RA + 2RB)}$$

Para que esta expresión sea válida, el valor de RB debe ser menor de RA/2. Si no se cumple esta condición, el circuito no puede oscilar porque el voltaje en el pin 2 (TRIGGER) del 555 nunca alcanzaría el nivel de disparo (1/3 de Vcc).

El ciclo de trabajo (D) depende de los valores de RA y RB y se calcula así:

$$D(\%) = \frac{RA + RB}{RA + 2RB} \times 100$$

Si se desea una onda simétrica, los valores de RA y RB deben elegirse de modo que el ciclo de trabajo resultante sea D=50%. Esto puede lograrse, por ejemplo, utilizando una resistencia RA de valor muy pequeño comparado con el de RB.

La configuración astable de la figura 324 permite variar el ciclo de trabajo desde algo más del 50% (casi una onda cuadrada) hasta el 100% (onda continua). Si se pretende obtener ciclos de trabajo menores al 50%, deben conectarse dos diodos entre los pines 7 y 6, como se indica en la figura 325.

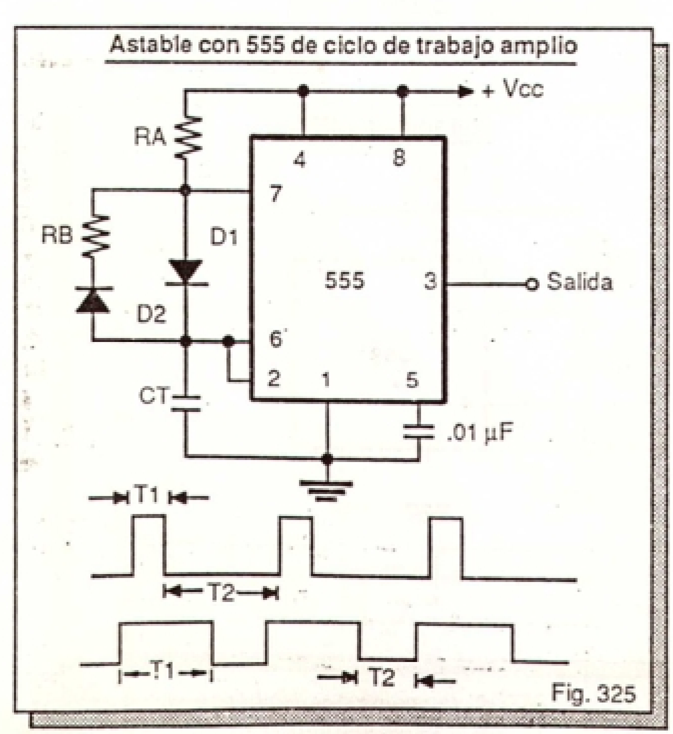


Fig. 325

El condensador CT se carga, ahora, solamente a través de RA porque el diodo D1 cortocircuita a la resistencia RB durante el tiempo de carga del condensador. La descarga de CT se realiza a través de RB, únicamente. En estas condiciones, el ciclo de trabajo del circuito de la figura 325 está dado por:

$$D(\%) = \frac{RA}{RA + RB} \times 100$$

Ajustando adecuadamente los valores de RA y RB, el valor de D se puede variar entre un 0 y un 100%. Este tipo de circuito es muy utilizado para el control de velocidad de motores de corriente continua.

En algunas aplicaciones, como se verá más adelante, se requiere variar el ciclo de trabajo de la onda cuadrada pero manteniendo constante la frecuencia. Esto se logra remplazando RA y RB por un potenciómetro lineal, como se ilustra en la figura 326.

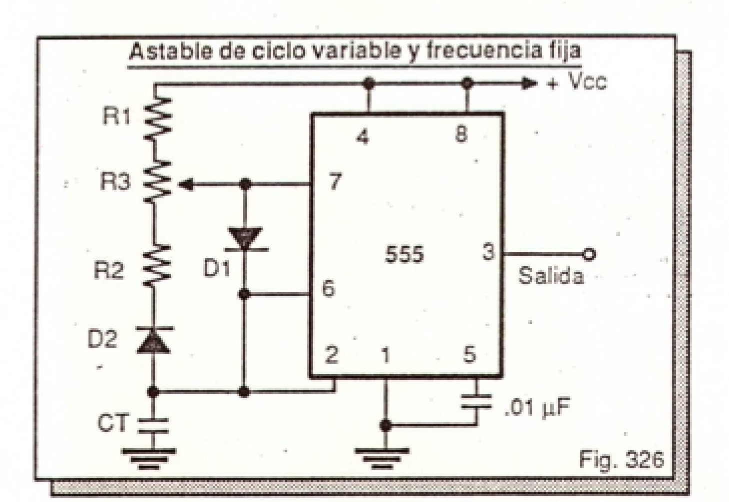
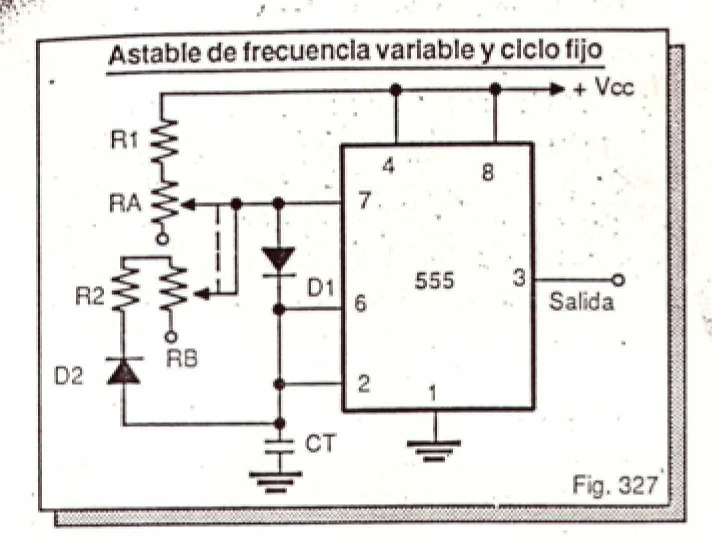


Fig. 326

Las resistencias R1 y R2 se conectan en serie con el potenciómetro (R3). R1 limita la máxima corriente durante la carga de CT. La resistencia R2 establece un valor mínimo para RB que compensa la existencia de R1.

El circuito de la figura 327 permite generar un tren de pulsos de frecuencia variable, manteniendo constante el ciclo de trabajo. Las resistencias RA y RB se varían simultáneamente utilizando un potenciómetro doble.

El ciclo de trabajo de la onda resultante es de aproximadamente 50%. Si RA y RB se implementan con un potenciómetro doble de 500K y CT es de 0.04 µF, el rango de frecuencias de oscilación que puede obtenerse variará entre 40 Hz y 20 KHz.

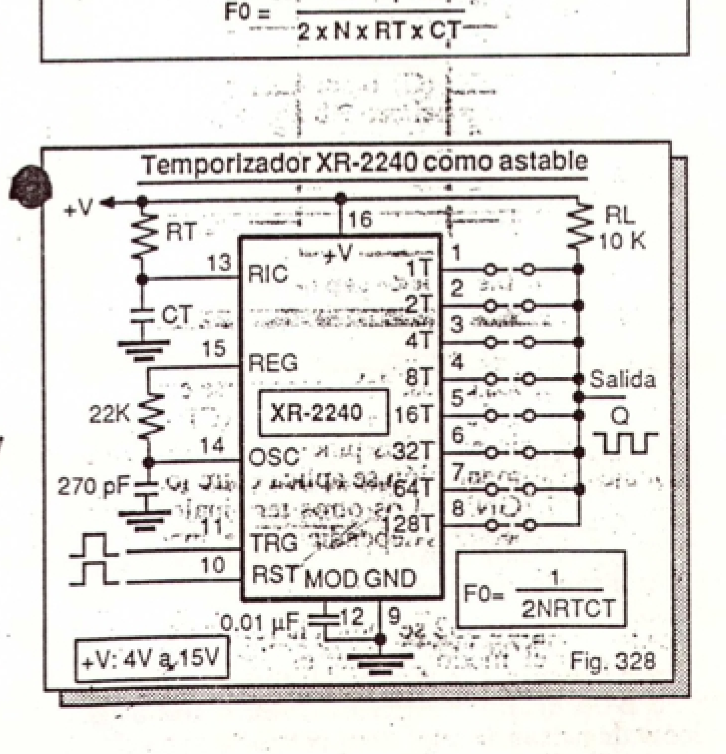


Relojes con circuitos integrados especializados

Existen varios circuitos integrados, principalmente CMOS, que pueden operar como generadores de pulsos de reloj. Excluyendo el 555 y todas sus versiones, uno de los más populares es el 4047B, un multivibrador astable/monoestable CMOS de bajo costo que estudiaremos en la próxima sección.

Varios de los temporizadores estudiados al final de la lección 16 pueden también programarse para operar como multivibradores astables. En la figura 328, por ejemplo, se muestra la forma de conectar el XR-2240 como reloj. La oscilación se inicia aplicando un pulso de disparo al pin 11 (TRIGGER) y su frecuencia se calcula así:

$$F0 = \frac{1}{2 \times N \times RT \times CT}$$



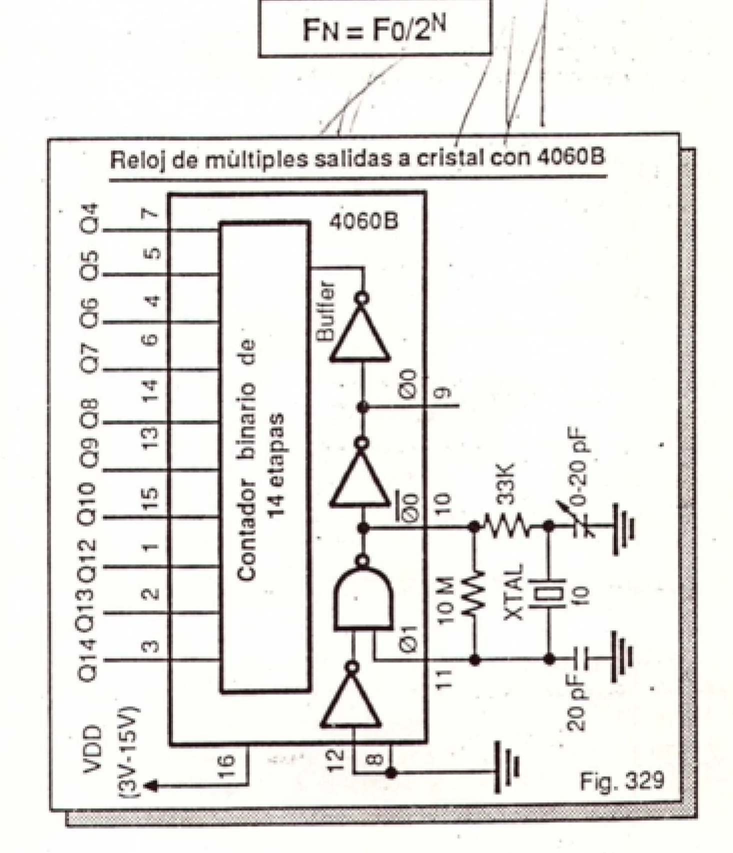
En la formula anterior, N es la suma de los factores de ponderación de las salidas seleccionadas. Expresando RT en KΩ y CT en µF, la frecuencia resulta en KHz. Por ejemplo, si RT=1KΩ, CT=0.02 µF y se conectan las salidas 2T y 16T a la resistencia de *pull-up* RL, entonces N=2+16=18. Por tanto:

$$f\,(KHz) = 1(2 \times 18 \times 1 \times 0.02) = \mathbf{1.4\ KHz}$$

Las oscilaciones se pueden cancelar en cualquier momento aplicando un pulso positivo a la entrada de *reset* (pin 10). La salida Q permanecerá **alta** hasta que se aplique un nuevo pulso de disparo. Para iniciar automáticamente las oscilaciones tan pronto se conecte la fuente de alimentación, la entrada TRG debe conectarse a la salida del regulador (pin 15).

En la figura 329 se muestra un reloj a cristal de múltiples salidas basado en el circuito integrado 4060B. Este *chip*, que analizaremos más detenidamente en la lección 24, contiene un oscilador CMOS, el cual maneja un contador binario de 14 etapas. La frecuencia de la señal obtenida en cada salida se evalúa como sigue:

$$F_N = F_0/2^N$$



En la expresión anterior, F0 es la frecuencia del cristal y N el número de la salida de la cual se toma la señal. Por ejemplo, si se utiliza un cristal de 32.768 KHz, la frecuencia de la señal disponible en la salida Q8 (pin 14, N=8) será:

$$F_8\ [KHz] = 32.768/2^8 = 32.768/256$$
$$F_8\ [KHz] = 0.128\ KHz$$
$$F_8 = 128\ Hz$$

Observe que, aunque se trata de un contador de 14 etapas, no están disponibles las salidas Q1, Q2, Q3 y Q11. Las oscilaciones se pueden cancelar en cualquier instante aplicando un nivel alto a la entrada de *reset* (pin 12). El 4060B puede trabajar con tensiones de alimentación desde 1V hasta 15V y frecuencias hasta de 10 MHz.

En lugar de un cristal, puede también utilizarse un circuito RC, como se muestra en la figura 330. La resistencia R2 hace la frecuencia independiente de las variaciones en la fuente de alimentación. La frecuencia fundamental de oscilación depende de los valores de R1 y C, y se evalúa mediante la siguiente fórmula:

$$F0 = \frac{1}{2.2 \times R1 \times C}$$

Reloj de múltiples salidas RC con 4060

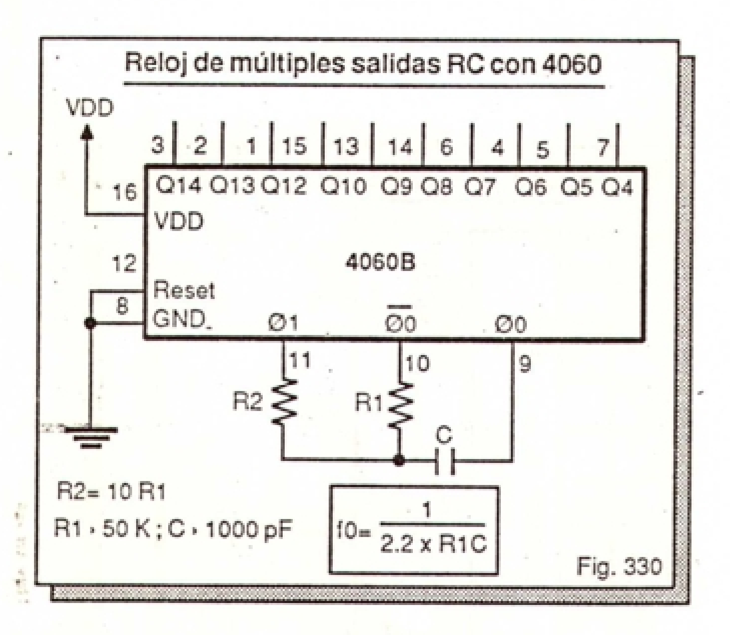


Fig. 330

Para que la expresión anterior sea válida, R2 debe ser diez veces mayor que R1 (R2=10R1). El valor de R1 debe ser superior a 50 KΩ y y el de C superior a 1000 pF. Por ejemplo, si R1=68KΩ y C=0.01 μF, entonces R2=10R1 = 680 KΩ. Por tanto:

$$F0\ [KHz] = 1/(2.2x68x0.01) = \mathbf{6.6845\ KHz}$$

Bajo estas condiciones, la frecuencia de la señal obtenida en la salida Q4 (pin 7, N=4) será:

$$F4[KHz] = F0/2^N = 6.6845/24 = 6.6845/16$$
$$F4 = 0.42\ KHz \approx \mathbf{420\ Hz}$$

El circuito integrado 4047B

El **4047B** (figura 331) es un dispositivo CMOS muy versátil que puede programarse para operar como multivibrador astable o como multivibrador monoestable redisparable o no redisparable. En el modo monoestable, el disparo puede efectuarse por flancos de subida o por flancos de bajada. Trabaja con tensiones de alimentación entre 4.5V y 18V.

El circuito integrado 4047B

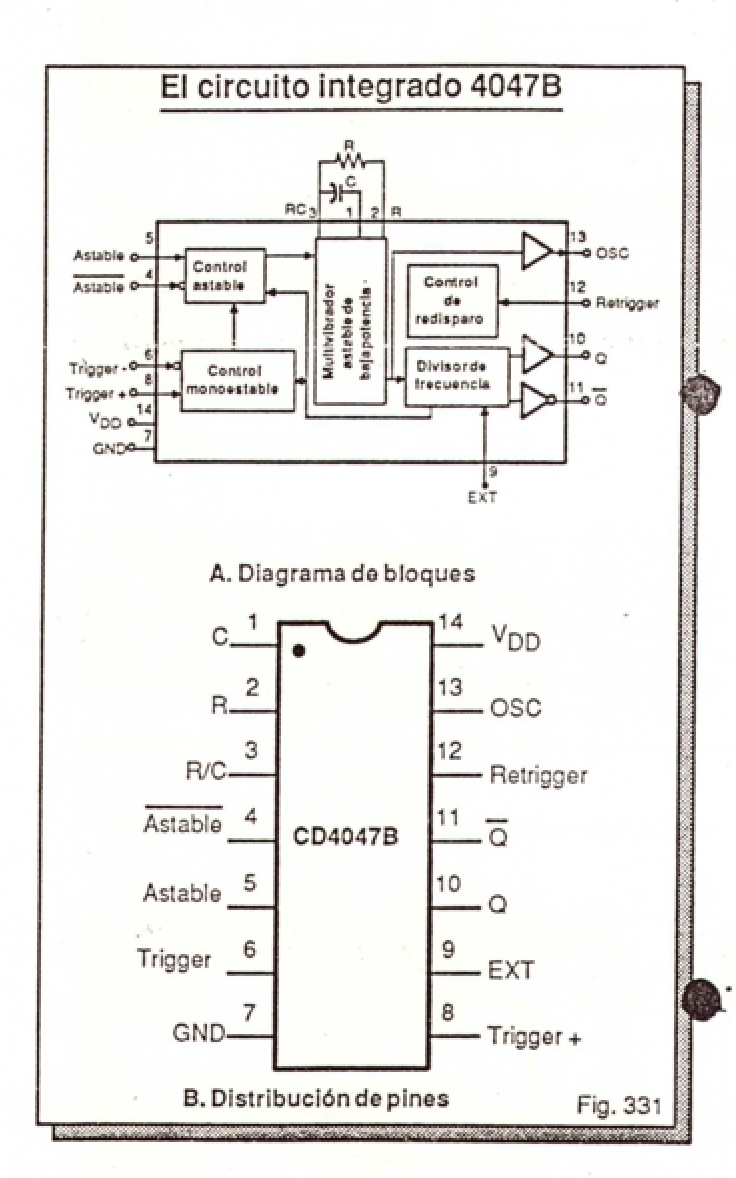


Fig. 331

En todos los casos, debe conectarse externamente un condensador entre los pines 1 (C) y 3 (R/C) y una resistencia entre los pines 2 (R) y 3 (R/C). El voltaje de alimentación se aplica entre los pines 14 (VDD) y 7 (GND). Los otros terminales cumplen funciones especiales dependiendo del modo de operación.

En la figura 332 se indica la forma de utilizar el 4047B en el modo astable, es decir, como generador de pulsos de reloj. Este modo de operación se

habilita situando un nivel **alto** en la entrada ASTABLE (pin 5) o un **bajo** en la entrada $\overline{\text{ASTABLE}}$ (pin 4). El circuito suministra tres señales diferentes en las salidas Q (pin 10), $\overline{Q}$ (pin 11) y OSC (pin 13).

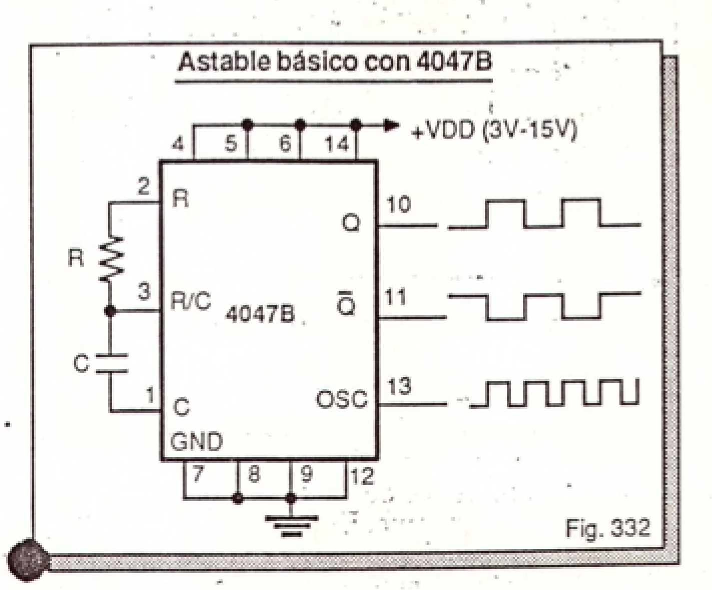


Fig. 332

Las señales obtenidas en las salidas Q y $\overline{Q}$ son complementarias, es decir, mientras la una está en el estado inestable **alto**, la otra está en el estado inestable **bajo** y viceversa. La frecuencia de estas señales depende de los valores de R y C y se evalúa en forma aproximada así:

$$f(Q) = f(\overline{Q}) = \frac{1}{(4.4 \times R \times C)}$$

Estas señales son simétricas, lo cual implica que tienen un ciclo de trabajo (D) del 50%. La señal obtenida en la salida del oscilador interno (pin 13) no es necesariamente simétrica y su frecuencia se evalúa mediante la siguiente fórmula aproximada:

$$f(osc) = \frac{1}{(2.2 \times R \times C)}$$

La disponibilidad de las entradas ASTABLE (pin 5) y $\overline{\text{ASTABLE}}$ (pin 4) permiten utilizar el dispositivo como un oscilador gatillado o controlado. Esta situación se ilustra en la figura 333. Una **alto** en la línea ASTABLE habilita la oscilación y un **bajo** la inhibe. La línea $\overline{\text{ASTABLE}}$ opera en forma contraria.

En la figura 334 se ilustran las formas de utilizar el 4047B como monoestable no redisparable. Para disparar el dispositivo por flancos de subida,

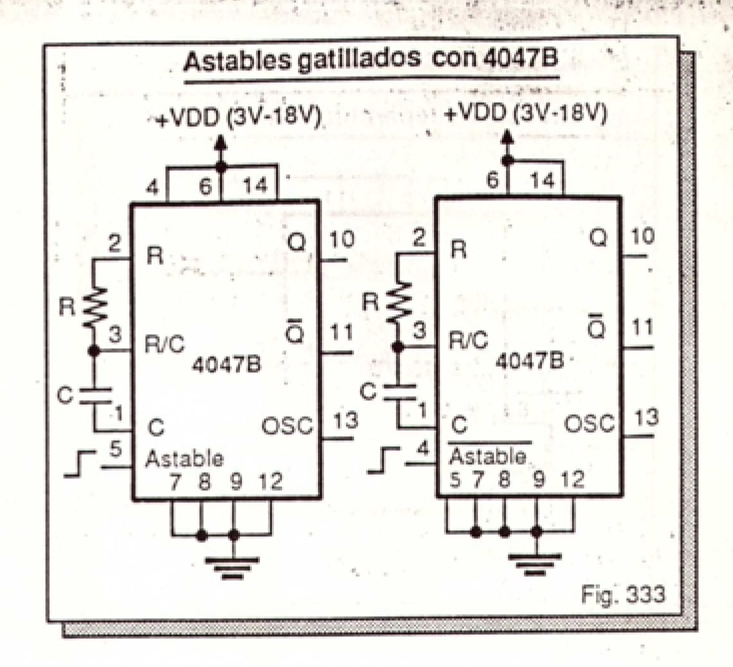


Fig. 333

la entrada TRG⁻ (pin 6) debe hacerse **baja** y la señal de disparo debe aplicarse a la entrada TRG⁺ (pin 8). Para dispararlo por flancos de bajada, la entrada TRG⁺ (pin 8) debe hacerse **alta** y la señal de disparo debe aplicarse a la entrada TRG⁻ (pin 6).

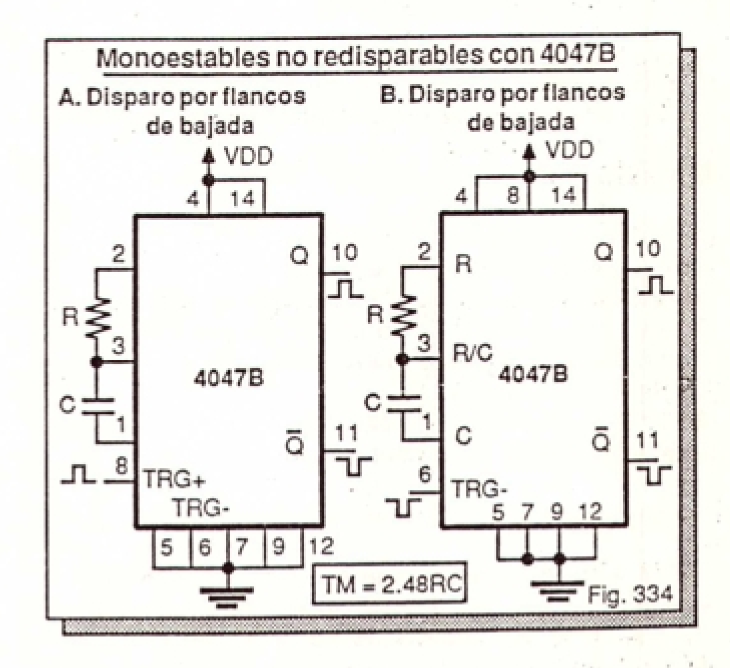
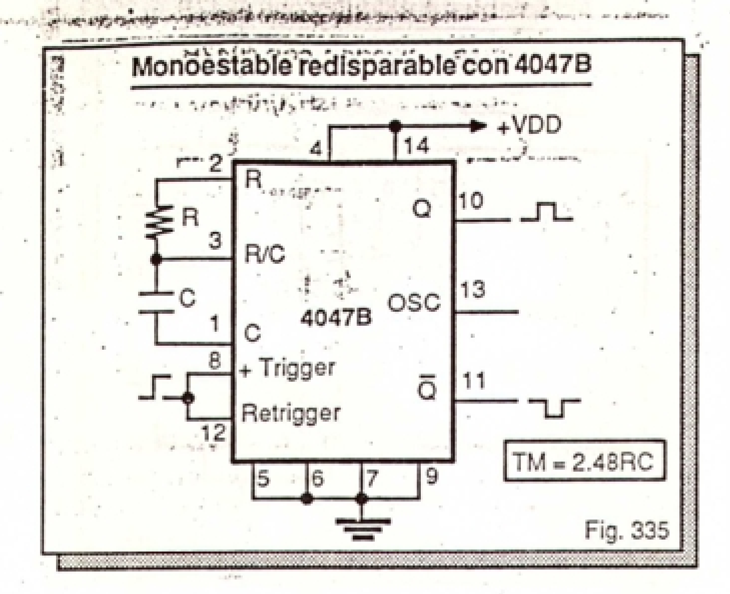
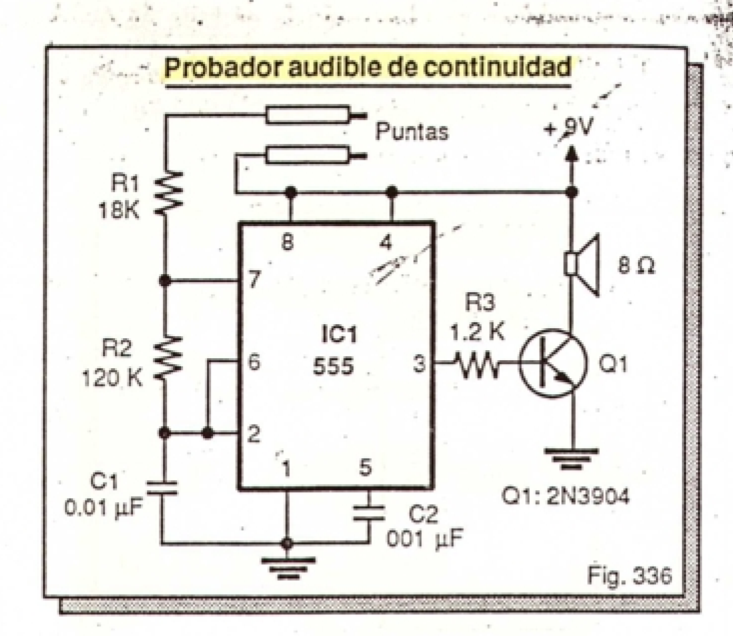


Fig. 334

En la figura 335 se ilustra la forma de utilizar el 4047B como un multivibrador redisparable activado por flancos de subida. La señal de redisparo se aplica al pin 12 (RETRIGGER). Si esta entrada se mantiene **alta** todo el tiempo o recibe un tren continuo de pulsos, el **4047B** permanece redisparado indefinidamente.

En todos los circuitos anteriores, se recomienda utilizar un condensador no polarizado de bajas pér-





didas. Para una mayor estabilidad, el valor de C debe ser superior a 100 pF en el modo astable y superior a 1000 pF en el modo monoestable. En ambos casos, el valor de R debe mantenerse entre 10 KΩ y 1 MΩ.

CIRCUITOS DE APLICACION

La gama de circuitos que pueden implementarse con circuitos de reloj es muy amplia. Estudiaremos a continuación algunas aplicaciones básicas y útiles con el fin de clarificar los conceptos expuestos. Describiremos, entre otros, los siguientes proyectos:

- Probador audible de continuidad
- Generador de timbre momentáneo
- Destellador luminoso para protección de torres
- Control de velocidad de un motor DC por PWM
- Generador de reloj para microprocesador
- Detector de luz y sombra
- Generador sonoro de tres estados
- Probador audible de temperatura

Probador audible de continuidad

Una onda cuadrada es un tono que si se amplifica puede ser escuchado y utilizado para señalizar cualquier tipo de acción. El 555 es ideal para generar tonos ubicados en la banda audible de 20 Hz hasta 20 KHz. En la figura 336 se presenta un oscilador astable que emite un tono audible cuando hay continuidad entre las puntas de prueba.

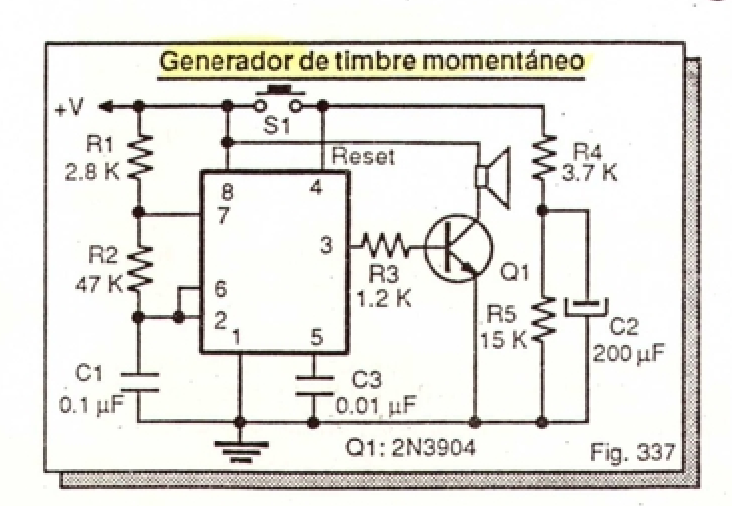
La salida del oscilador se conecta a la base del transistor que hace las veces de amplificador de potencia. Este transistor trabaja en corte y saturación según los estados del astable. Si la resistencia R1 no esta conectada al Vcc, porque no hay continuidad entre las puntas de prueba, el condensador no puede cargarse y, por tanto, no hay oscilación ni tono audible.

Cuando hay continuidad entre las puntas, el circuito se configura como el oscilador con 555 explicado anteriormente. El transistor amplifica, en corriente, ésta señal para que el parlante emita el tono indicativo de continuidad.

Generador de timbre momentáneo

En algunas aplicaciones se requiere generar un tono o timbre transitorio como respuesta a la acción de un pulsador o interruptor. Este tono se utiliza ampliamente en los sistemas de teclado para responder al usuario que se ha aceptado la activación de una de las teclas.

El circuito de la figura 337, construido alrededor de un astable con 555, genera una onda cuadrada audible, durante un lapso de tiempo, después de pulsar el interruptor S1. El circuito utiliza un amplificador de corriente con transistor y una red de temporización (R4, R5 y C2). Esta última mantiene en alto la señal de *reset* del 555 durante un corto tiempo.



Cuando se pulsa S1, se carga C2 y se desactiva la señal de *reset* del 555. Al liberar S1, el condensador se descarga a través de S2, activando la señal de *reset* en bajo después de un tiempo. Cumplido este lapso, la señal audible desaparece.

Circuito destellador luminoso para protección de torres

La figura 338 muestra otra aplicación de los circuitos astables o generadores de onda cuadrada. En esta ocasión, la oscilación entre alto y bajo se emplea para que una señal luminosa se active y desactive constantemente. El circuito de la figura 338 activa, por medio de optoacopladores y triacs, dos lámparas de 110 V/1000 W con el fin de que sean observadas desde distancias largas.

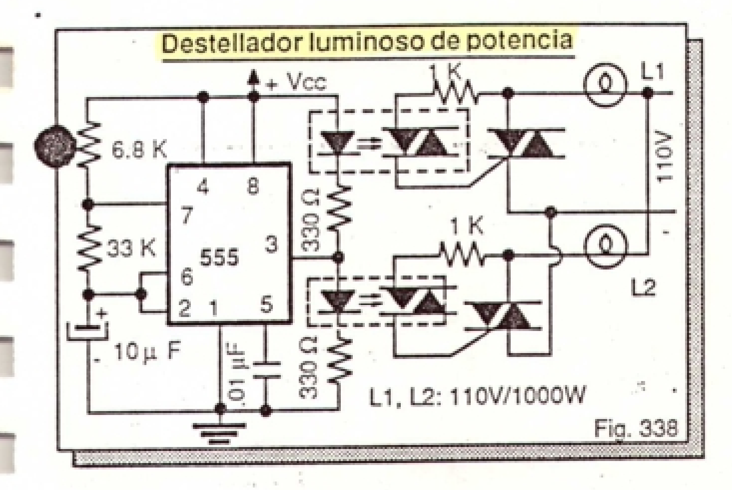


Fig. 338

Es interesante observar, en el circuito, la forma de conectar los LED de los optotriacs sin recurrir a inversores para implementar el hecho de que cuando una lámpara está en ON la otra debe estar en OFF.

Control de velocidad de un motor DC usando PWM

Usualmente, la velocidad de un motor DC se controla por medio de una resistencia variable en serie con la armadura del motor. Esta resistencia asume una caída de tensión con el fin de reducir el voltaje aplicado al motor y, así, lograr cambiar la velocidad (figura 339). El método anterior tiene una desventaja seria: disipa potencia eléctrica en forma de calor en la resistencia.

Este gasto de energía es considerable en sistemas alimentados con baterías o en sistemas portátiles que no pueden alojar transformadores de fuente de alimentación voluminosos.

Los circuitos de reloj ofrecen una solución muy elegante al control de velocidad de motores D.C.

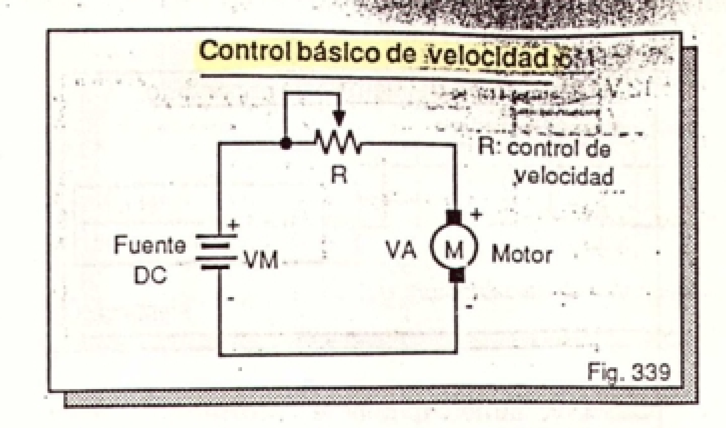


Fig. 339

Un multivibrador astable, de frecuencia constante, pero de ciclo de trabajo variable, utilizado como alimentación de la armadura del motor, genera un voltaje DC variable que, al mismo tiempo, hace que la velocidad se pueda variar sin necesidad de recurrir a los antiguos métodos de alto consumo de potencia.

En la figura 340 se tiene un circuito de control de velocidad de motor DC. El astable, de ciclo de trabajo variable, se usa para conmutar la fuente de alimentación al motor entre Vcc y 0 voltios. Cuando se desea que el motor gire a velocidad lenta, se programa al astable para que el ciclo de trabajo tenga un tiempo de ON corto.

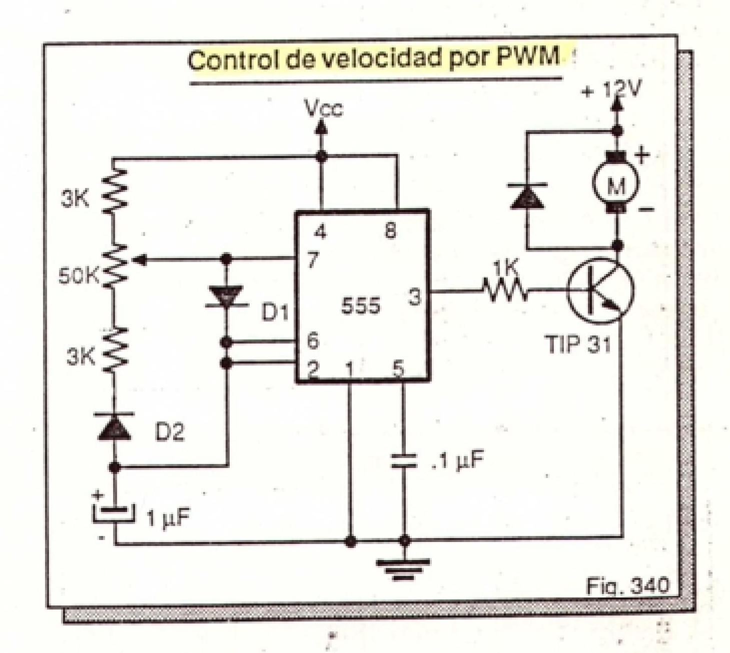


Fig. 340

Para altas velocidades, el tiempo de ON debe ser mayor que el tiempo de OFF. La naturaleza inductiva del motor hace de filtro pasabajo y extrae el valor promedio de la onda cuadrada resultante (figura 341). El sistema de control descrito se conoce, en la literatura técnica, con el nombre de Control por Modulación de la Anchura de los Pulsos (PWM: *Pulse Width Modulation*).

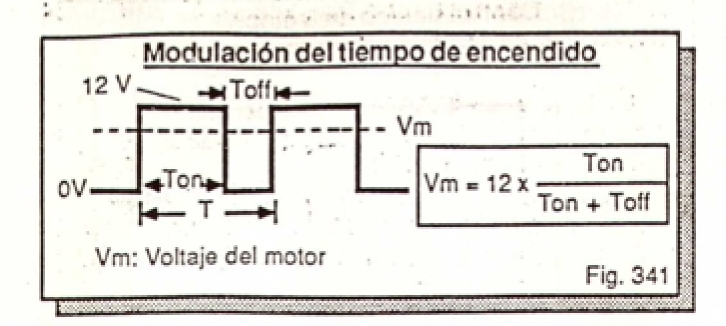


Fig. 341

Observe, también, que la implementación de este tipo importante de estrategia se logra con un circuito oscilador de ciclo de trabajo variable y frecuencia constante.

Generador de reloj para microprocesador

Un microprocesador es un sistema digital que requiere, entre otras cosas, una sincronización de tiempos muy exacta. Sin un método de reloj preciso, la circuitería del microprocesador es errática y los resultados de sus múltiples aplicaciones serían poco confiables. En los microprocesadores se utiliza, como reloj, un oscilador astable implementado con compuertas TTL y controlado por cristal de cuarzo.

La razón por la cual se usan circuitos TTL en lugar de CMOS, es que la frecuencia de reloj de los microprocesadores es alta, por lo general 1 MHz, 4 MHz, 12 MHz, etc.

En la figura 342 se muestra un circuito de reloj para microprocesador típico. El astable, conformado por los inversores TTL, oscila a la frecuencia del cristal 3.5795 MHz. Entre el astable y la entrada al microprocesador se coloca un multivibrador biestable o *flip-flop* (lección 19) con el fin de dividir la frecuencia. La frecuencia resultante es de 1.79 MHz.

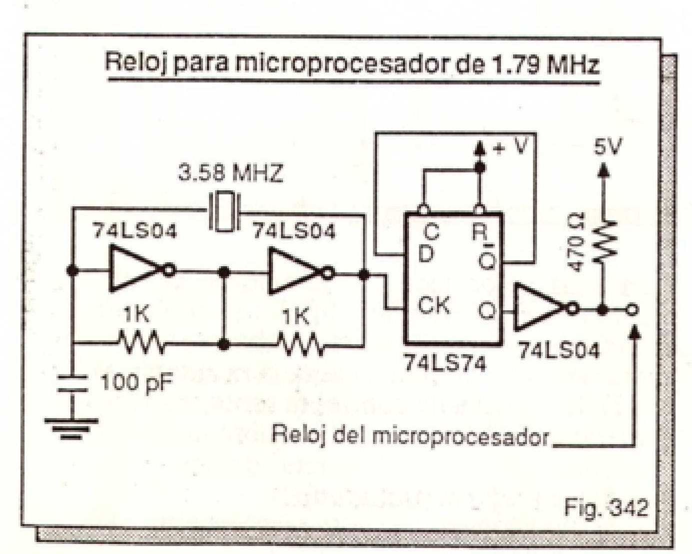


Fig. 342

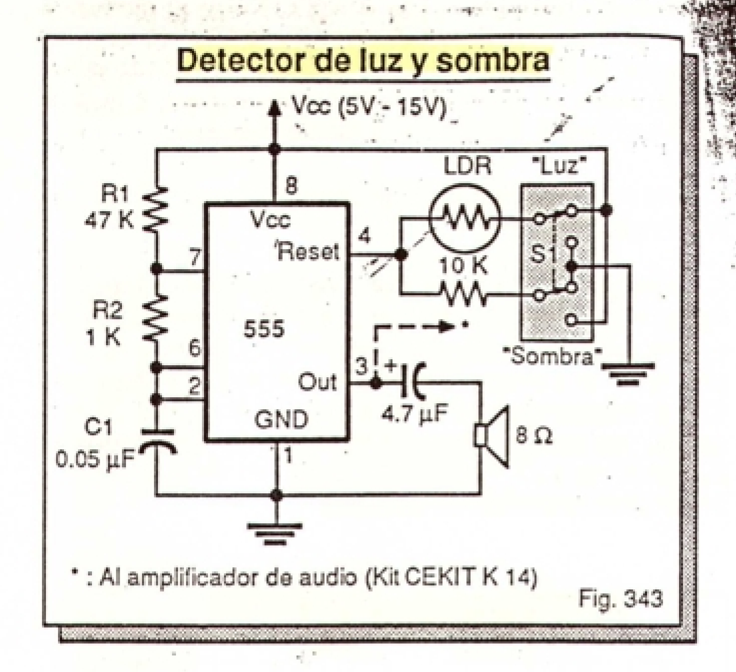


Fig. 343

Detector de luz y de oscuridad

El circuito de la figura 343, desarrollado alrededor de un astable con 555, opera como un detector de luz o de sombra, dependiendo de la posición del interruptor S1. Utiliza una fotocelda o LDR convencional de sulfuro de cadmio (CdS) como sensor de luz y un parlante para convertir los pulsos del astable en un tono audible.

En condiciones de sombra, la resistencia de la LDR es alta. Si S1 está en la posición "LUZ", el pin 4 (RESET) del 555 recibe un **bajo** y no hay pulsos de salida. Cuando incide luz, la resistencia de la LDR disminuye, el pin 4 del 555 recibe un **alto**, el oscilador se habilita y en el parlante se escucha un tono, indicando la presencia de luz.

Con S1 en la posición "SOMBRA" el circuito opera en forma contraria. La frecuencia del tono se puede modificar variando R1, R2 ó C1. Para obtener mayor volumen, puede acoplar la salida de pulsos (pin 3) a un amplificador de audio, por ejemplo, el *kit* CEKIT K14 (ver figura 304, página 189). Para detectar sólo luz o sombra, puede suprimir S1.

A pesar de su simplicidad, este circuito tiene muchas aplicaciones útiles. Por ejemplo, puede servir como alarma para anunciar cuándo la puerta de una nevera está abierta o cuándo un objeto o una persona interrumpe un rayo de luz. Con una interface de potencia adecuada, puede iluminar una lámpara cuando cae la noche y apagarla cuando amanece.

Generador sonoro de tres estados

El circuito de la figura 344 utiliza las dos secciones de un circuito integrando 556 trabajando

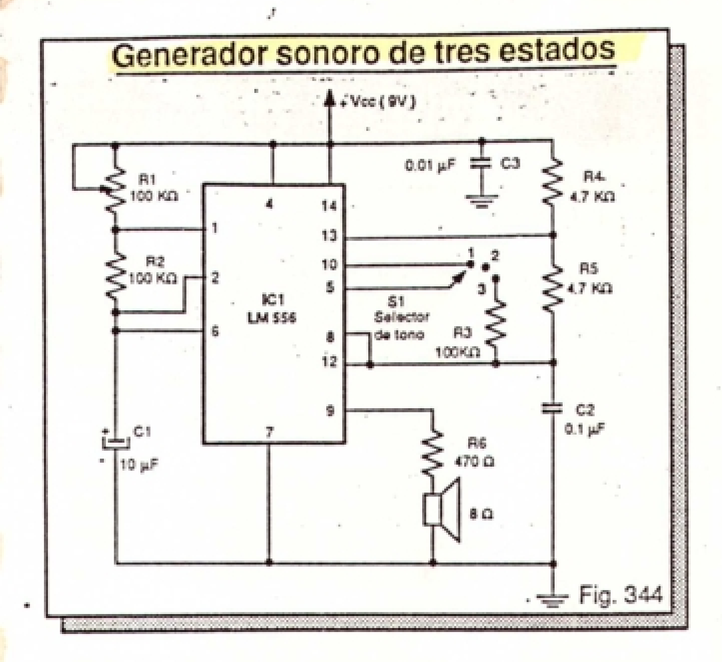


Fig. 344

como astables para generar tres sonidos diferentes: continuo, rasgado (*burst*) y modulado. El sonido deseado se elige mediante el interruptor S1 y su frecuencia se controla mediante el potenciómetro R1.

El primer oscilador, formado por R1, R2, C1 e IC1-A, produce un tren de pulsos de baja frecuencia. El segundo, formado por R4, R5, C2 e IC2-B, produce un tren de pulsos de alta frecuencia. La salida del primer astable (pin 5) controla la operación del segundo. La salida de este último (pin 9) impulsa el parlante.

El potenciómetro R1 controla la frecuencia del primer astable. La frecuencia del segundo astable es fija y la determinan los valores de R4, R5 y C2. El volumen del tono seleccionado puede mejorarse conectando un amplificador de audio (*kit* CEKIT K14 o similar) al pin 9.

Con S1 en la posición **1**, el pin 1 queda conectado a la entrada de *reset* (pin 10) del segundo oscilador. Este último se conecta y desconecta al ritmo impuesto por el primer oscilador. En el parlante se escucha un tono rasgado, es decir un sonido que se repite periódicamente, a intervalos regulares, en forma de ráfagas (*burst*).

Con S1 en la posición 2, el pin 5 queda al aire y el segundo oscilador opera libremente, entregando un tren de pulsos de frecuencia constante por el pin 9. En el parlante se escucha un tono continuo.

Con S1 en la posición 3, el pin 5 queda conectado a los pines 8 y 12. Las señales de los dos osciladores se mezclan y en el parlante se escucha un tono mixto o modulado, es decir, un sonido de frecuencia variable. Al mover R1, la rapidez con la cual se sucede la mezcla de ambos tonos varía.

Probador audible de temperatura

La figura 345 muestra el circuito de un probador audible de temperatura desarrollado alrededor de un multivibrador astable **4047B**. El sistema utiliza como sensor de temperatura un *termistor* en contacto térmico con el punto de medida. La frecuencia del tono escuchado en el parlante aumenta cuando aumenta la temperatura y viceversa.

Un termistor (figura 346) es un dispositivo semiconductor cuya resistencia cambia con la temperatura. Existen dos clases generales de termistores: los PTC o de coeficiente positivo y los NTC o de coeficiente negativo. Estos últimos son los más co-

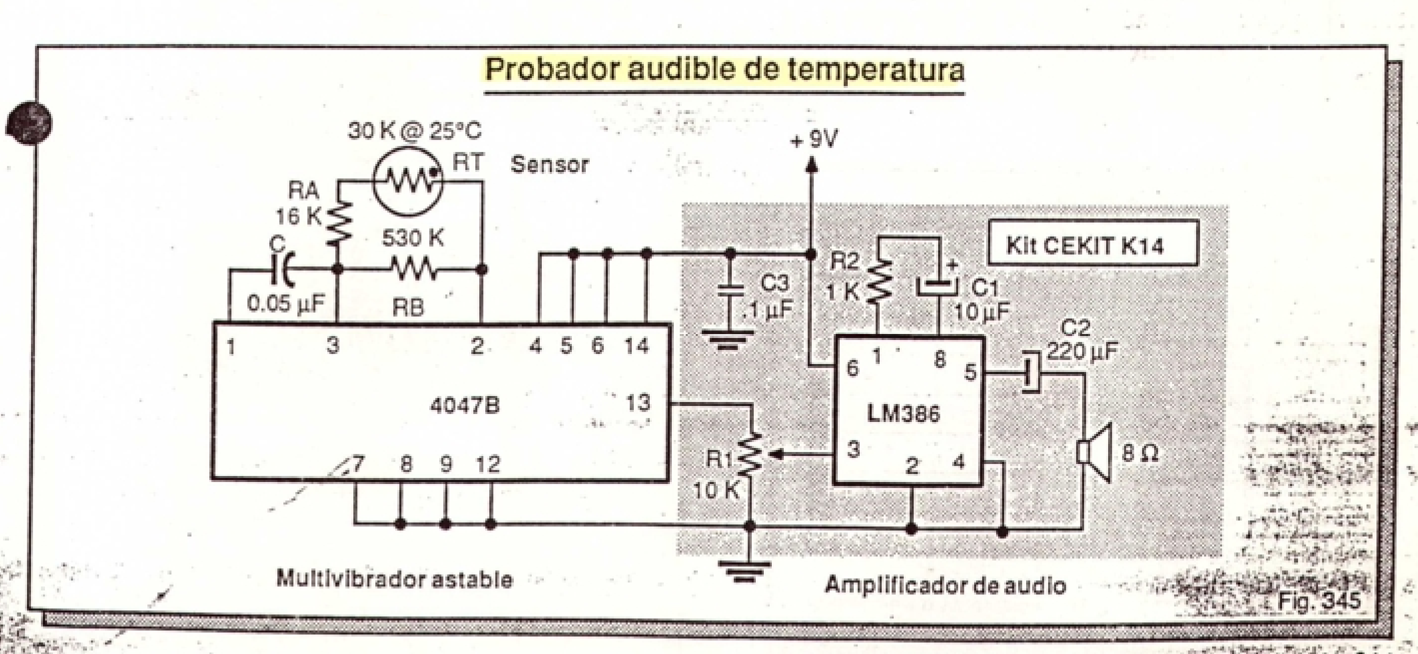


Fig. 345

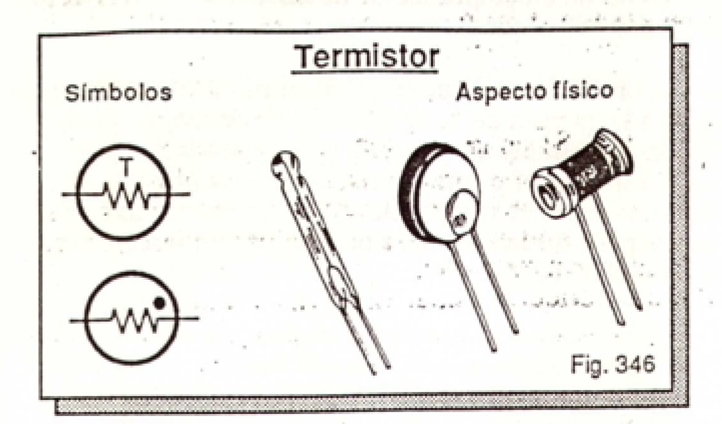


Fig. 346

munes. En ellos, la resistencia disminuye cuando aumenta la temperatura y viceversa.

Los termistores se especifican generalmente por su resistencia nominal a 25 ºC. En la tabla 17-3 se relacionan algunos valores típicos de resistencia que adopta un termistor de 30 KΩ en el rango de temperaturas comprendido entre -30º C y 100 ªC. Estos valores varian de acuerdo al fabricante.

La frecuencia de salida del circuito de la figura 345 se evalúa mediante la siguiente fórmula:

$$Fout = \frac{1}{2.2 \times (RA + RT) \times C} + \frac{1}{2.2 \times RB \times C}$$

En esta expresión, RT es la resistencia del termistor a la temperatura de trabajo. Por ejemplo, a 0º C, RT≈95K; a 25ºC, RT=30 KΩ; a 70º C, RT≈5.4 KΩ; etc. Con los valores de RA, RB y C suministrados en la figura 345, a 0ºC se escuchará un tono de 100 Hz, a 25º C uno de 215 Hz y a 70 ª C uno de 440 Hz, aproximadamente.

Resistencia vs temperatura

T	RT	T	RT
-30° C	481 K	40° C	16 K
-20° C	271 K	50° C	11 K
-10° C	158 K	60° C	7.6 K
0° C	95 K	70° C	5.4 K
10° C	59 K	80° C	3.8 K
20° C	37 K	90° C	2.8 K
25° C	30 K	100° C	2.1 K
30° C	24 K		

RT: Resistencia del termistor

T: Temperatura de trabajo

Tabla 17-3

ACTIVIDAD PRACTICA Nº 13

Construcción del módulo 3: Pulsador lógico sin rebote. Primera parte

El módulo 3 de nuestro entrenador digital (figura A21) es un circuito que suministra dos pulsos complementarios, libres de rebote, cuando se oprime el pulsador S1 incorporado. Se utiliza para generar manualmente señales de control dirigidas a *flip-flops*, contadores, registros, memorias, etc.

El módulo incluye también un inversor auxiliar entre los pines #1 (A) y #2 ($\overline{A}$), el cual puede utilizarse para complementar señales lógicas externas. La tensión de alimentación se aplica entre los pines #3 (+V) y #7 (GND).

Normalmente, la salida Q (pin #6) es de nivel bajo y la salida $\overline{Q}$ (pin #5) es de nivel alto. Cuando se oprime S1, Q se hace alta y $\overline{Q}$ se hace baja. Al liberar S1, Q y $\overline{Q}$ retornan a sus estados originales. La entrada IN EXT (pin #4) permite eliminar el rebote de interruptores externos. A partir de la próxima actividad iniciaremos el ensamble paso a paso de este módulo.

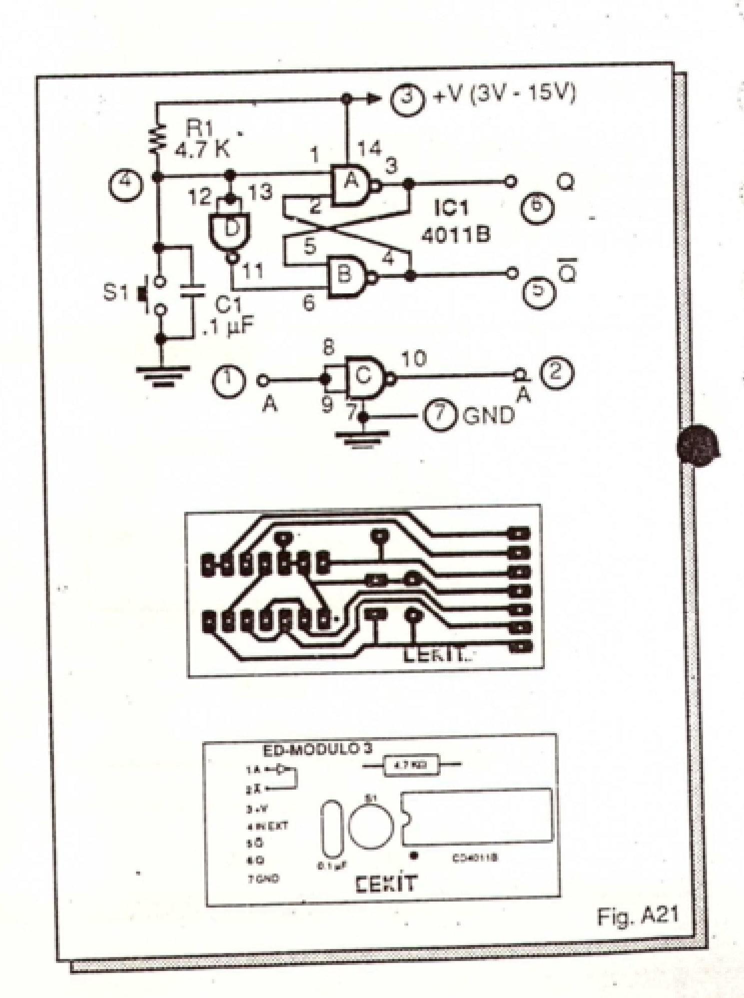


Fig. A21

El PLL digital

- *Introducción*
- *Qué es un PLL*
- *El circuito integrado 4046B*
- *Experimento Nº 20. Operación de un oscilador controlado por voltaje (VCO).*
- *Sistema PLL completo con 4046B.*
- *CIRCUITOS DE APLICACION*
- *Generadores de tonos*
- *Detector de tonos*
- *Sirena electrónica*
- *Sintetizador de frecuencia*
- *Generador de FM*
- *Revólver espacial (fasor)*
- *Actividad práctica Nº 14*

Introducción

El lazo de amarre de fase o PLL (*Phase-Locked Loop*) es un dispositivo digital extremadamente versátil que se utiliza para la generación de señales de pulsos y una gran variedad de aplicaciones de control de frecuencia. Entre estas últimas sobresalen las siguientes:

- Modulación y demodulación de frecuencia.
- Decodificación de tonos.
- Multiplicación de frecuencia.
- Acondicionamiento de señales.
- Sincronización de señales de reloj.
- Sintetización de frecuencias.
- Conversión de voltaje a frecuencia.
- Control de velocidad de motores.

En esta lección estudiaremos los principios de operación del PLL digital, haciendo especial énfasis en su utilización como *oscilador controlado por voltaje* o VCO. Analizaremos en detalle el circuito integrado **4046B**, el más representativo de todos los PLL's digitales,y lo utilizaremos en varios circuitos de aplicación, tanto básicos como avanzados.

Qué es un PLL

Un lazo de amarre de fase o PLL (*Phase-Locked Loop*) es un sistema de control de frecuencia constituido por un comparador o detector de fase, un filtro pasabajos y un oscilador controlado por voltaje o VCO, interconectados como se indica en la figura 347. El sistema opera, en términos generales, como sigue:

En condiciones normales, sin señal de entrada, los voltaje de salida del comparador de fase (Ve) y del filtro pasa-bajos (Vd) son iguales a cero y el VCO oscila a una determinada frecuencia (Fo). Esta frecuencia se denomina *frecuencia central* y la determina, generalmente, un circuito RC externo.

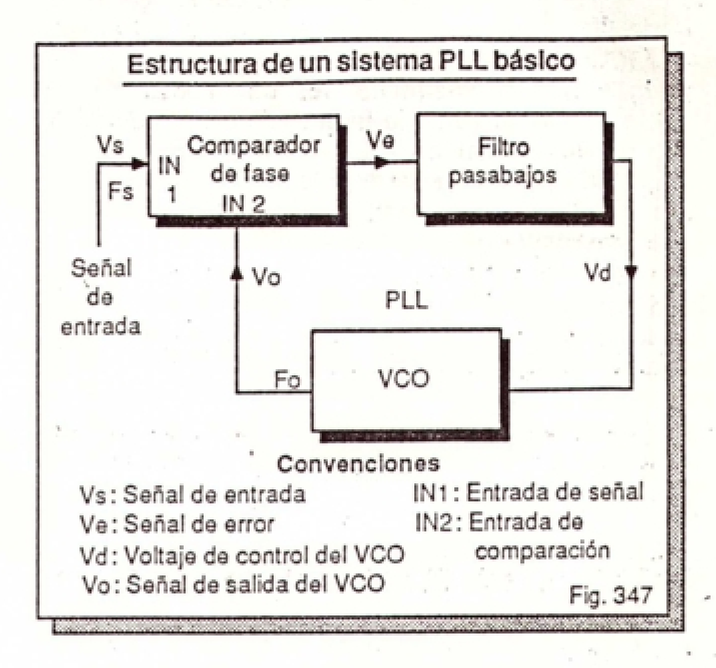


Fig. 347

Cuando se aplica una señal de entrada, el comparador de fase compara la frecuencia de esta última (Fs) con la del VCO y genera un voltaje de salida cuya magnitud es proporcional a la diferencia de frecuencia entre las dos señales. Este voltaje se denomina *voltaje de error* y controla, a través del filtro pasabajo, la frecuencia del VCO.

Como consecuencia de la existencia de un voltaje de error, se inicia un proceso de *captura* altamente complejo que tiene por objeto *enganchar* la frecuencia del VCO con la de la señal de entrada, es decir, hacerlas iguales. Para que esto suceda, la frecuencia de la señal de entrada debe estar dentro del *rango de captura* del PLL.

El *rango de captura* es una banda de frecuencias alrededor de la frecuencia central del VCO dentro de la cual el PLL puede engancharse con una señal de entrada. Por ejemplo, si la frecuencia central del VCO es de 100 KHz y se aplica una señal de entrada de 150 KHz, el VCO podrá engancharse con esta última sólo si el rango de captura del PLL es superior a ±50 KHz.

Una vez enganchado un PLL, la frecuencia del VCO será idéntica a la de la señal de entrada y el voltaje de error será igual a cero, Si, por alguna circunstancia, la frecuencia de entrada cambia, el VCO

...automáticamente su frecuencia hasta conseguir el enganche. Esto será posible mientras la nueva frecuencia se mantenga dentro del *rango de enganche* del PLL.

El *rango de enganche* es una banda de frecuencias alrededor de la frecuencia central del VCO dentro de la cual un PLL puede permanecer enganchado con una señal de entrada previamente capturada. Por regla general, el rango de enganche es siempre mayor que el rango de captura.

Si, por ejemplo, el VCO, operando a una frecuencia central de 100 KHz, ha logrado engancharse con una señal de 150 KHz y la frecuencia de esta última cambia repentinamente a 250 KHz, el reenganche con esta nueva frecuencia sólo podrá garantizarse si el PLL tiene un rango de enganche superior a ±150 KHz.

Una vez comprendido el principio de funcionamiento de un sistema PLL clásico, analizaremos, en la siguiente sección, como opera un PLL digital. Tomaremos como ejemplo el circuito integrado 4046B, el más representativo de los PLLs digitales.

El circuito integrado 4046B

El **4046B** es un PLL digital que contiene, en una misma cápsula DIP de 16 pines, dos comparadores de fase, un oscilador controlado por voltaje (VCO), un amplificador de entrada y un *seguidor de voltaje*.

El primer comparador (PC1) se conoce también como detector de fase de *bajo ruido* y el segundo (PC2) como detector de fase de *banda ancha*.

En la figura 348 se muestra el diagrama interno de bloques y la distribución de pines de este importante *chip*, identificado bajo las referencias **MC 14046B** de Motorola y **CD4046B** de RCA y National, entre otros fabricantes.

El PLL 4046B puede operar con tensiones de alimentación desde 3V hasta 18V y se caracteriza por su bajo consumo de potencia. Esta última es una consideración importante en equipos operados por batería. El voltaje de alimentación se aplica entre los pines **16** (V_{DD}) y **8** (V_{SS} o GND).

Los dos comparadores comparten las mismas líneas de entrada. La señal de entrada se aplica en el pin **14** (SIGNAL IN) y la señal de comparación (proveniente del VCO o de un divisor de frecuencia externo) se aplica al pin 3 (COMP IN). La salida del primer comparador es el pin 2 (PC1 OUT) y la del segundo el pin 13 (PC2 OUT).

La disponibilidad de dos salidas de comparación independientes permite que el usuario pueda seleccionar cualquier comparador para una aplicación específica. Lo único que tiene que hacer es conectar la salida del comparador elegido a la entrada del VCO a través de un filtro pasabajo. De este modo se configura un sistema PLL básico.

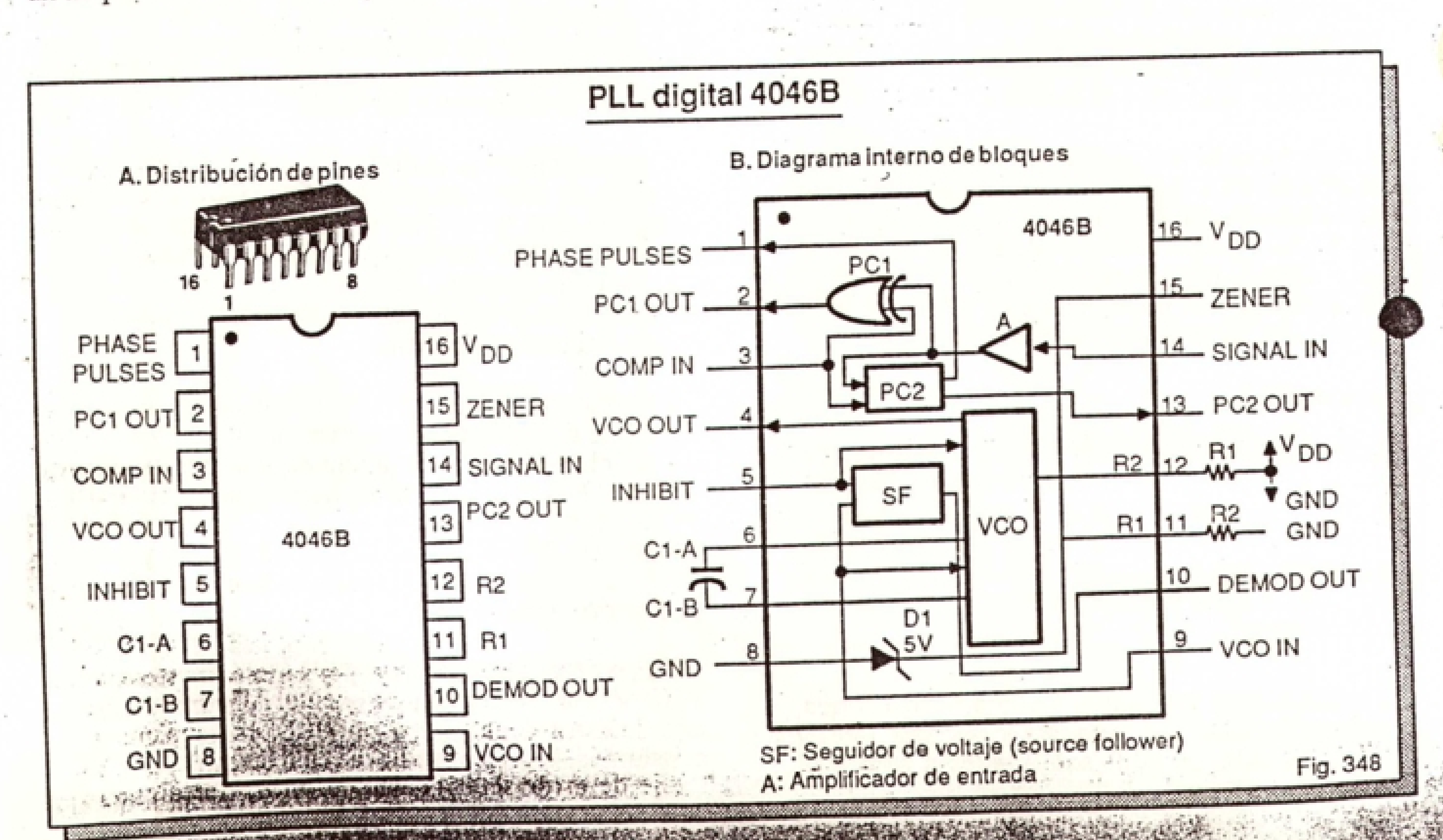


Fig. 348

El primer comparador (PC1) es, simplemente, una compuerta OR exclusiva. Se caracteriza por su alta inmunidad al ruido, pero requiere de señales de entrada simétricas para obtener un buen rango de captura. Además, tiende a engancharse con señales de entrada cuya frecuencia es un múltiplo entero de la frecuencia central del VCO.

Por ejemplo, si la frecuencia central del VCO es F0=100 KHz, el comparador PC1 tenderá a engancharse con señales de entrada de 100 KHz, 200 KHz, 300 KHz, y así sucesivamente. Estas frecuencias se denominan *armónicas*. Sin señal de entrada, este comparador suministra un voltaje promedio de salida igual a VDD/2.

El segundo comparador (PC2), realizado a base de *flip-flops* y compuertas de control, es más susceptible al ruido pero tiene un rango de captura mucho más amplio, acepta señales de entrada asimétricas, por ejemplo, pulsos muy estrechos, y no presenta el problema armónico del primer comparador. Por estas razones, es el más utilizado.

Este comparador entrega en su salida (pin 13) un nivel **alto** cuando la frecuencia de entrada es más alta que la del VCO y un nivel **bajo** en el caso contrario. Si las dos señales tienen la misma frecuencia y la misma fase, la salida de control PHASE PULSES (*pulsos de fase*, pin 1) se hace **alta**. Esta información se puede utilizar para indicar a los circuitos externos que el PLL está enganchado.

Por cuestiones prácticas, la entrada de los comparadores de fase (COMP IN, pin 3) debe ser manejada por una señal digital rápida y bien definida. El amplificador interno conectado a ese punto no opera eficientemente cuando recibe señales de entrada muy lentas o con niveles **altos** y **bajos** de voltajes muy alejados de VDD y 0V, respectivamente.

Recuerde que en CMOS, un nivel **bajo** corresponde a un voltaje entre 0V y el 30% del voltaje de alimentación (VDD) y un nivel **alto** a un voltaje entre el 70% de VDD y el 100% de VDD. Una señal de entrada por fuera de estos rangos afecta la sensibilidad del sistema e introduce ruido.

Una solución al problema de disponer de pulsos de baja amplitud es utilizar una resistencia de *pull-up* de 10 KΩ entre el pin 3 y +VDD para levantar el nivel **alto** de la señal de entrada. Esta última se puede acoplar al pin 3 través de un condensador de 0.1 µF. Si la señal de entrada es muy lenta, debe acondicionarse previamente utilizando, por ejemplo, una compuerta *Schmitt-trigger*.

El VCO produce en el pin **4** (VCO OUT) una onda cuadrada simétrica cuya frecuencia depende de un voltaje de control aplicado al pin **9** (VCO IN) y de los valores de un condensador y de dos resistores externos conectados a los pines **6** (C1A), **7** (C1B), **11** (R1) y **12** (R2). La operación del VCO se puede inhibir aplicando un **alto** al pin 5 (INHIBIT).

La señal de entrada del VCO se puede monitorear en el pin 10 (DEMOD OUT), es decir, a la salida del *buffer* o seguidor de voltaje interno. El propósito de esta etapa es permitir que el filtro pasabajo externo pueda manejar amplificadores y otros circuitos sin cargarse excesivamente. Se utiliza específicamente en aplicaciones de demodulación de frecuencia.

La salida del VCO (pin 4) se puede conectar directamente a la entrada de los comparadores de fase (pin 3) o a través de un divisor de frecuencia, como se muestra en la figura 349. El filtro pasabajo se implementa externamente mediante un circuito RC conectado entre la salida del comparador (pin 2 ó 13) y la entrada del VCO (pin 9).

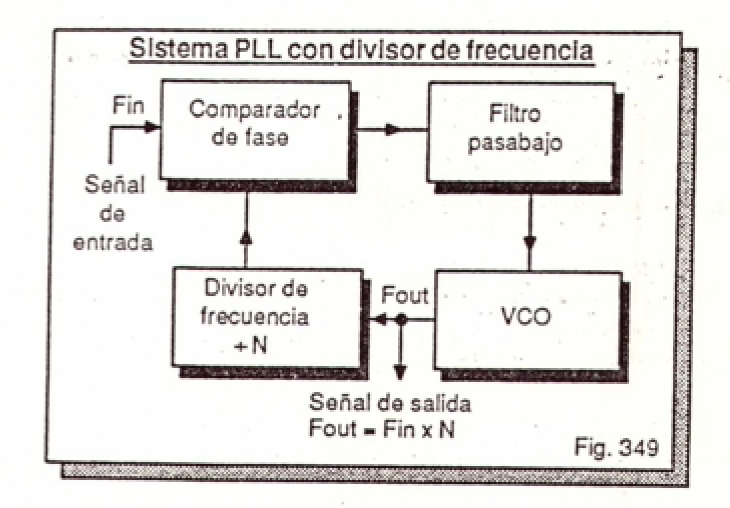


Fig. 349

Finalmente, el PLL **4046B** posee internamente un diodo Zener de 5.2V/50 µA conectado entre el pin **15** (ZENER) y tierra. Este dispositivo se destina para aplicaciones de regulación de voltaje y su uso es opcional.

Antes de analizar cómo opera un sistema PLL digital completo con **4046B**, es importante que nos familiaricemos con la forma como trabaja el oscilador controlado por voltaje (VCO) interno. En el siguiente experimento exploraremos intuitivamente este concepto, construyendo un generador audible de voltaje a frecuencia.

El VCO del 4046B es una de las versiones más económicas, versátiles y eficientes de este tipo de circuitos disponible actualmente. Además de ciertas características intrínsecas (por ejemplo, una muy alta impedancia de entrada), puede operar por encima de 1 MHz y engancharse con frecuencias de entrada en un rango de 10^6 a 1 (un millón a uno).

EXPERIMENTO Nº 20

Operación de un oscilador controlado por voltaje (VCO)

Objetivos

• Analizar la operación del VCO interno del PLL 4046B construyendo un sencillo convertidor audible de voltaje a frecuencia.

• Aprender a calcular las frecuencias mínima, central y máxima de trabajo del VCO.

• Familiarizarse con la utilización del PLL 4046B.

Materiales necesarios

1 Circuito integrado 4046B (PLL digital). IC1
1 Condensador de 0.01 µF (103). C1
1 Potenciómetro de 1 MΩ. RP.
1 Potenciómetro de 100 KΩ. R1.
1 Resistencia de 1 KΩ. RB.
1 Resistencia de 10 K. Rs.
2 Transistores 2N3904. Q1, Q2.
1 Parlante de 8 Ω/0.25 W. SP1
1 Pila alcalina de 9V con conector. VDD.
1 *Protoboard.*
1 Amplificador de audio (*kit* CEKIT K14). Opcional
Puentes de alambre telefónico #22 ó #24.

Aspectos prácticos previos. El VCO del PLL 4046B

Un oscilador controlado por voltaje o VCO (figura E33) es un circuito que produce una señal de salida, generalmente una onda cuadrada, cuya frecuencia es proporcional al valor de un voltaje de CC aplicado en su entrada de control. Es decir, un VCO es un convertidor de voltaje a frecuencia.

En condiciones normales, un VCO opera a una frecuencia específica, llamada *frecuencia central*

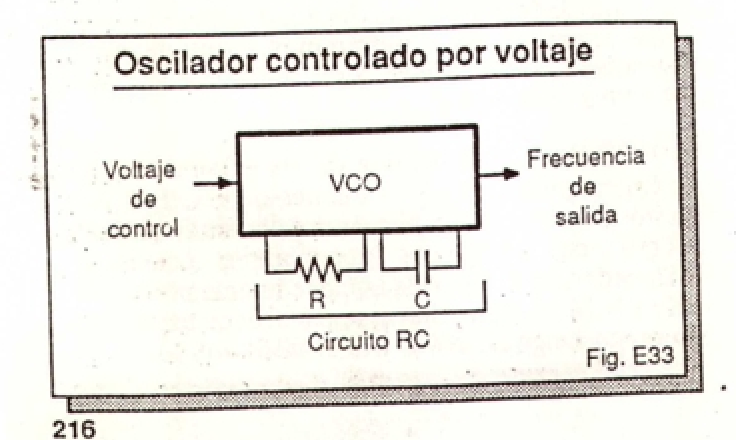


Fig. E33

(Fo), cuyo valor lo establecen una red RC externa y un voltaje de control tomado como referencia. Este último, en el caso del VCO del PLL 4046B, es igual a la mitad del voltaje de alimentación (VDD/2).

En la figura E34 se muestra la forma de utilizar el PLL 4046B como oscilador controlado por voltaje. La tensión de alimentación (3V a 18V) se aplica entre los pines 16 (VDD) y 8 (GND). La entrada de control es el pin 9 (VCO IN) y la salida de señal es el pin 4 (VCO OUT). El uso de la resistencia R2 es opcional, como se explicará más adelante.

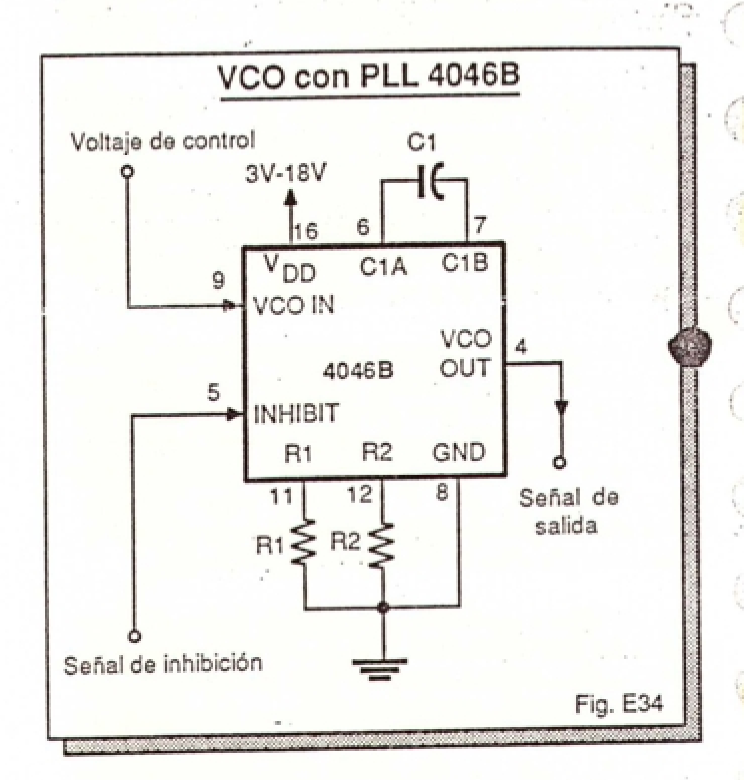


Fig. E34

El pin 5 (INHIBIT) actúa como línea digital de inhibición. Cuando está entrada es **baja** (0), el VCO opera en forma normal, es decir, entrega una señal en la salida (OUT, pin 4). Cuando la línea de inhibición es **alta** (1), el VCO se inhibe y la salida es un nivel **bajo** permanente.

La línea de inhibición se utiliza, principalmente, para reducir el consumo de potencia del *chip* en condiciones de reposo (*stand-by*). El consumo de potencia del PLL 4046B depende fundamentalmente de la frecuencia del VCO. A 10 KHz, por ejemplo, este consumo es del orden de 600 µW. Con la línea de inhibición activa, el consumo es mínimo.

El voltaje de control se aplica al pin 9 (VCO IN) y puede variar desde 0V (GND) hasta el valor de la fuente de alimentación (VDD). En el primer caso, la frecuencia de la señal de salida obtenida en el pin 4 (VCO OUT) es mínima y en el segundo es máxima. Las frecuencias máxima y mínima de operación del VCO se evalúan mediante las siguientes fórmulas:

$$f_{mín} \approx \frac{1}{R2\,(C1 + 32\,pF)}$$

$$f_{máx} \approx \frac{1}{R1\,(C1 + 32\,pF)} + f_{min}$$

En estas expresiones, **fmín** es la frecuencia del VCO cuando el voltaje de control aplicado al pin 9 es igual a 0V y **fmáx** la frecuencia del mismo cuando este voltaje es igual al valor de la fuente de alimentación (VDD). Para que el VCO opere adecuadamente, los valores de R1 y R2 deben estar entre 10K y 1 MΩ y el de C1 entre 100 pF y 0.01 µF.

Por ejemplo, si C1=0.001 µF (1000 pF), R1=100 KΩ y R2 = 1 MΩ, entonces:

$$F_{mín} = 1/(1x10^6 x(0.001x10^{-6}+32x10^{-12}))$$
$$F_{mín} \approx 970\ Hz$$

$$F_{máx} = 1/(100x10^3 x(0.001x10^{-6}+32x10^{-12})) + 970$$
$$F_{máx} \approx 11\ KHz$$

Por tanto, con los valores de componentes dados, la frecuencia del VCO se puede variar entre 970 Hz y 11 KHz, aproximadamente. Si se elimina R2 y se deja el pin 12 al aire (R2=∞, infinita), la frecuencia mínima es prácticamente igual a 0 Hz y la máxima a 9.7 KHz. Es decir:

Si $R2 = \infty$

$$f_{mín} \approx 0\ Hz$$

$$f_{máx} \approx \frac{1}{R1\,(C1 + 32\,pF)}$$

Estas fórmulas, y las anteriores, no deben considerarse como reglas absolutas, sino como aproximaciones a los valores reales. Los valores exactos de R1 y R2 necesarios para cumplir determinados requisitos de diseño deben encontrarse experimentalmente, utilizando potenciómetros, y pueden llegar a ser hasta 4 veces superiores o inferiores a los calculados.

El VCO del 4046B opera a la frecuencia central (Fo) cuando el voltaje de control aplicado al pin 9 es igual a VDD/2 y se calcula, en forma aproximada, mediante la siguiente fórmula:

$$Fo \approx \frac{f_{máx} - f_{mín}}{2}$$

Continuando con nuestro ejemplo, fmáx=11 KHz y fmín = 970 Hz. Por tanto:

$$Fo \approx (970 + 11x10^3)/2 \approx 5985\ Hz \approx \mathbf{6\ KHz}$$

Si R2=∞ (pin 12 desconectado), la frecuencia central será, simplemente, la mitad de la frecuencia máxima. Es decir:

$$Fo \approx \frac{f_{máx}}{2} \qquad Si\ R2 = \infty$$

La resistencia R2 se denomina *resistencia de offset* y se utiliza cuando se desea desplazar la frecuencia central del VCO a un valor por encima de 0 Hz. Su uso, por tanto, es opcional.

Otra característica importante del VCO del PLL 4046B es su extremadamente alta impedancia de entrada, la cual es del orden de 10^{12} Ω (¡un millón de MΩ!). Esto permite que el pin 9 pueda ser controlado por señales débiles, es decir, por fuentes de alta impedancia, por ejemplo, una fotocelda.

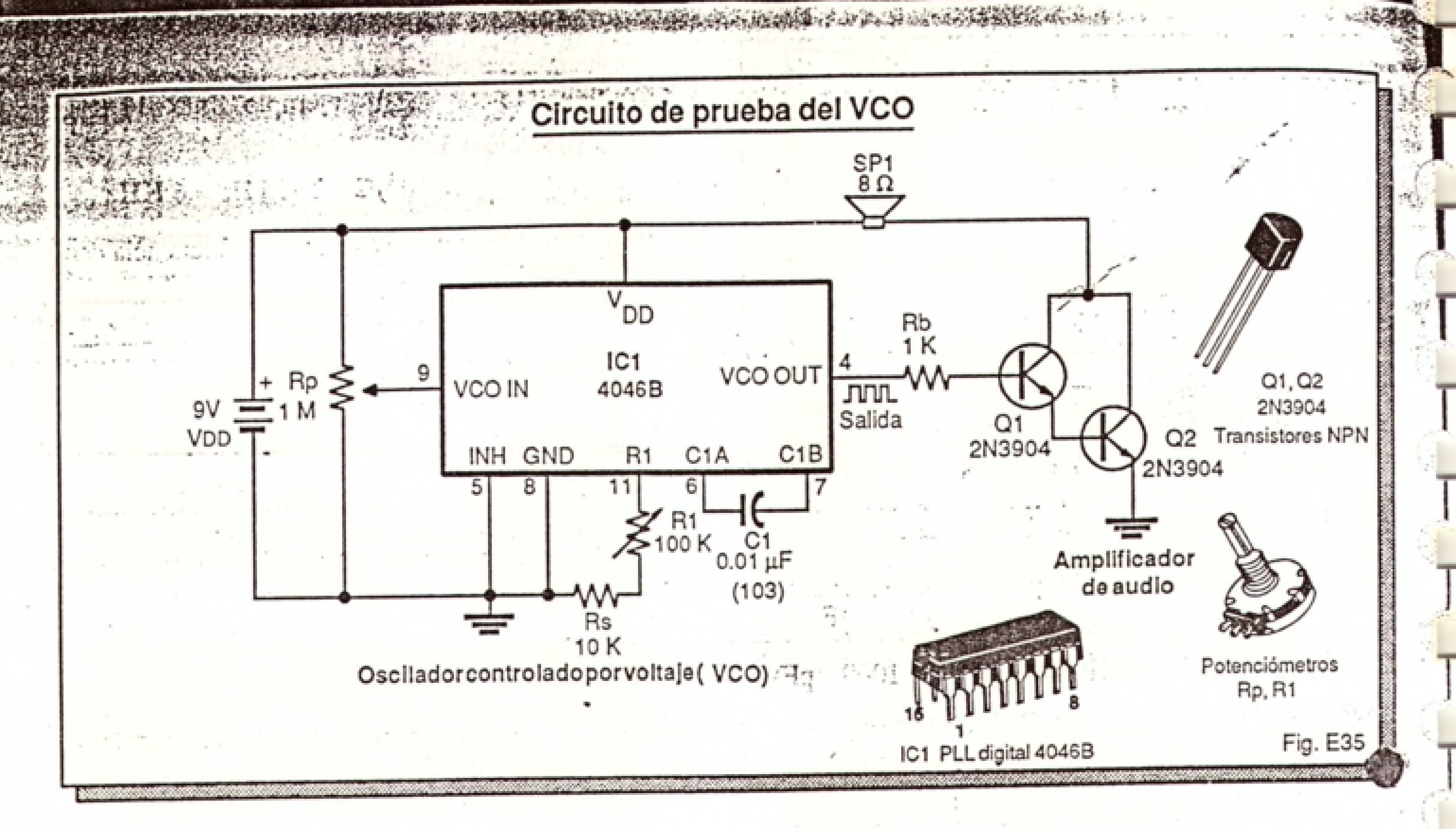
Para monitorear externamente el voltaje de control, y no cargar la fuente de señal, el VCO del 4046B posee un seguidor de voltaje o *buffer* conectado entre los pines 9 (VCO IN) y 10 (DEMOD OUT) del *chip*. Este circuito amplifica la capacidad de corriente de la señal de control. Se utiliza principalmente en demodulación de frecuencia.

Descripción del circuito de prueba

En la figura E35 se muestra el circuito de prueba que vamos a utilizar en este experimento para analizar la operación del VCO del PLL 4046B. Observe que no se utiliza la resistencia R2 (pin 12 libre) y que la entrada de inhibición (pin 5) está puesta a tierra, es decir, tiene aplicado un nivel bajo. Por tanto, el VCO está permanentemente habilitado.

El potenciómetro RP actúa como divisor de tensión y su función es suministrar cualquier voltaje de control entre 0V y 9V al pin 9. El rango de frecuencias que puede obtenerse con este circuito se extiende desde unos pocos Hz hasta ≈15 KHz. La frecuencia central es ajustable entre 2 KHz y 9 KHz.

El potenciómetro R1 permite variar la frecuencia del VCO para un determinado voltaje de control. La resistencia RB y los transistores Q1 y Q2 configuran un amplificador tipo *darlington* cuya función es convertir los pulsos de salida del VCO en una señal audible. Para obtener un mayor volumen, este circuito puede sustituirse por el *kit* CEKIT K14 (ver página 189) o un amplificador de audio similar.



Procedimiento

Paso 1. Arme cuidadosamente sobre el *protoboard* el circuito de la figura E35, observando todas las precauciones de manipulación de dispositivos CMOS. Al terminar el montaje, sitúe los potenciómetros R1 y RP en sus posiciones medias y márquelas, para tenerlas como referencia.

Paso 2. Conecte la fuente de alimentación. Deberá escuchar un tono característico. Situé RP en su posición mínima y muévalo lentamente hasta su posición máxima con el fin de variar el voltaje de control desde 0V hasta 9V. Notará que la frecuencia de los tonos se incrementa paulatinamente, es decir, estos se hacen cada vez más agudos.

De este modo hemos comprobado que la frecuencia del VCO depende del voltaje aplicado a la entrada de control. Lleve nuevamente RP a su posición media.

Paso 3. Sitúe R1 en su posición máxima (100 KΩ) y muévalo lentamente hasta su posición mínima (0 Ω). Notará que la frecuencia de los tonos también se incrementa, siendo graves al comienzo y agudos al final.

De este modo, hemos comprobado que la frecuencia del VCO depende del valor de los componentes externos. Variando simultáneamente RP y R1, obtendrá efectos sonoros muy interesantes.

* * *

Sistema PLL completo con 4046B

En la figura 350 se muestra la estructura de un sistema PLL completo construido alrededor del circuito integrado 4046B. Externamente, el circuito requiere de un contador/divisor de frecuencia (÷N), instalado entre la salida del VCO (pin 4) y la entrada del comparador de fase (pin 3), y de un filtro pasabajos, conectado entre la salida del comparador de fase (pin 2 ó 13) y la entrada del VCO (pin 9).

En condiciones normales, sin señal de entrada, el VCO trabaja a una frecuencia central (Fo) específica y en la entrada del comparador (pin 3) se obtiene una señal cuya frecuencia es Fo/N, siendo N el factor de división del contador. Por ejemplo, si la frecuencia del VCO es 10 KHz y N=128, en la salida del contador obtendremos una señal de ≈78 Hz.

Cuando se aplica una señal de entrada al pin 14 (SIGNAL IN) y el PLL se engancha, la frecuencia de salida del contador (pin 3) se hace igual a la frecuencia de entrada (FIN). Esto implica que la nueva frecuencia de salida del VCO (pin 4) es N veces mayor que la frecuencia de entrada. Es decir:

$$F_{OUT} = N \times F_{IN}$$

Por ejemplo, si la frecuencia de entrada es 5 KHz y N=128, la frecuencia del VCO, en condiciones de enganche, debe ser, igual a 5x128=640

Estructura de un sistema PLL completo con 4046B

Pulsos de fase
Fin
SIGNAL IN — PHASE — Comparador — PC IN (PC1 ó PC2)
Filtro pasabajos externo
Seguidor de voltaje — DEMOD OUT
Salida del seguidor
Inhibidor — INHIBIT
VCO IN — VCO — VCO OUT
R1 R2 C1A C1B
Fout
Salida del VCO
VDD — 16 — 8 — GND
RL
Contador/Divisor por N externo ÷N
Fout / N

Fout = N x Fin

: Circuitos internos del 4046B
: Circuitos externos

Fig. 350

KHz. De este modo, la señal de salida del contador tendrá la misma frecuencia de la de entrada (5 KHz). Si se utiliza la salida del comparador de bajo ruido (pin 2), estas dos señales diferirán únicamente en su fase.

Si se utiliza la salida del comparador de banda ancha (pin 13), la señal de entrada y la suministrada por el contador serán idénticas, tanto en frecuencia como en fase. Este comparador, a pesar de ser menos inmune al ruido que el anterior, es el que se emplea en la mayoría de los casos, especialmente por aceptar señales asimétricas y por tener un rango de captura más extenso.

El filtro pasabajo conectado a la salida del comparador de fase suministra el voltaje de control necesario para que el VCO se enganche, a través del contador, con la señal de entrada. Sin señal de entrada, el filtro suministra un voltaje de control igual a VDD/2, causando que el VCO oscile a la frecuencia central (Fo). Esto sucede cuando se utiliza el comparador de bajo ruido (pin 2).

Si se emplea el comparador de banda ancha (pin 13), el filtro entregará, sin señal de entrada, un voltaje de control igual a 0V, el cual causa que el VCO oscile a la frecuencia mínima (Fmín).

El filtro pasabajos es una parte esencial de todo PLL y es el que determina la velocidad con la cual el sistema puede seguir o rastrear los cambios en la frecuencia de entrada. Además, influye marcadamente en el rango de captura y evita que la operación normal del PLL pueda ser afectada por picos de ruido.

En la figura 351 se muestran las dos configuraciones más comunes de filtros pasabajos utilizadas en sistemas PLL con 4046B. El circuito A se utiliza cuando la señal de entrada toma valores dentro de una banda muy estrecha de frecuencias y el B cuando lo hace dentro de una banda muy amplia.

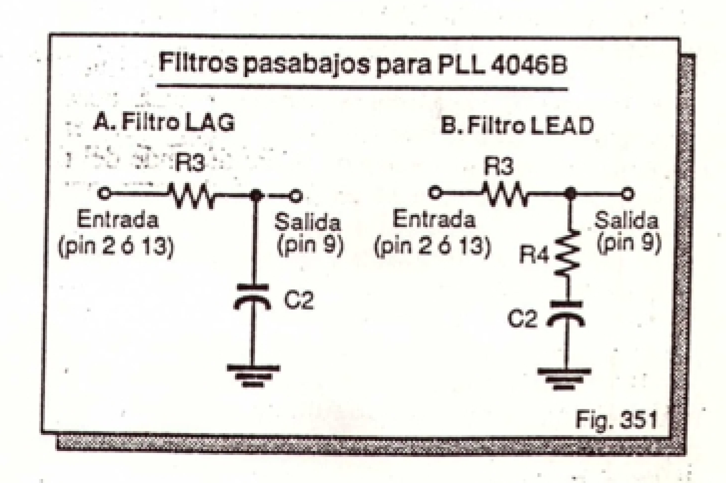


Fig. 351

La presencia de R4 evita que el PLL oscile y no responda a los cambios de frecuencias de la señal de entrada. Típicamente, R3=470 KΩ, R4=47 KΩ (una décima parte del valor de R3) y C1=0.1 μF. Estos valores deben tomarse sólo como referencia. El valor de R4 puede fluctuar entre 47 KΩ y 156 KΩ (la tercera parte del valor de R3).

El **rango de enganche** del sistema PLL de la figura 350 se designa como **ΔFL** (leáse "delta efe ele") y define la banda de frecuencias dentro de la cual el PLL se puede mantener enganchado con una señal de entrada previamente capturada. El valor de ΔFL no depende del tipo de comparador utilizado ni de las características del filtro. Se evalúa mediante la siguiente fórmula:

$$\Delta FL = \pm \frac{F_{máx} - F_{mín}}{2N}$$

En esta expresión, Fmáx es la frecuencia máxima de operación del VCO, Fmín la frecuencia mínima del mismo y N el factor de división de frecuencia del contador. El PLL se puede mantener enganchado con frecuencias de entrada comprendidas entre (Fo/N)-ΔFL y (Fo/N)+ΔFL, siendo Fo la frecuencia central del VCO.

Por ejemplo, si Fo=50.05 KHz, Fmín=100 Hz, Fmáx=100 KHz y N=10, el rango de enganche será, entonces:

$$\Delta FL = \pm (100x10^3-100)/(2x10) = \mathbf{4995\ Hz}$$

Este resultado implica que el PLL se puede mantener enganchado con la señal de entrada mientras la frecuencia de esta última se mantenga dentro de la banda de 10 Hz a 10 KHz. Estos límites son iguales, respectivamente, a la décima parte (1/10) de las frecuencias mínima y máxima del VCO

El **rango de captura** del mismo sistema se designa como **ΔFc** (leáse "*delta efe ce*") y define la banda de frecuencias dentro de la cual el PLL puede rastrear y capturar una señal de entrada hasta engancharse con ella. El valor de ΔFc depende del tipo de comparador utilizado y de las características del filtro pasabajos.

Si se utilizan el comparador de bajo ruido (PC1, pin 2) y la configuración de filtro pasabajos de la figura 351-A, el rango de captura se puede calcular, en forma aproximada, mediante la siguiente fórmula:

$$\Delta Fc = \pm \frac{1}{2\pi N}\sqrt{\frac{2\pi \Delta FL}{R3C2}}$$

En esta expresión, π (pi) es una constante matemática, aproximadamente igual a 3.1416, ΔFL es el rango de enganche del PLL, N el factor de división del contador y R3C2 la *constante de tiempo* del filtro pasabajos.

Por ejemplo, si Fmín=0 Hz, Fmáx=30300 Hz, Fo=15150 Hz, R3=100 KΩ, C2=0.001 μF y N =1 (un puente entre los pines 4 y 3), entonces ΔFL=Fo =15500 Hz y ΔFc = ±4910 Hz.

Este resultado implica que el PLL puede capturar, inicialmente, señales cuya frecuencia está entre 10240 Hz (=Fo-ΔFc) y 20060 Hz (=Fo+ΔFc). Una vez capturada la señal dentro de este rango, el PLL se mantendrá enganchado con la misma, incluso si su frecuencia se sale del rango de captura, pero permanece dentro del rango de enganche, es decir, entre 0 y 30300 Hz.

Si se utilizan el comparador de banda ancha (PC2, pin 13) y cualquiera de las configuraciones de filtros pasabajos de la figura 351, el rango de captura será igual al rango de enganche. Es decir:

$$\Delta Fc = \Delta FL$$

Por tanto, con este comparador, el PLL podrá capturar y mantenerse enganchado con cualquier frecuencia comprendida dentro del rango de operación del VCO.

El sistema PLL de la figura 350 incluye también un seguidor de voltaje conectado a la entrada del VCO (pin 4). Como se mencionó en una anterior oportunidad, este circuito se utiliza cuando se necesita monitorear o disponer de la señal de control del VCO sin cargar la fuente de la misma.

Si este es el caso, la salida del seguidor (pin 10) debe conectarse a tierra a través de una resistencia de carga (RL) de 10 KΩ o mayor. Si no se utiliza esta función, el pin 10 debe dejarse libre. El seguidor de voltaje se emplea, principalmente, para aplicaciones de demodulación de frecuencia.

Tanto el VCO como el seguidor comparten una línea común de inhibición (pin 5). Cuando esta entrada es **alta**, el VCO no oscila y la salida del seguidor (pin 10) adopta el estado Hi-z o de *alta impedancia*, es decir, se comporta como un circuito abierto. Normalmente, esta línea debe ser **baja**.

En la figura 352 se muestra un sencillo circuito que detecta cuando el sistema de la figura 350 está enganchado. En condiciones de enganche, el LED 1 se apaga. Cuando el PLL está desenganchado, el

LED D1 se ilumina o parpadea. El LED 2 opera en forma contraria. Esta información puede utilizarse, por ejemplo, para saber si el PLL está trabajando correctamente.

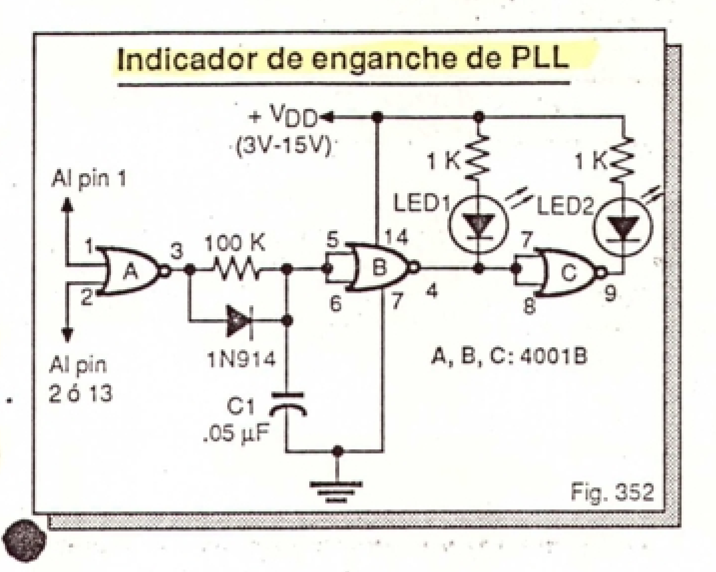


Fig. 352

Los PLL con divisores de frecuencia se utilizan en una gran variedad de aplicaciones, incluyendo sintetizadores de frecuencia y generadores de señales. Son particularmente importantes en ciertos sistemas de comunicaciones, por ejemplo, radios de banda ciudadana (CB) y otros equipos que operan con varios canales.

Para una mayor información sobre el uso de PLL's en sistemas de comunicaciones, remitimos al lector al Curso de Radio AM, FM, Banda Ciudadana y Radioafición, editado por CEKIT.

CIRCUITOS DE APLICACION

Después de estudiar los principios de operación del PLL digital y de estar familiarizados con los parámetros más importantes que caracterizan su funcionamiento, presentaremos a continuación varios circuitos prácticos de aplicación, los cuales nos permitirán afianzar los conocimientos adquiridos y apreciar el poder de este interesante dispositivo.

Entre los proyectos descritos figuran varios tipos de osciladores controlados por voltaje (VCO) que generan tonos audibles, un detector de tonos, una sirena electrónica, un sintetizador de frecuencia, un generador de frecuencia modulada (FM) y un revólver espacial o fasor. Este último genera sonidos tipo "Guerra de las Galaxias". Todos utilizan el PLL digital **4046B**.

Generadores de tonos con VCO

A. De 250 Hz a 1.6 KHz

B. De 0 Hz a 2 KHz

C. De 60 Hz a 2 KHz

D. Bifásico

Fig. 353

Generadores de tonos

En la figura 353 se muestran varias formas de utilizar el VCO del **4046B** como generador de tonos. En todos los casos, la salida del VCO (pin 4) está conectada a la entrada de los comparadores de fase (pin 3) para evitar que éstos oscilen y degraden la señal de salida. La línea de inhibición (pin 5), puesta a tierra, mantiene siempre habilitado el VCO.

El circuito de la figura 353-A ilustra la forma más simple de utilizar el VCO del **4046B**. La entrada de control (pin 9) está conectada a +9V. Por tanto, el VCO siempre opera a la frecuencia máxima. Esta última se puede variar entre 200 Hz y 2 KHz, aproximadamente, ajustando R2.

El circuito de la figura 353-B proporciona tonos de frecuencia variable entre 0 Hz y ≈2 KHz. La frecuencia máxima la determinan R1 y C1 y la mínima la establece R2. El control de frecuencia se realiza mediante el potenciómetro R3. Los diodos D1 y D2 limitan el voltaje aplicado al pin 9 entre ≈0.7V y ≈9.3 V para compensar la histéresis de R3.

El circuito de la figura 353-C proporciona tonos de frecuencia variable entre 60 Hz y 2 KHz. La frecuencia mínima la establecen R2 y C1 y la máxima la fijan C1, R1 y R2. Seleccionando adecuadamente R1 y R2, el rango de frecuencias de salida se puede extender desde 0 Hz hasta más de 1 MHz.

El circuito de la figura 353-D genera dos señales de frecuencia variable complementarias. Este tipo de funcionamiento se obtiene conectando la salida del VCO a la entrada del comparador de bajo ruido (pin 3) y haciendo **alta** la entrada de señal (pin 14). La señal de salida en fase (OUT 1) se obtiene del pin 4 y la señal complementaria o en oposición de fase (OUT 2) del pin 2 (salida del comparador).

Todas las señales generadas por los circuitos anteriores se pueden convertir en tonos audibles conectando un amplificador de audio (por ejemplo, el *kit* CEKIT K14) a la salida del VCO (pin 4).

Recuerde que la banda de frecuencias perceptibles por el oído humano se extiende desde 20 Hz hasta 20 KHz, aproximadamente. Las frecuencias superiores a 20 KHz se denominan *supersónicas* y son captadas por otras especies vivas como roedores, animales domésticos y plagas. Las frecuencias inferiores a 20 Hz se denominan *subsónicas* y son de gran interés científico.

Una aplicación muy interesante de los osciladores supersónicos es como repelentes electrónicos de insectos y plagas. En este sentido, reemplazan los repelentes químicos. Una frecuencia típica de operación de este tipo de circuitos es 40 KHz.

Detector de tonos FSK

Una de las formas más comunes de transmitir información digital es desplazando la frecuencia de una señal de alta frecuencia entre dos valores muy próximos, de acuerdo al patrón de **1**'s y **0**'s que está siendo enviado. Este método de transmisión de datos se denomina *llaveado por desplazamiento de frecuencia* o FSK (*frequency-shift keying*).

El proceso de recuperar el patrón original de **1**'s y **0**'s trasmitido se denomina *detección* o *demodulación* y se puede realizar fácilmente en la práctica utilizando un PLL. En la figura 354, por ejemplo, se muestra un circuito que detecta tonos de 1200 Hz (0's) y de 2400 Hz (1's) con un PLL **4046B**.

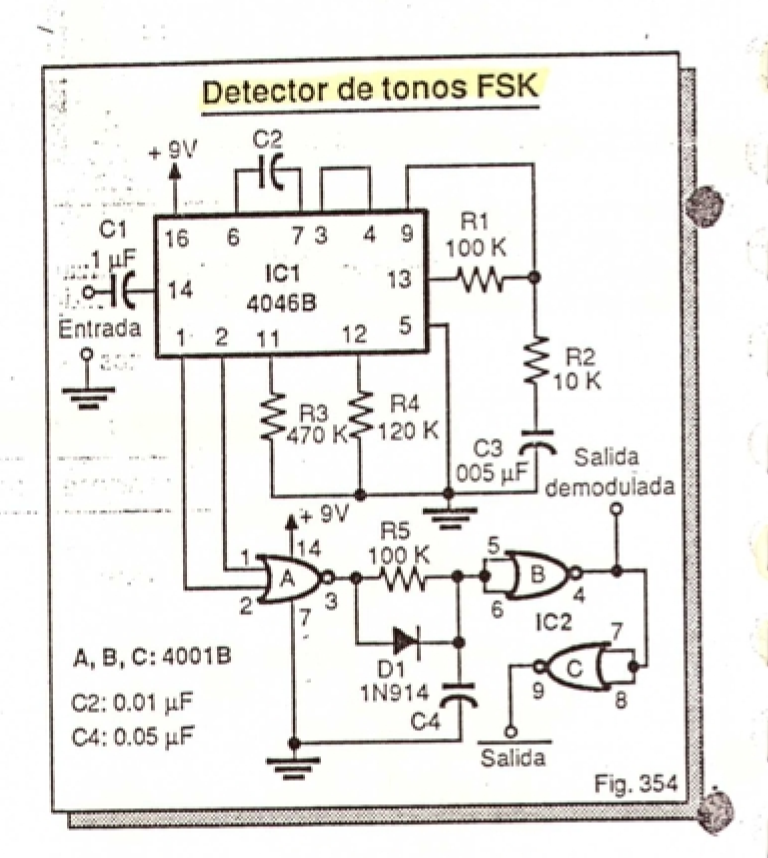


Fig. 354

Observe que se utiliza el circuito indicador de enganche de la figura 352. Cuando la señal de entrada aplicada al pin 14 del 4046 (IC1) es de 1200 Hz, en la salida de la compuerta B (pin 4 de IC2) se obtiene un nivel **bajo** (**0**) y cuando es de 2400 Hz se obtiene un **alto** (**1**). La salida de la compuerta C (pin 9) opera en forma contraria.

El filtro pasabajo, constituido por R1, R2 y C3, establece un rango de captura de ± 300 Hz alrededor de la frecuencia central del VCO (2400 Hz). Cualquier señal de entrada inferior a 2100 Hz o superior a 2700 Hz no es detectada. El circuito se puede adaptar para otros rangos de frecuencia modificando los valores de R3, R4 y C2.

Sirena electrónica

El circuito de la figura 355 produce un sonido de sirena similar al emitido por ambulancias, patrullas de policía, carros de bomberos, etc. Cuando S1 se cierra, C1 se carga a través de R1 y la frecuencia del VCO comienza a aumentar desde 0 Hz hasta su valor máximo (≈10 KHz). Este último lo determinan R4, R5 y C2.

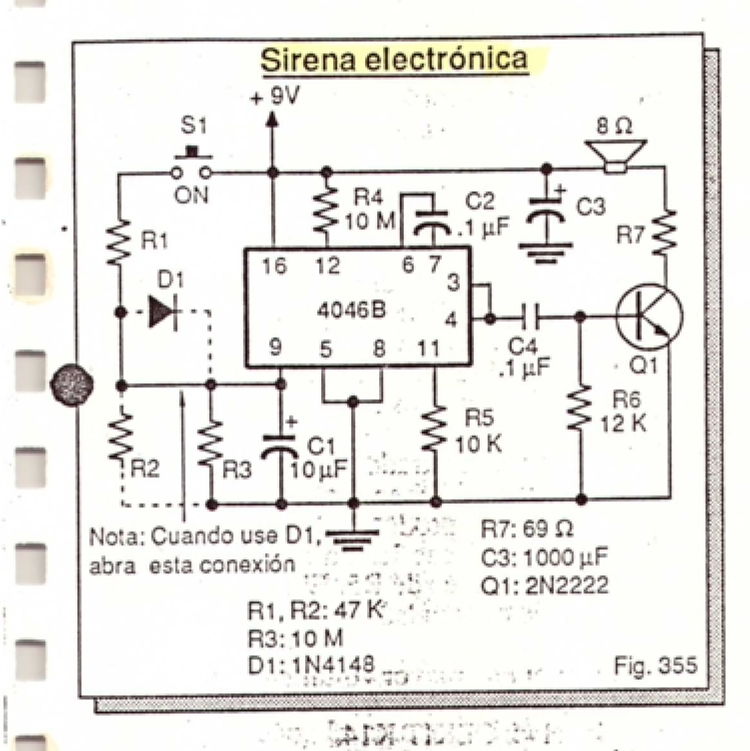


Fig. 355

Cuando S1 se abre, C1 se descarga lentamente a través de R3 y la frecuencia comienza a descender. La salida del VCO (pin 4) se acopla al parlante a través del amplificador constituido por C4 y el transistor Q1. La resistencia R2 y el diodo D1 son opcionales y se utilizan para obtener un efecto de sirena más sostenido.

Sintetizador de frecuencia

En la figura 356 se ilustra la forma de utilizar un sistema PLL completo con **4046B** como sintetizador de frecuencia. El circuito utiliza un oscilador a cristal CMOS para suministrar una frecuencia de referencia de 1 KHz a la entrada de señal del comparador de fase (pin 14) y un contador **4017B** como divisor de frecuencia entre la salida del VCO (pin 4) y la otra entrada del comparador (pin 3).

La salida del comparador de fase (pin 13) está conectada a la entrada del VCO (pin 9) a través del filtro pasabajos constituido por R4, R5 y C3. El circuito proporciona frecuencias de salida múltiplos de 1 KHz, desde 1 KHz hasta 9 KHz, dependiendo

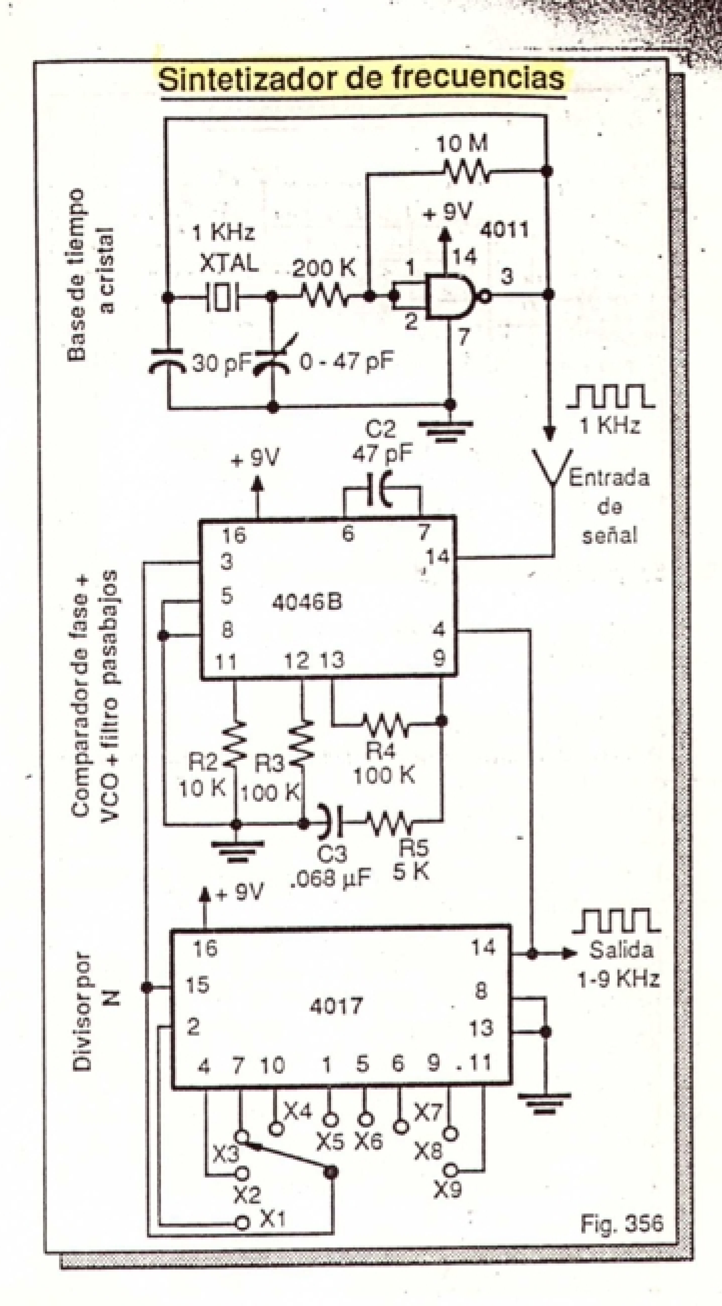


Fig. 356

de la salida del 4017B seleccionada. Este *chip* será analizado en detalle en la lección 25.

Por ejemplo, si se conecta la salida marcada "x6" (pin 5 del 4017B) a la entrada del comparador (pin 3), en el punto común de unión de la salida del VCO y la entrada del contador (pin 14 del 4017B) obtendremos una onda cuadrada de 6 KHz, es decir, seis (6) veces la frecuencia de la señal de referencia aplicada a la entrada del PLL (pin 14).

Utilizando *contadores programables* en cascada se pueden obtener sintetizadores de un rango más amplio, por ejemplo, desde 10 Hz hasta 1 MHz. Los contadores programables se estudian en la lección 26. Para aplicaciones en las cuales la precisión no es un factor crítico, el oscilador a cristal puede reemplazarse por un oscilador convencional (ver lección 17).

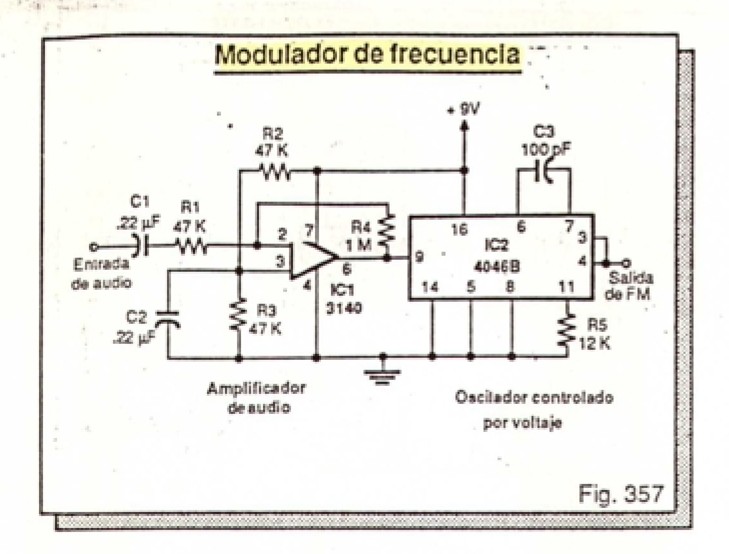


Fig. 357

Generador de pulsos de frecuencia modulada (FM)

Uno de los métodos más populares de transmitir información audible (por ejemplo la voz humana) por técnicas digitales es variar la frecuencia de un tren de pulsos de alta frecuencia de acuerdo a las variaciones de voltaje de la señal que se desea enviar. Este método se denomina *modulación de frecuencia* o FM (*frequency modulation*).

En la figura 357 se muestra el circuito de un sencillo transmisor de FM que utiliza el VCO de un PLL 4046B para este propósito. La señal de entrada (audio), proveniente, por ejemplo, de un micrófono, se amplifica y se aplica a la entrada del VCO (pin 9). Sin señal de audio, esta última recibe del amplificador (IC2) un nivel de 4.5 V y el VCO oscila a una frecuencia central (Fo) de ≈200 KHz.

Cuando se aplica una señal de audio, el voltaje de entrada del VCO cambia de acuerdo a las variaciones de amplitud de la misma. Si la señal de entrada aumenta, el voltaje de control disminuye y viceversa. En el primer caso, disminuye la frecuencia del VCO con respecto a su valor central y en el segundo aumenta.

Si la amplitud de la señal de entrada cambia rápidamente de un valor a otro, la frecuencia del VCO lo hará al mismo ritmo. Se dice, entonces, que el VCO está siendo *modulado* en frecuencia por la señal de audio. Acoplando la salida a un LED infrarrojo, a través de un amplificador de corriente, este circuito puede servir como transmisor en un sistema de comunicación por vía óptica elemental.

Revólver espacial (fasor)

El circuito de la figura 358 simula el sonido producido por un *fasor* o revólver espacial tipo "Guerra de las Galaxias". Este tipo de efecto sonoro es muy común en ciertos juegos de video. Cuando se pulsa el botón de fuego (S1), el astable produce pulsos de 4 ms a intervalos de 70 ms.

Cada pulso suministrado por el astable, cuando se dispara, carga rápidamente el condensador C2 a través de R3 y D2, produciendo un tono de alta frecuencia, el cual decae lentamente a medida que C2 se descarga a través de R5. El proceso se repite con la llegada de cada pulso.

Para obtener un mayor volumen, conecte la salida del VCO (pin 4) a un amplificador de audio, por ejemplo, el *kit* CEKIT K14.

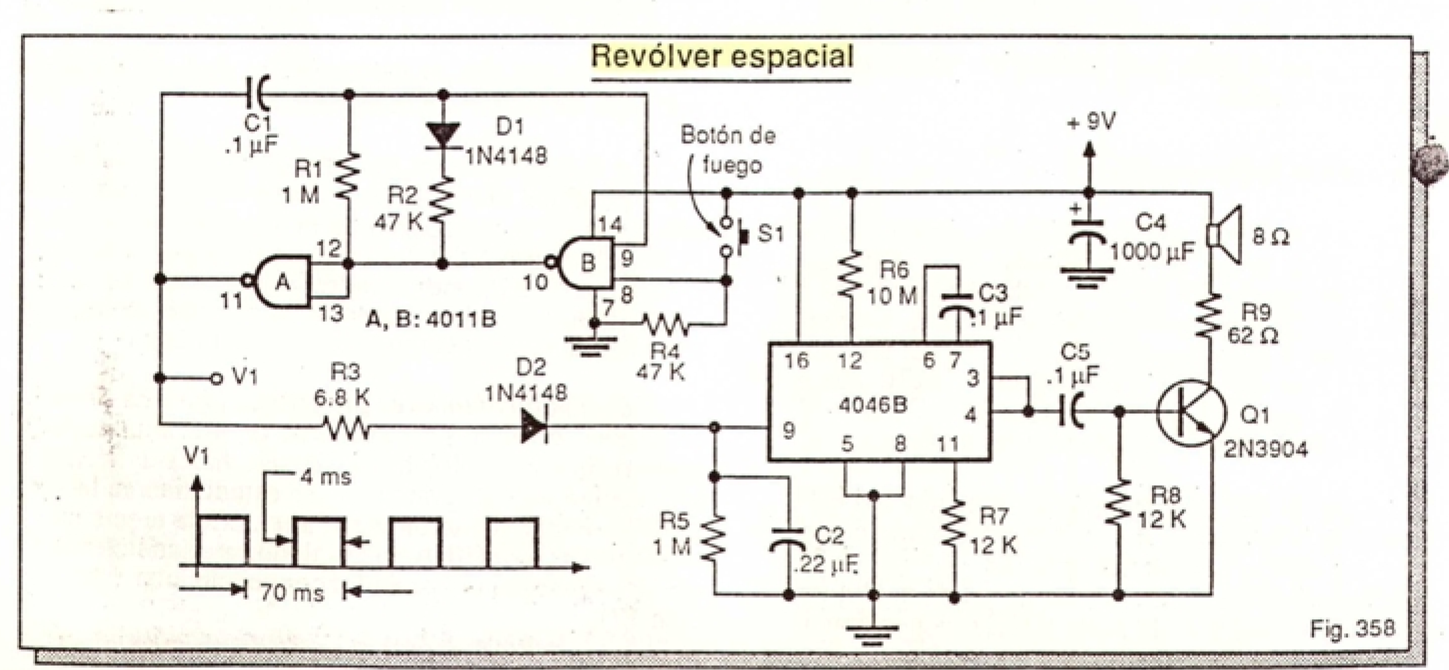


Fig. 358

Lógica secuencial y cerrojos biestables

- *Introducción*
- *Circuitos secuenciales*
- *Diseño de circuitos secuenciales asincrónicos*
- *Flip-flops asincrónicos (latches)*
- *El latch NAND*
- *El latch NOR*
- *Experimento Nº 21. Comprobación de la operación de un cerrojo biestable*
- *Los latches como eliminadores de rebote*
- *Los latches como generadores de pulsos de on/off*
- *Cerrojos biestables integrados*
- *CIRCUITOS DE APLICACION*
- *Actividad práctica Nº 15*

Introducción

El estudio de la electrónica digital desarrollado en la primera parte de este curso, desde compuertas hasta demultiplexores, se fundamentó en las denominadas *redes combinatorias*. En este tipo de circuitos, el estado de cada salida lo determina, íntegramente, la combinación de estados de las entradas. En ellos, no hay *memoria* ni tratamiento del *tiempo*.

El verdadero poder lógico de la electrónica digital se manifiesta cuando se involucra, en su sistema de análisis y diseño, la acción del tiempo. Los circuitos con memoria se denominan *secuenciales* y pueden realizar una gran variedad de funciones, incluyendo el conteo de pulsos y el almacenamiento, desplazamiento y secuenciamiento de datos, entre otras.

La unidad básica de memoria digital es el *multivibrador biestable*. Como establecimos en la lección 17, un biestable es un dispositivo que tiene dos estados estables (alto y bajo) y permanece indefinidamente en cualquiera de ellos, hasta que recibe una señal externa de disparo adecuada.

En otras palabras, un biestable es un circuito que puede almacenar, por tiempo indefinido, un nivel alto o bajo de voltaje, es decir, un *bit* de información (1 ó 0).

Los dos circuitos biestables básicos son el cerrojo o *latch* y el *flip-flop*. Los *latches* se denominan, también, *flip-flops asincrónicos*. Los *flip-flops* son los bloques constructivos básicos de todos los sistemas secuenciales, incluyendo memorias, contadores, registros de almacenamiento, registro de desplazamiento, microprocesadores, etc.

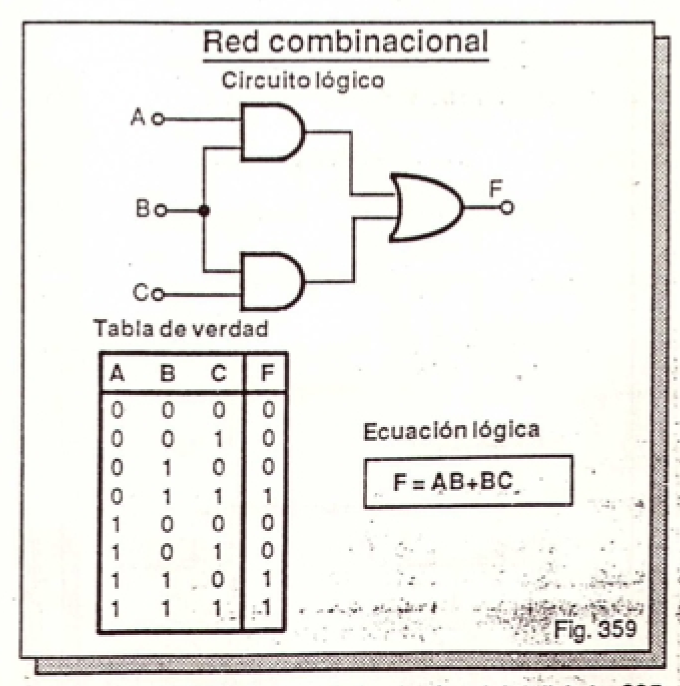
En esta lección conoceremos los fundamentos de la lógica que rige los circuitos secuenciales y estudiaremos los cerrojos biestables (*latches*), que son dispositivos *asincrónicos*, es decir, no necesitan de una señal de reloj para operar correctamente. En este sentido se diferencian de los *flip-flops*, los cuales son, por definición, *sincrónicos*. Los *flip-flops* se estudian a partir de la próxima lección.

Circuitos secuenciales

Los circuitos secuenciales son, básicamente, configuraciones lógicas de compuertas dotadas de *memoria*. En ellos, el estado de la salida depende no solamente de las combinaciones de estados de las entradas sino de la secuencia (orden en el tiempo) en la cual ocurren estas combinaciones.

Para comprender mejor este concepto, ilustremos, mediante un ejemplo, como es posible progresar desde un circuito puramente combinatorio (sin memoria) hasta uno secuencial dotado de memoria.

En la figura 359 se muestra el funcionamiento de una red combinatoria sencilla formada por dos compuertas AND y una compuerta OR. La ecuación lógica y la tabla de verdad resumen el comportamiento del circuito.



A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Fig. 359

Por ejemplo, cuando las entradas A y B valen **1**, la salida F se hace igual a **0**, sin importar el estado (0 ó 1) de la entrada C. Un análisis similar se puede hacer para las ocho posibilidades que ofrecen las tres variables de entrada. Observe que, en ningún momento, se hace alusión al tiempo, es decir al orden o secuencia en la cual se aplican estas variables.

El circuito combinatorio de la figura 359 se convierte en un circuito secuencial si se cambia la variable C por una conexión, realimentada, desde la salida F (figura 360). Bajo estas circunstancias, la tabla de verdad es intranscendente como herramienta de análisis. Un diagrama de temporización ofrece mucha más información.

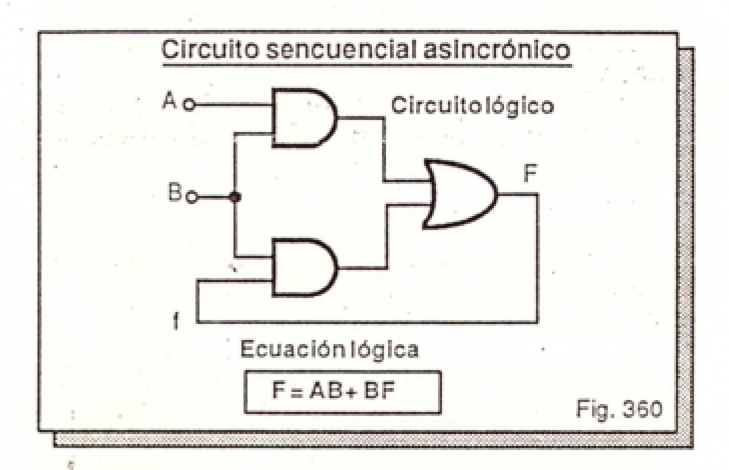


Fig. 360

En la figura 361 se muestra el diagrama de tiempo correspondiente al circuito de la figura 360. Inicialmente, si **A=0** y **B=1**, la salida **F** es igual a **0**. Luego, cuando **A=1** y **B=1**, la salida **F** se hace igual a **1**. Hasta este momento, la ecuación lógica del circuito original (F=AB+BC) describe el comportamiento del mismo, como si se tratara de una red combinatoria.

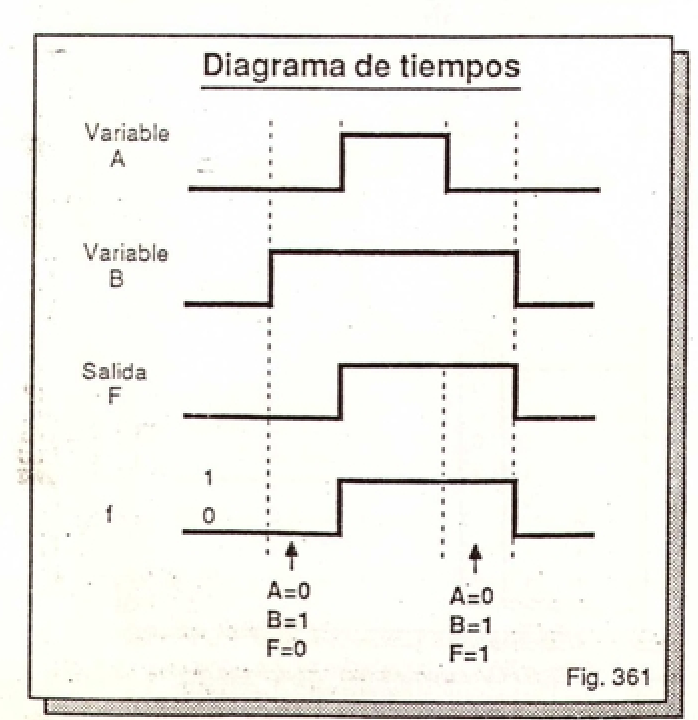


Fig. 361

No obstante, la acción de la realimentación introducida por la salida **F** a la entrada, ha cambiado totalmente el significado de las cosas. Observe, por ejemplo, que cuando A=0, nuevamente, se presenta la misma combinación de entradas inicial (A=0 y B=1). Sin embargo, la salida no toma el valor de F=0.

La misma combinación de entradas pero diferentes salidas: esto no se parece, en ningún momento, a un circuito combinatorio. Ahora, la realimentación debida a **F** nos permite memorizar el hecho de que B llegó primero que A a **1**. Solamente cuando las dos entradas retornan a 0, la salida toma este valor.

Note la acción del tiempo en el funcionamiento de esta red: nos indica la respuesta ante una secuencia de entradas y no, únicamente, ante una combinación de entradas, como en las redes que vimos al comienzo de este curso.

En el circuito de la figura 360, tan pronto aparecen los cambios en las entradas, se obtiene una respuesta en la salida. La secuencia de las entradas aparece, ante la red, en cualquier momento y orden y, la salida, debe responder de manera instantánea. A este tipo de acción, tanto de las entradas como de las salidas, se le llama comportamiento *asincrónico*.

Diseño de circuitos secuenciales asincrónicos

La metodología para el diseño de circuitos digitales secuenciales asincrónicos es compleja y poco utilizada. No obstante, si el circuito es simple, se puede desarrollar el diseño, en forma intuitiva, teniendo presente el siguiente principio:

Cada realimentación que se implemente en el circuito, introduce un elemento de memoria.

El siguiente ejemplo ilustra la forma de utilizar y aplicar este principio elemental de diseño lógico asincrónico.

> **Ejemplo.** Construir un circuito que permita conectar y desconectar un motor de CC de 12 V de la alimentación, utilizando pulsadores momentáneos (*push-buttons*) normalmente abiertos (NA). El pulsador de conexión debe etiquetarse como START (arranque) y el de desconexión como STOP (parada).

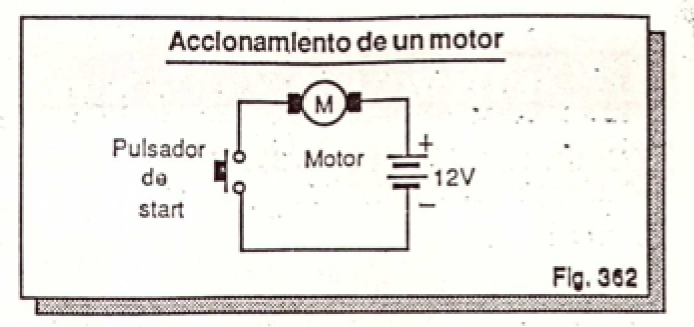


Fig. 362

Solución. En la figura 362 se ilustra el principio de conexión y desconexión del motor a la fuente de alimentación. Como puede apreciarse, no es posible mantener energizado el motor, de manera indefinida, a menos que el pulsador se mantenga activado en forma permanente, es decir, cerrado.

Un circuito digital podría efectuar la conexión, solamente si está dotado de una "memoria" que "recuerde" el momento en que fue activado el pulsador. En otras palabras, se necesita un circuito secuencial asincrónico, dotado de memoria, si se quiere conectar y desconectar el motor con pulsadores normalmente abiertos.

Recuerde que, para lograr el efecto de memoria, se debe hacer una realimentación o conexión de la salida hacia la entrada. En la figura 363 se muestra un circuito secuencial, construido con compuertas TTL, adecuado para este propósito.

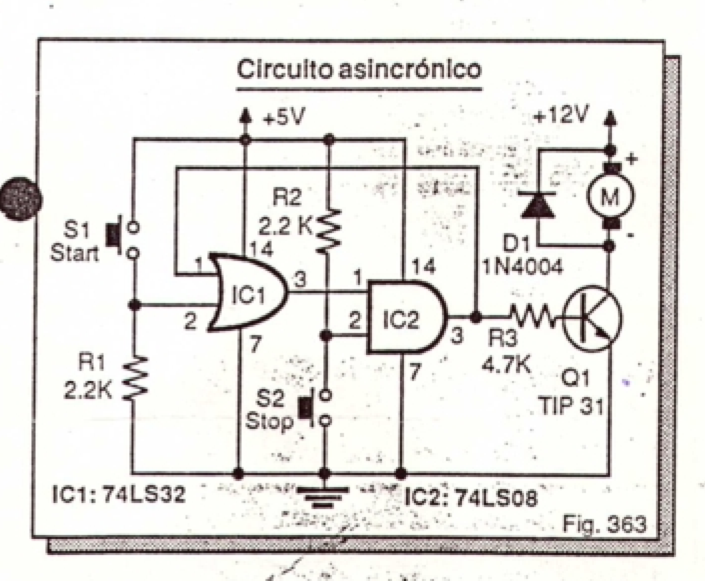


Fig. 363

Inicialmente, la salida de la compuerta AND (pin 3) es de nivel **bajo** y el motor está desconectado. Cuando se acciona el pulsador de arranque (START), aparece, momentáneamente, en la entrada de la compuerta **OR** (pin 2) un nivel **alto**. La salida de la compuerta (pin 3) será, por tanto, un nivel **alto**.

En las entradas de la compuerta **AND** (pines 1 y 2) tenemos, entonces, dos niveles **altos**: uno proveniente de la salida de la compuerta OR y, el otro, de la resistencia R2. Como resultado, la salida de la compuerta **AND**, en el momento de accionar el pulsador START es, también, de nivel **alto**.

Este nivel **alto** se memoriza por medio de la realimentación existente entre la salida de la compuerta AND y la entrada de la compuerta OR. De esta forma, se puede liberar al pulsador sin que la información se pierda.

En otras palabras, la realimentación le recuerda al circuito que el interruptor de arranque fue activado. La compuerta **AND** se encarga, también, de saturar al transistor y energizar el motor. El diodo D1 es de protección.

Para anular la orden de START, memorizada por el circuito, basta con accionar, momentáneamente, el pulsador de parada (STOP). Esta acción provoca un nivel **bajo** en la entrada de la compuerta **AND** (pin 2), el cual lleva la salida a un nivel **bajo**, cancelando la "memorización" y, por tanto, desconectando el mo-tor de la alimentación.

A pesar de que es posible diseñar cualquier circuito lógico asincrónico mediante técnicas muy establecidas, pero dispendiosas, el camino escogido por los diseñadores de circuitos digitales es otro, más flexible y modular.

La idea es implementar los circuitos secuenciales a partir de una "célula básica secuencial" llamada **Flip-Flop**. En la sección que sigue se estudiarán las características fundamentales de esta red secuencial asincrónica básica. El diseño de circuitos secuenciales utilizando *flip-flops* se explica en detalle en la lección 21.

Flip-flops asincrónicos (latches)

El dispositivo biestable más simple es el *latch* o *flip-flop* R-S (*reset-set*) mostrado en la figura 364. El circuito puede almacenar un *bit* de información, es decir, un **0** ó un **1**. Los *latches* son asincrónicos en el sentido de que no necesitan de una señal externa de reloj para operar. En esto se diferencian de

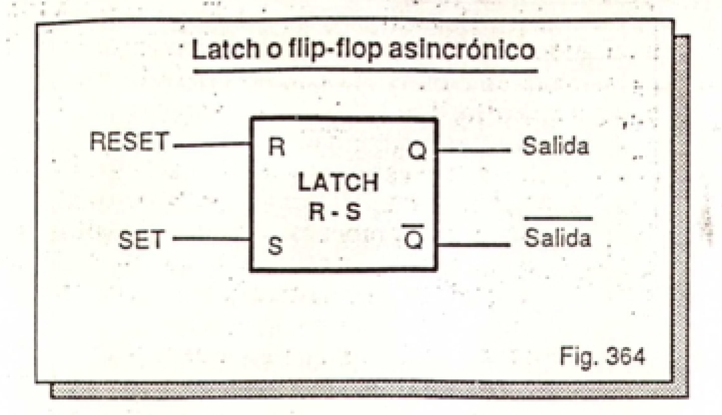


Fig. 364

los *flip-flops* propiamente dichos, los cuales son, por definición, sincrónicos.

Se dice que el *latch* está en estado *set* cuando la salida Q es de nivel alto (1) y en estado *reset* cuando es de nivel bajo (0). El estado de las salidas Q y $\overline{Q}$, en condiciones normales, es siempre complementario y se programa combinando apropiadamente los estados lógicos de las entradas R (RESET) y S (SET).

Específicamente, para almacenar un **1** lógico, debe aplicarse un pulso de disparo a la entrada SET. Así mismo, para almacenar un **0** lógico, debe aplicarse un pulso a la entrada RESET. El pulso de disparo puede ser positivo (activo en alto) o negativo (activo en bajo), dependiendo del diseño.

Una vez que el *latch* ha sido programado en estado SET o RESET por el pulso de entrada, permanecerá en ese estado hasta que sea modificado o se retire el suministro de potencia. Los *latches* son volátiles, es decir, la información almacenada en ellos desaparece cuando se desconectan de la fuente de alimentación.

Los *latches R-S* se pueden implementar a base de compuertas básicas AND, OR y NOT o utilizando compuertas NAND o NOR. Estas últimas son las más utilizadas. En la figura 365 se muestran dos versiones de *latches* R-S con compuertas AND, OR, AND y NAND. En todos los casos, el estado de la salida lo describe la siguiente ecuación lógica:

$$Q = S + \overline{R} \cdot Q$$

El circuito de la figura 365-B se realiza con compuertas AND, OR y NOT y el de la figura 365-C con compuertas NAND. El circuito de la figura 365-D es el mismo de la figura 365-C pero redibujado para apreciar la existencia de la salida complementaria: $\overline{Q}$, la cual es siempre la negación de la salida principal (Q): si Q es 0, entonces $\overline{Q}$=1, y viceversa. *(continúa en la página 229).*

ACTIVIDAD PRACTICA Nº 14

Construcción del módulo 3: Pulsador lógico sin rebote. Parte 2.

En esta actividad instalaremos en la tarjeta de circuito impreso correspondiente al módulo 3 (EDM-3), la base de 14 pines del circuito integrado 4011B (IC1) y la resistencia de 4.7 K (R1). La función de la base es servir de soporte al *chip* y facilitar su montaje y reemplazo. R1 es la resistencia de *pull-up* del pulsador S1.

Componentes y herramientas necesarios

1 base para circuito integrado de 14 pines.
1 resistencia de 4.7 KΩ. R1.
1 circuito impreso CEKIT EDM-3.
Herramientas: pinza de puntas planas, cortafríos, cautín, soldadura.

Procedimiento

Tome la resistencia R1 y la base de 14 pines de IC1 e instálelas en la tarjeta de circuito impreso EDM-3, como se indica en la figura A22. Identifique R1 por el código de colores "amarillo, violeta, rojo, dorado" sobre su cuerpo. Después de soldar, corte los alambre sobrantes y consérvelos: le servirán como puntas de prueba.

Cuando instale la base, asegúrese de que todos los pines entren en los correspondientes agujeros y y no haya alguno doblado o partido. Antes de soldar, cerciórese de que los puntos de contacto estén limpios y no haya síntomas de oxidación. Esto facilitará la adherencia de la soldadura.

No mueva la base hasta que la soldadura enfríe ni aplique calor excesivo. Revise su trabajo para observar si se han formado puentes indeseables de soldadura entre pines adyacentes y corríjalos.

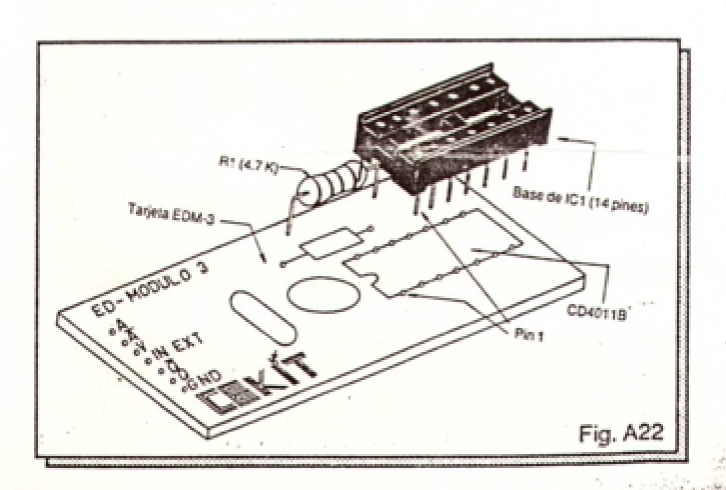


Fig. A22

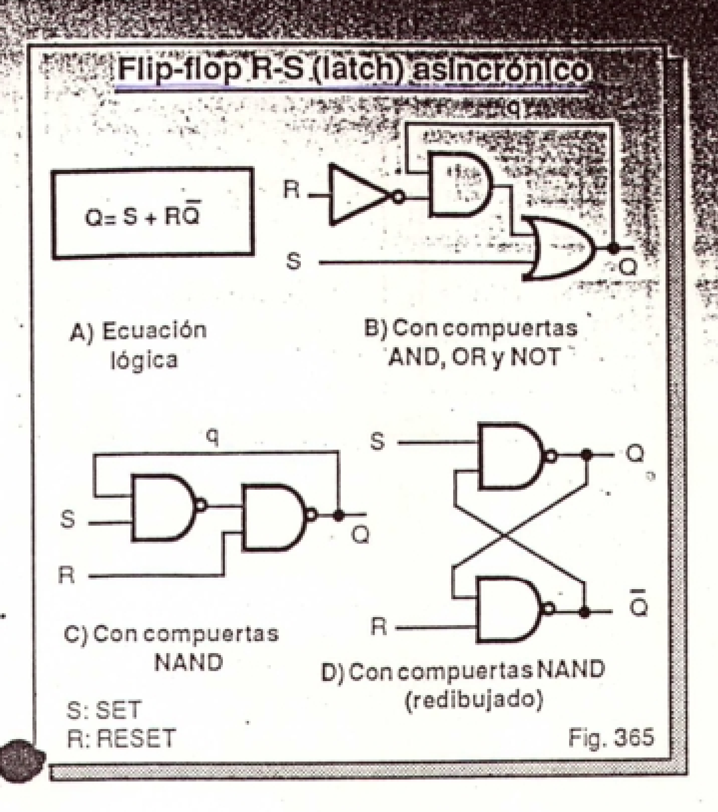


Fig. 365

La característica clave que hace de estos circuitos algo más que configuraciones estáticas de compuertas es la existencia de una línea de realimentación (q) entre la salida Q y la entrada. Esta realimentación es la que le permite al *latch* memorizar un cambio en las entradas R y S.

En la figura 366 se muestra el diagrama de temporización del *latch* R-S de la figura 365-B. Para simplificar el análisis de este circuito, se asume que, inicialmente, la salida Q es **baja** (0) y que las entradas R y S son también **bajas** (0).

Como muestra el diagrama de la figura 366, en el instante **t1**, la entrada S se hace **alta**, imponiendo un nivel alto en la salida Q. Este nivel **alto** se transmite a la entrada de la compuerta AND (figura 365B) a través de la línea de realimentación q. Cuando la entrada S se hace nuevamente **baja** en el instante **t2**, la salida permanece alta.

Obsérvese que, entre los instantes **t2** y **t3**, las entradas R y S son ambas **bajas**, como al comienzo del proceso. Sin embargo, la salida Q no es **baja** sino **alta**. Es decir, el circuito nos está informando que, en un momento anterior, la entrada S fue **alta**.

En el instante **t3**, la entrada R se hace **alta**, cancelando el nivel **alto** de la salida Q e imponiendo un **bajo**. Este nivel **bajo** en la salida Q se mantiene cuando la entrada R se hace **baja** en el instante **t4** e, incluso, cuando se hace otra vez **alta**, entre los instantes **t5** y **t6**.

Es decir, el circuito recuerda, mediante un **bajo** en su salida, que la última entrada en hacerse **alta** fue R. La razón es muy sencilla: la entrada S no ha vuelto a ser **alta** desde el instante **t2**. Usted puede comprobar estos resultados en el circuito de la figura 365-B reemplazando cada variable (R, S y Q) por el valor que va tomando en cada instante.

Hasta el momento, podemos concluir lo siguiente:

- Si la entrada SET (S) es **alta**, la salida Q es **alta**.
- Si la entrada RESET (R) es **alta**, la salida es **baja**.

En otras palabras, S lleva la salida a **1** (condición *set*) y R la lleva a **0** (condición *reset*).

- Si las entradas SET y RESET son iguales a **0**, la salida Q permanece en el estado previamente establecido por cualquiera de las líneas R ó S. Es decir, la condición R=S=0 memoriza la última línea de entrada activa: si fue R, entonces Q=0 y si fue S, entonces Q=**1**.

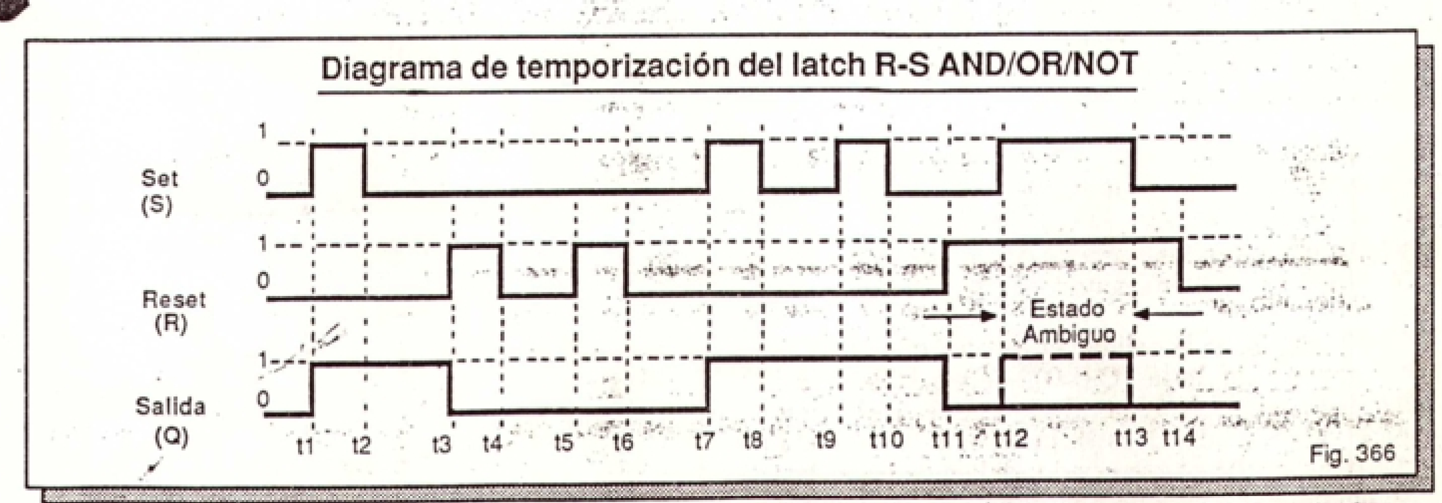


Fig. 366

Entre los instantes **t7** a **t11**, sólo cambia de estado la entrada S y, por tanto, la salida permanece alta. En el instante **t12** sucede algo interesante: las dos entradas, SET y RESET, son **altas**. Desde el punto de vista lógico, esta situación es ambigüa: se pretende, simultáneamente, llevar la salida al estado de RESET (**0**) y al estado de SET (**1**).

Como es obvio, esto no es factible: un punto de un circuito digital no puede ser **alto** y **bajo** al mismo tiempo. Como consecuencia de esta ambiguedad, la salida Q toma cualquier valor. En el caso de la figura 366, se hace **baja** porque la primera entrada en hacerse **alta** fue R. Por la razón expuesta, la combinación de entradas S=1 y R=1 debe evitarse.

El comportamiento del circuito de la figura 365, visualizado mediante el diagrama de temporización de la figura 366, se puede también describir mediante una *tabla característica*, como se muestra en la figura 367. La tabla característica relaciona el estado *futuro* o siguiente de la salida Q (Q^+) con su valor *presente* o actual (Qo) de acuerdo a los posibles valores de las entradas R y S.

Tabla característica

Entradas		Salida
S	R	Q+
0	0	Qo
0	1	0
1	0	1
1	1	*

Q^+: Valor siguiente

Qo:Valor de salida actual

*: Estado ambiguo

Fig. 367

Por ejemplo, si el valor actual de la salida Q es Qo=0 y se aplica la combinación de entradas S=**1** y R=**0**, el valor futuro de la salida Q (Q^+) será **1**, sin importar si estaba en **0**.

De la tabla característica se puede derivar una *tabla de excitación*, como la de la figura 368. La tabla de excitación suministra la combinación de estados que debe aplicarse en las entradas para cambiar la salida de un estado a otro o mantener el estado actual.

Por ejemplo, si la salida Q es **alta** (Qo=1) y deseamos hacerla **baja** (Q+=**0**), debemos aplicar la combinación de entradas S=**0** y R=1. Del mismo modo, si la salida Q es **baja** (Qo=0) y deseamos que permanezca en ese estado, debemos hacer **baja** (0) la entrada S, sin importar el estado de la entrada R (puede ser **alta o baja**).

Tabla de excitación

Salida		Entrada	
Qo	Q+	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Qo = Estado presente

Q+ = Estado futuro

X = No importa

Fig. 368

Las tablas de excitación son una de las herramientas más importantes de diseño de circuitos secuenciales. Las utilizaremos ampliamente en la lección 21 de este curso.

El *latch* AND-OR-NOT de la figura 365 nos ha servido de base para comprender los principios de funcionamiento de los *flip-flops* y comenzar a familiarizarnos con las técnicas de análisis de los mismos, mediante diagramas de temporización, tablas características y tablas de excitación.

Sin embargo, este dispositivo biestable no es muy utilizado, debido a que requiere de tres compuertas distintas para su realización. Para obtener un *latch* como el de la figura 365B, con compuertas TTL, por ejemplo, necesitaríamos tres *chips*: un CI **7404** (NOT), un CI **7408** (AND) y un CI 7432 (OR).

En la práctica, los *latches* o flip-flops R-S asincrónicos se implementan utilizando compuertas NAND o NOR. Existen, por consiguiente, dos tipos de cerrojos biestables: el *latch* NAND y el *latch* NOR (figura 369). En el primer caso, las señales de SET y RESET son activas en **bajo** y, en el segundo, lo son en **alto**. En las siguientes secciones analizaremos en detalle cada tipo.

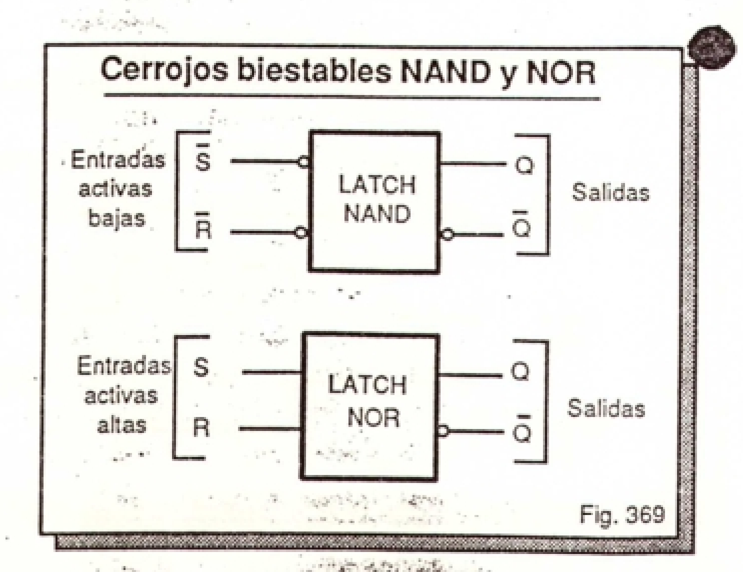


Fig. 369

Latch NAND

En la figura 370 se muestran el circuito lógico, la tabla característica y el diagrama de temporización de un *latch* NAND. Se supone que las entradas R y S están normalmente en **alto ó 1** lógico. El estado inicial de las salidas Q y $\overline{Q}$ es intranscendente. Las entradas R y S son activas en **bajo**. La operación de este circuito biestable es como sigue:

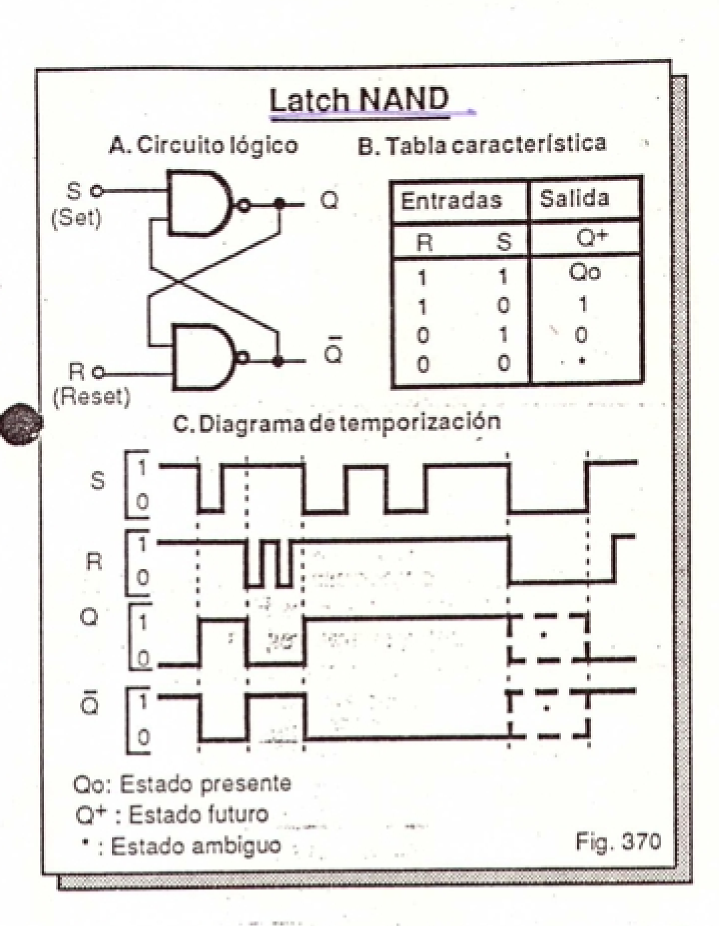


Fig. 370

Al aplicar un **bajo** a la entrada S (SET), la salida $\overline{Q}$ se hace **alta** y la salida Q se hace **baja**. Por tanto, la condición SR=**01** (S=**0**, R=**1**), nos permite almacenar o grabar un **alto** ó **1** lógico en la salida Q.

Al aplicar un **bajo** a la entrada R (RESET), la salida Q se hace **baja** y la salida $\overline{Q}$ se hace **alta**. Por tanto, la condición RS=**01** (R=**0**, S=**1**) nos permite almacenar o grabar un **bajo ó 0** en la salida Q.

Al aplicar un **alto** a ambas entradas, el estado previo de las salidas Q y $\overline{Q}$ no cambia. Por tanto, la condición RS=**11** (R=**1**, S=**1**) nos permite capturar el *bit* previamente grabado y almacenarlo en el *latch*

Al aplicar simultáneamente un **bajo** a ambas entradas, el estado final de las salidas Q y $\overline{Q}$ es impredecible, ambiguo. Por esta razón, la condición SR =**00** (S=**0**, R=**0**) no es permitida en el *latch* NAND y debe evitarse.

Latch NOR

En la figura 371 se muestran el circuito lógico, la tabla característica y el diagrama de temporización de un *latch* NOR. Se supone que las entradas R y S están normalmente en **bajo** o **0** lógico. El estado inicial de las salidas Q y $\overline{Q}$ es intranscendente. Las entradas R y S son activas en **alto**. La operación de este circuito es como sigue:

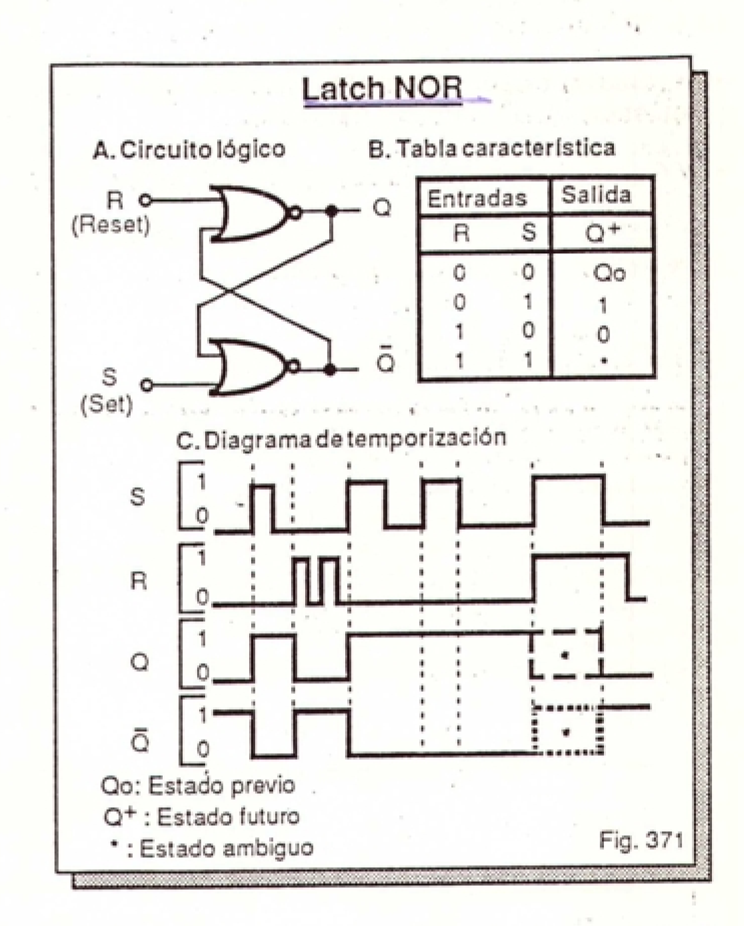


Fig. 371

Al aplicar un **alto** a la entrada S (SET), la salida Q se hace **alta** y la salida $\overline{Q}$ se hace **baja**. Por tanto, la condición SR=**10** (S=**1**, R=**0**) nos permite almacenar o grabar un **alto** ó **1** lógico en la salida Q.

Al aplicar un **alto** a la entrada R (RESET), la salida Q se hace **baja** y la salida $\overline{Q}$ se hace **alta**. Por tanto, la condición RS=**10** (R=**1**, S=**0**) nos permite almacenar o grabar un **bajo** ó **0** en la salida Q.

Al aplicar un **bajo** a ambas entradas, el estado previo de las salidas Q y $\overline{Q}$ no cambia. Por tanto, la condición RS=**00** (R=**0**, S=**0**) nos permite atrapar el *bit* previamente grabado y guardarlo en el *latch*.

Al aplicar simultáneamente un **alto** a ambas entradas, el estado final de las salidas Q y $\overline{Q}$ es indeterminado, ambiguo. Por esta razón, la condición SR =**11** (S=**1**, R=**1**) es inadmisible en el *latch* NOR y debe evitarse.

EXPERIMENTO Nº 21

Comprobación de la operación de un cerrojo biestable

Objetivos

- Analizar un cerrojo biestable construido con compuertas NAND TTL de dos entradas.
- Comprobar la tabla característica del *latch* NAND.
- Identificar experimentalmente cada uno de los estados *(set y reset)* del *latch* NAND.

Materiales y herramientas necesarios

1 Circuito integrado 7400 ó 74LS00 (4 compuertas NAND TTL de dos entradas). **IC1**.
1 Resistencia de 1 K. **R1**.
4 Monitores lógicos (módulo EDM-1). **D1-D4**.
2 Interruptores lógicos (módulo EDM-2). **S1, S2**.
1 Fuente regulada de 5 V/ 1A (*kit* CEKIT K11 ó similar) con conectores. **Vcc**.
1 *Protoboard*.
Puentes de alambre telefónico #22 ó #24.

Descripción del circuito de prueba

En la figura E36 se muestra el circuito que vamos a utilizar en este experimento para comprobar la operación de un *latch* NAND. Este último está formado por las compuertas A y B de IC1 (7400). Los interruptores lógico S1 y S2 del módulo 2 determinan, en su orden, el estado de las entradas S (SET) y R (RESET) del flip-flop.

Los monitores lógicos D1 a D4 del módulo 1 visualizan, respectivamente, el estado de las entradas S y R y de las salidas Q y $\overline{Q}$. Un monitor encendido revela la presencia de un nivel **alto** (H) o **1** lógico en el punto de prueba y un monitor apagado la presencia de un nivel **bajo** (L) ó **0** lógico.

Asegúrese de que el módulo 1 tenga las resistencias de entrada conectadas al positivo de la fuente (ver página 192). Observe que la alimentación del módulo 2 (pin #1) se suministra a través de una resistencia de 1 KΩ. Esto se hace para proteger las entradas del circuito integrado 7400 de transientes o picos de voltaje (ver lección 8, página 95).

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E36. Inserte cuidadosamente el circuito integrado 7400 (IC1) y los módulos EDM-1 (monitores D1-D4) y EDM-2 (interruptores S1 y S2). Al ter-

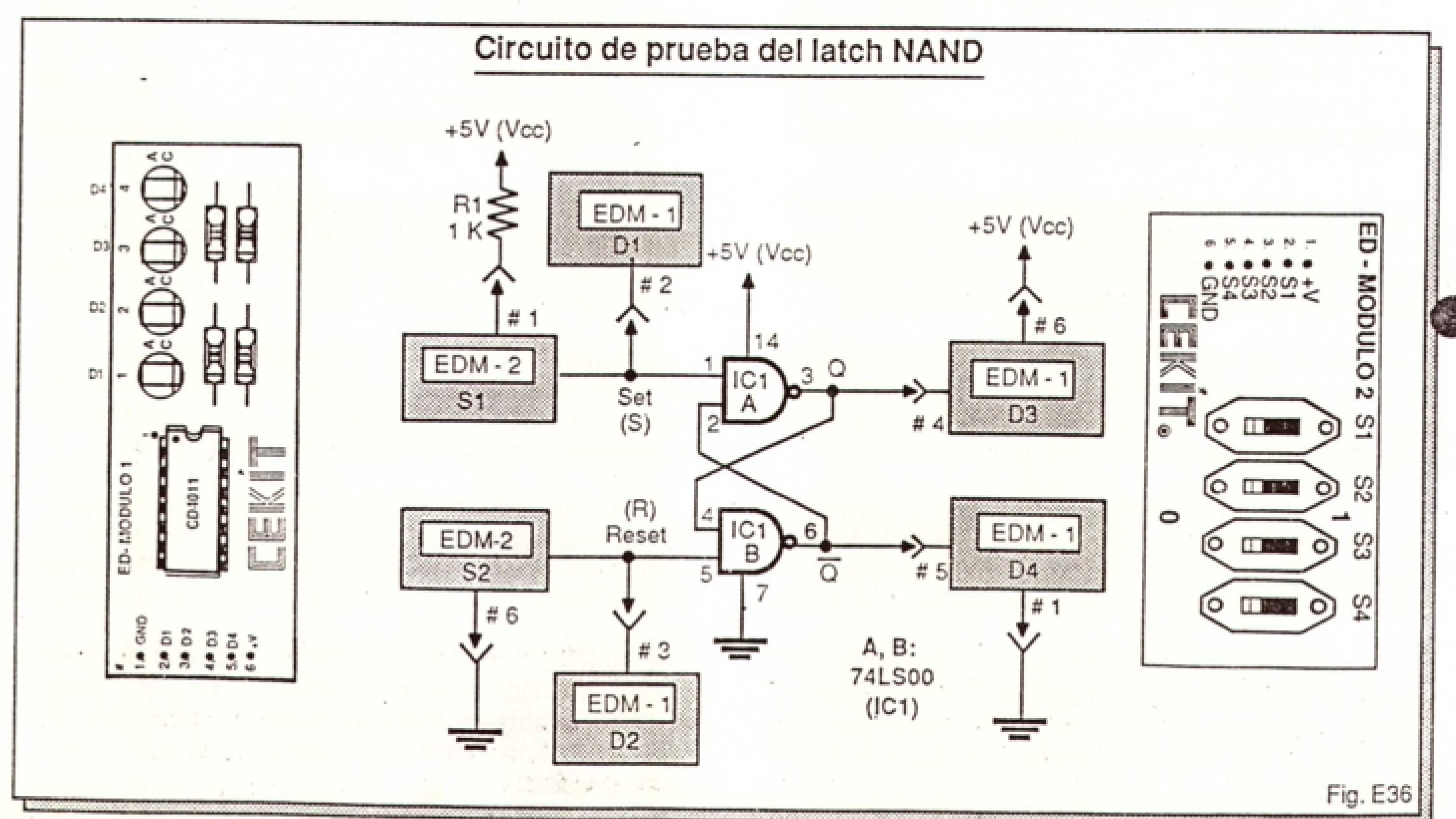


Fig. E36

minar el montaje, sitúe S1 y S2 en la posición 1. De este modo, las entradas R y S del *latch* recibirán un nivel **alto**.

Antes de conectar la fuente de alimentación, asegúrese de que todas las conexiones estén correctas. Busque, especialmente, puentes faltantes, en cortocircuito o extraviados.

Paso 2. Encienda la fuente de alimentación y observe el estado inicial de los monitores D1 a D4. Notará que D1 y D2 se iluminan, indicando que las entradas S (SET) y R (RESET) están en **alto**. Esto sucede porque S1 y S2 están en la posición "**1**".

Del mismo modo, notará que D3 y D4 tienen estados opuestos, es decir, si D3 está iluminado, entonces D4 está apagado o viceversa. Esto sucede porque, en el momento de encender la fuente, las salidas Q y $\overline{Q}$ pueden adoptar cualquier valor, pero serán siempre complementarias.

Paso 3. Aplique un nivel **bajo** a la entrada SET del *latch* pasando el interruptor S1 de la posición "**1**" a la posición "**0**" y luego retornándolo a la posición "**1**". Observe lo que sucede en los monitores D3 y D4. Notará que D3 se ilumina y D4 se apaga.

Esto sucede porque la condición SET (S=0, R=1) impone un **1** en la salida Q y un **0** en la salida $\overline{Q}$. Estos estados quedan almacenados en el *latch* cuando las entradas retornan a sus estados originales (S=1, R=1). Registre sus resultados en la tabla característica de la figura E37.

Tabla característica

Entradas		Salida
S	R	Q+
0	0	
0	1	
1	0	
1	1	

1 : Nivel alto (H)

0 : Nivel bajo (L)

Q+ : Estado resultante o futuro de la salida

Fig. E37

Paso 4. Aplique un nivel **bajo** a la entrada RESET del *latch*, pasando el interruptor S2 de la posición "1" a la posición "0" y luego retornándolo a la posición "1". Observe lo que sucede en los monitores D3 y D4. Notará que D3 se apaga y D4 se ilumina.

Esto sucede porque la condición RESET (S=1, R=0) impone un **0** en la salida Q y un **1** en la salida $\overline{Q}$. Estos estados quedan almacenados en el *latch* cuando las entradas retornan a sus estados originales (S=1, R=1). Registre sus resultados en la tabla característica de la figura E37.

Paso 5. Aplique al mismo tiempo un nivel **bajo** a las entradas SET y RESET pasando los interruptores S1 y S2 a la posición "0" y luego retórnelos a la posición "1". Repita esta prueba varias veces. Observe lo que sucede en los monitores D3 y D4. Notará que los estados de D3 y D4 son ambiguos, es decir, se puede iluminar D3 ó D4 ó, incluso ambos.

Esto sucede porque la condición S=0, R=0 impone un estado ambiguo, indeterminado, en las salidas Q y $\overline{Q}$ del *latch*. Esta es la razón por la cual tal combinación de entradas debe impedirse cuando un *latch* NAND se utiliza en un sistema digital. Registre sus resultados en la tabla de la figura E37.

***

Los latches como eliminadores de rebote

El *latch* biestable es muy útil en una gran variedad de aplicaciones. Sin duda, su uso más extendido en todo tipo de aplicaciones digitales es como eliminador de rebote (*debouncer*) de teclas, pulsadores y otros interruptores electromecánicos utilizados como dispositivos de entrada de datos en los sistemas digitales.

El rebote es un fenómeno consistente en la generación de pulsos de ruido por parte de un interruptor cuando sus contactos se abren o se cierran. Estos pulsos (*ruido lógico*) causan falsos estados lógicos y, por tanto, errores en la respuesta de los circuitos digitales hacia los cuales va dirigida la información del interruptor. En la figura 372 se ilustra lo que sucede.

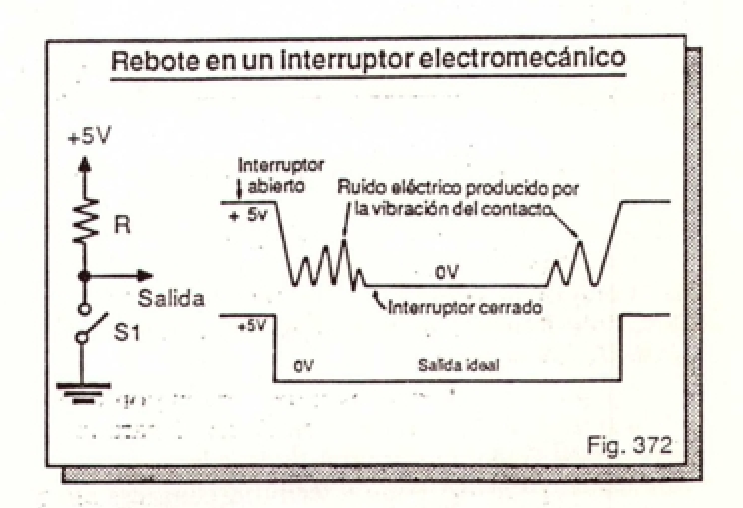


Fig. 372

En condiciones normales, la salida del circuito es de nivel lógico **alto** (+5V) cuando el interruptor está abierto y de nivel **bajo** (0V) cuando está cerrado.

Sin embargo, durante las transiciones de un estado al otro, las laminillas o contactos metálicos del interruptor vibran, rebotando varias veces antes de unirse o separarse definitivamente.

La situación se acentúa si los contactos no están limpios, es decir, tienen rastros de polvo, grasa, óxido, o cualquier otro agente extraño que impida una conmutación nítida. Como resultado del rebote, se generan múltiples pulsos o picos de ruido, los cuales deben *enmascararse*, es decir, evitar que sean vistos por el circuito de utilización.

Una solución sencilla al problema del rebote es utilizar un *latch*. En la figura 373 se muestra un circuito típico de anti-rebote para interruptor spdt (un polo, dos posiciones) con *latch* NAND. Al situar el interruptor en la posición "H", las entradas S y R reciben un nivel **bajo** (0) y un nivel **alto** (1), respectivamente. En consecuencia, la salida Q es un nivel alto (1).

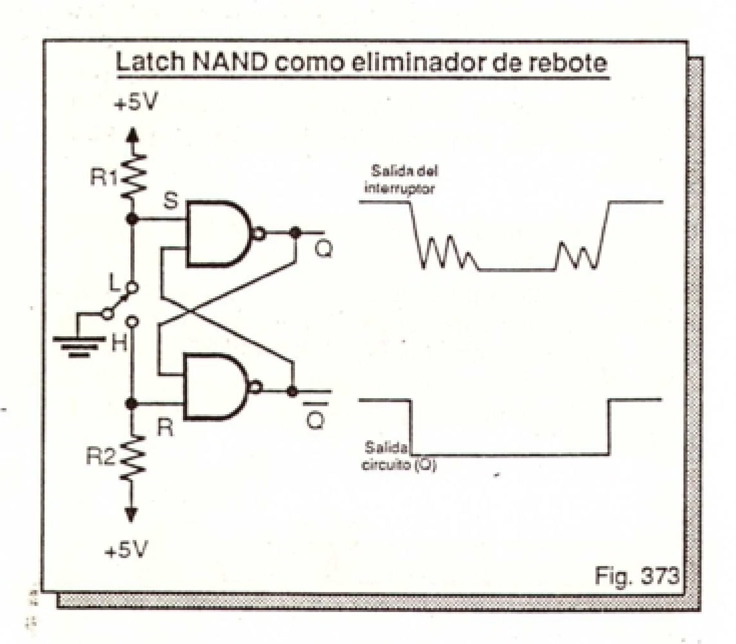


Fig. 373

Durante el período de rebote, la entrada R permanece en **1** mientras la entrada S fluctúa aleatoriamente entre **0** y **1**, hasta que se estabiliza finalmente en **0**. Esta situación, sin embargo, no afecta el estado previo de la salida Q (**1**) porque los **1**'s del rebote provocan que el *latch* capture el dato previo (**1**) y los **0**'s lo confirman.

En la figura 374 se muestra la versión con compuertas NOR de un eliminador de rebote para interruptor spst. Observe que el terminal central está conectado al positivo de la fuente, es decir, tiene aplicado un nivel **alto** permanente. Esto debe ser así porque las entradas de un *latch* NOR son activas en alto, en contraste con las de un *latch* NAND, que son activas en **bajo**.

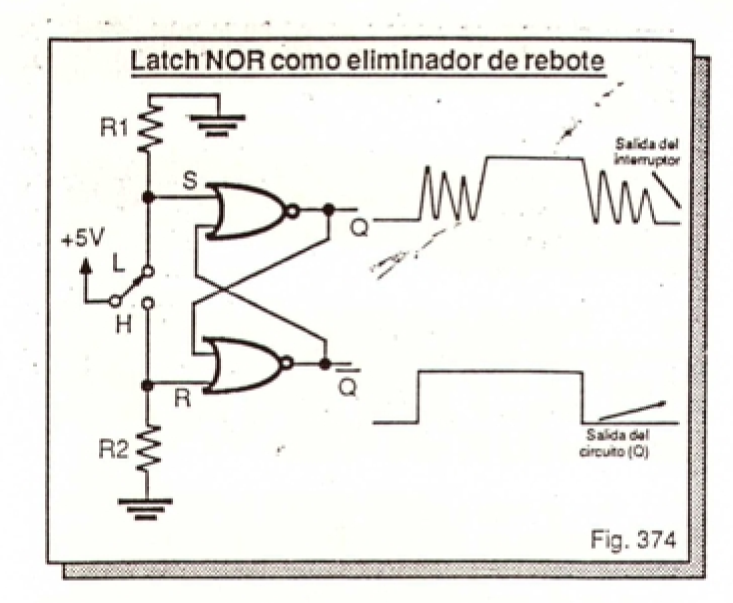


Fig. 374

Los latches como generadores de pulsos de arranque y parada (on/off)

Los *latches*, en general, se utilizan como celdas de memoria de un *bit* para retener información binaria procedente de sensores, microinterruptores y otros elementos digitales biestables que entregan señales temporales. Para comprender mejor este concepto, consideremos el siguiente ejemplo.

Suponga que se pretende generar las señales de arranque y de parada de una máquina o de un sistema con interruptores tipo *pushbutton* (pulsadores) normalmente abiertos. Estos dispositivos se cierran cuando se pulsan y retornan a su estado normal (abierto) cuando se liberan. Por tanto, necesitan de un elemento de memorización que retenga su efecto.

En la figura 375 se muestra la forma de utilizar un *latch* biestable para memorizar o almacenar el estado de los pulsadores de arranque (START) y de parada (STOP). La salida Q del *latch* satura o corta la base del transistor Q1, energizando o desenergizando la bobina del relé RL1. Los contactos del relé manejan la carga, representada, en este caso, por un motor de CA de baja potencia, por ejemplo, de 0.18 KVA (≈ 0.25 HP).

Para comprender mejor la acción de control del *latch*, asumamos que, inicialmente, la salida Q es de nivel **bajo**. Cuando se presiona el botón START, la entrada S recibe un **bajo**, la salida Q se hace **alta**, el transistor se satura, circula una corriente por la bobina del relé y sus contactos se cierran. Por tanto, el motor queda conectado a la red de 110 V.

Al liberar el botón START, esta situación se mantiene, es decir, la orden de arranque queda memorizada en la circuitería del *latch*. Si se pulsa el botón STOP y luego se libera, la salida Q se hace **baja** y el relé desconecta el motor de la red. En conclusión, el

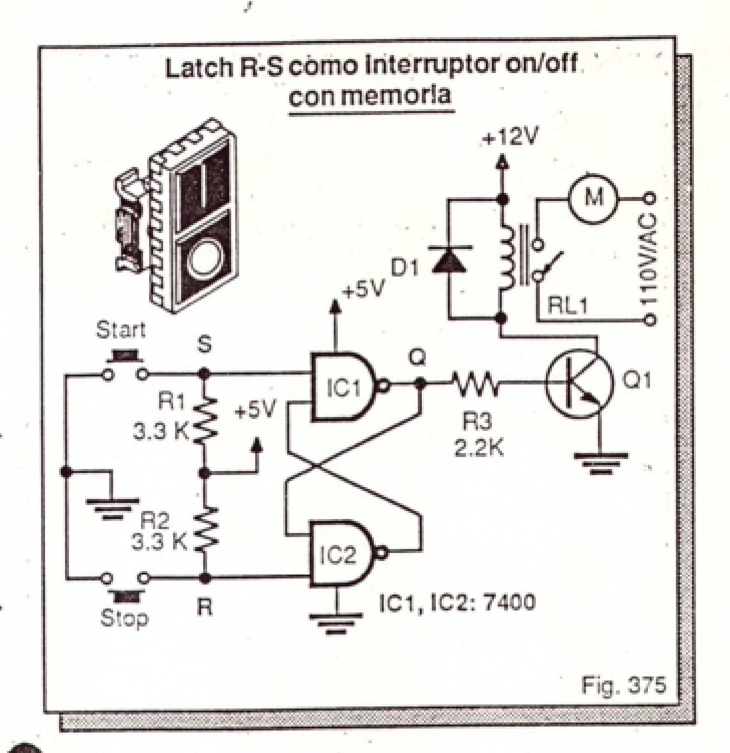


Fig. 375

latch permanece "recordando" la acción del último de los pulsadores.

Cerrojos biestables integrados

Los cerrojos biestables se realizan, en la mayoría de los casos, utilizando compuertas NAND o NOR discretas. Sin embargo, existen algunos *chips* TTL y CMOS que incorporan, en una misma cápsula, varios de estos dispositivos y ofrecen características auxiliares, por ejemplo, salidas *tri-state*.

En las siguientes secciones describiremos los circuitos integrados **74LS279**, **4043B** y **4044B**, que son los más representativos. Todos incluyen cuatro *latches* biestables de un *bit* independientes dentro de una misma cápsula, y son especialmente adecuados como eliminadores de rebote.

Circuito integrado 74LS279

El 74LS279 (figura 376) es un dispositivo TTL que incorpora, en una misma cápsula DIP de 16 pines, 4 cerrojos biestables NAND completamente independientes. Todas las entradas son activas en **bajo**. Observe que los *latches* A y C tienen una entrada S (SET) adicional. En todos los casos, sólo una salida (Q) es accesible.

Un **bajo** en cualquier entrada S (S1 ó S2), con la entrada R **alta**, produce el almacenamiento de un nivel **alto** en la salida Q mientras que un **bajo** en la entrada R, con las entradas S **altas**, produce el almacenamiento de un nivel **bajo**. La transición de las entradas R y S de **alto** a **bajo** causa que la salida Q sea indeterminada.

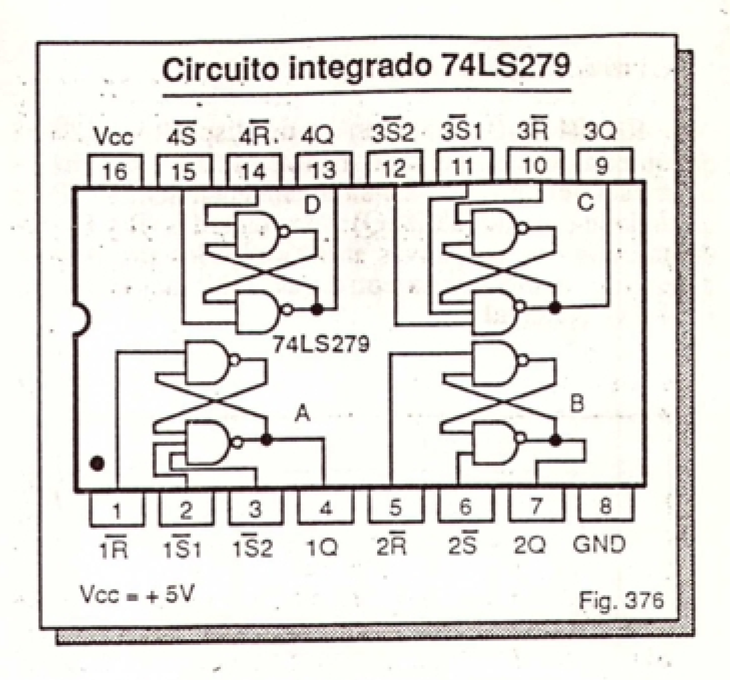


Fig. 376

Circuito integrado 4043B

El **4043B** (figura 377) es un dispositivo CMOS que incorpora, en una misma cápsula, 4 cerrojos biestables NOR *tri-state* independientes. Cada *latch* tiene una salida (Q) y dos entradas (R y S). Estas últimas son activas en **alto**. Todos los *flip-flop* comparten una línea común de habilitación (E, pin 5), activa en **alto**.

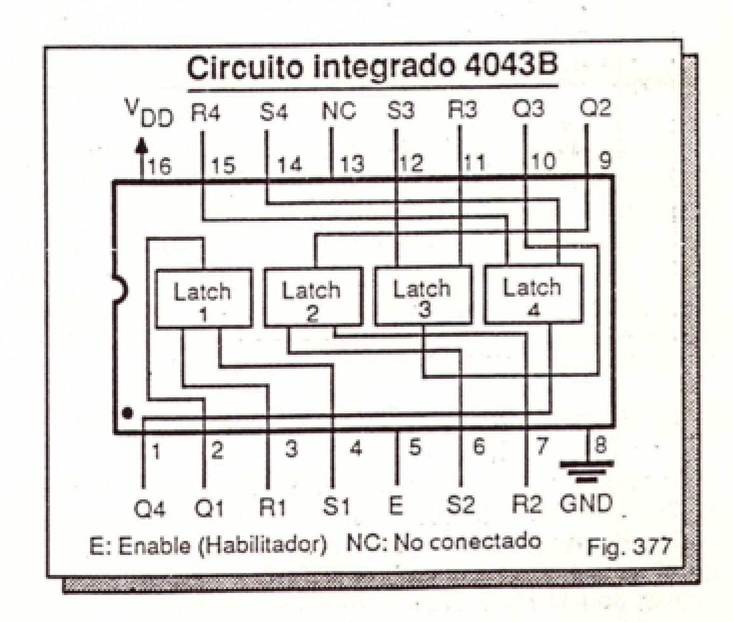


Fig. 377

Cuando **E=1**, los *flip-flop* operan normalmente. Cuando **E=0**, las salidas adoptan el estado de alta impedancia (Hi-Z), es decir, se comportan como circuitos abiertos. Un **alto** en la entrada S o R, con la otra entrada **baja**, causa el almacenamiento de un nivel **alto** o **bajo** en la salida Q. Si S y R son **altas**, la salida se hace **alta** pero su estado final lo determina la última entrada que se haga **baja**.

El circuito integrado 4044B

El **4044B** (figura 378) es un dispositivo CMOS que incorpora, en una misma cápsula, 4 cerrojos biestables NAND *tri-state* independientes. Cada *latch* tiene una salida (Q) y dos entradas (R y S). Estas últimas son activas en **bajo**. Todos los *flip-flop* comparten una línea común de habilitación (E, pin 5), activa en **alto**.

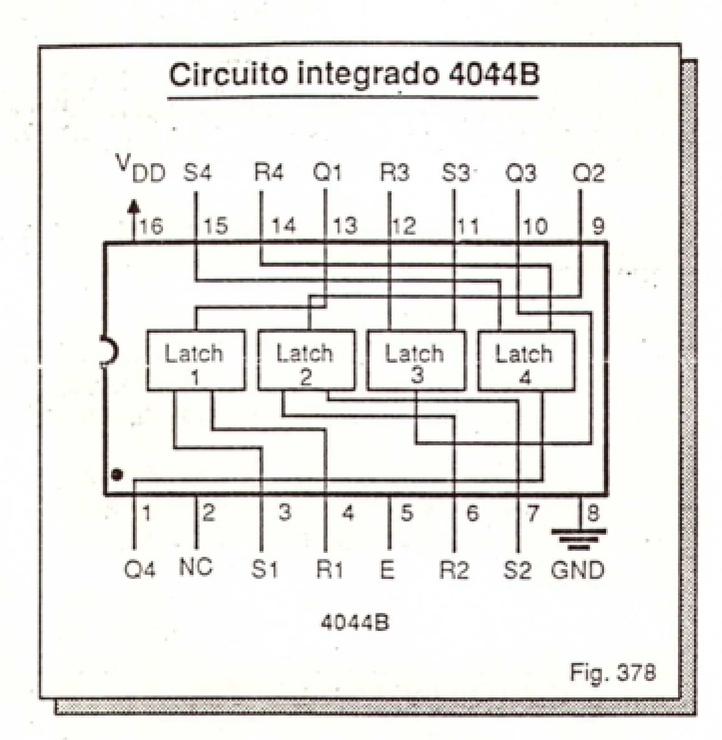


Fig. 378

Cuando **E=1**, los *flip-flop* operan normalmente. Cuando **E=0**, las salidas adoptan el estado de alta impedancia (Hi-Z), es decir, se comportan como circuitos abiertos. Un **bajo** en la entrada S o R, con la otra entrada **alta**, causa el almacenamiento de un nivel **alto** o **bajo** en la salida Q. Si S y R son **bajas**, la salida se hace **baja** pero su estado final lo determina la última entrada que se haga **alta**.

CIRCUITOS DE APLICACION

Se describen a continuación algunos circuitos de aplicación que utilizan cerrojos biestables o *latches* como eliminadores de ruido o memorias de un *bit* en sistemas digitales. La mayoría de estos circuitos nos son familiares, puesto que han sido utilizados en algunos de los proyectos centrales de este curso.

Entre los proyectos presentados figuran varios esquemas de eliminadores de rebote (*debouncers*) de interruptores, un *latch* de metrónomo digital y un eliminador de ruido para tacómetro. Con estos circuitos, comenzaremos también a familiarizarnos con el análisis de sistemas digitales representados por diagramas de bloques.

Eliminadores de rebote (debouncers)

En la figura 379 se muestra el circuito de un eliminador de rebote para interruptor spst (un polo, una posición) que utiliza un *latch* TTL formado por tres compuertas NAND 7400 (A-C). La salida Q es de nivel **bajo** cuando el interruptor S2 está abierto y de nivel **alto** cuando está cerrado. La salida $\overline{Q}$ opera en forma opuesta.

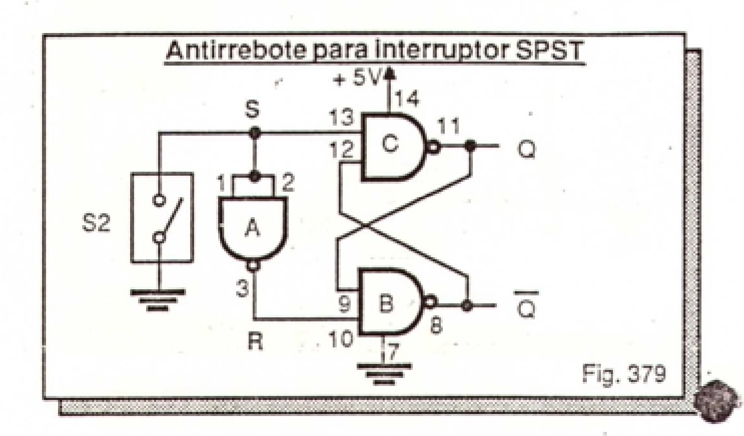


Fig. 379

La compuerta A, en particular, conectada como inversor, garantiza que las entradas R y S del latch no sean **altas** al mismo tiempo, una situación que, como sabemos, provoca una salida ambigua y, por tanto debe evitarse. Cuando *S2* está abierto, la entrada *S* recibe un **alto** y la entrada R un **bajo**. Cuando *S2* está cerrado, esta situación se invierte.

Esta configuración antirrebotes es la empleada en el temporizador programable descrito en el proyecto central Nº 10 de este curso. En este sistema, *S2* está normalmente abierto durante la fase de programación del tiempo y se cierra para habilitar la temporización. El circuito es también válido para pulsadores NA ó NC.

En la figura 380 se muestra el circuito de un eliminador de rebote para interruptor spdt (un polo, dos posiciones) que utiliza un *latch* CMOS, formado por dos compuertas NAND **4011B**. La salida Q es de nivel **alto** cuando S1 está en la posición H y de nivel **bajo** cuando está en la posición L.

La salida $\overline{Q}$ opera en forma contraria. Las resistencias R1 y R2 son de protección. Con ligeras modificaciones en la tarjeta EDM-2, este circuito se puede adaptar fácilmente a los interruptores lógicos del módulo 2, construido entre las actividades prácticas Nº 8 y Nº 12.

En la figura 381 se muestran los circuitos de los dos pulsadores lógicos (S5 y *S6*) del entrenador digital CEKIT descrito en el proyecto central Nº 3. El *latch* TTL, formado por las compuertas NAND

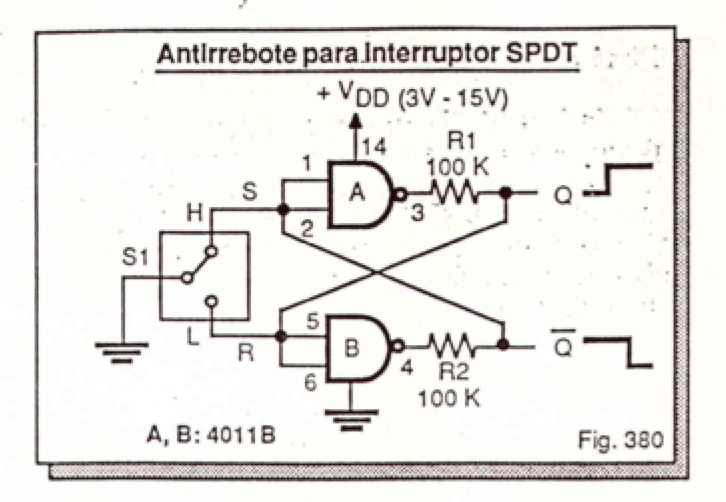


Fig. 380

7400, actúa como eliminador de rebote. Los datos entre paréntesis corresponden al pulsador S6. Limitaremos la explicación al pulsador S5.

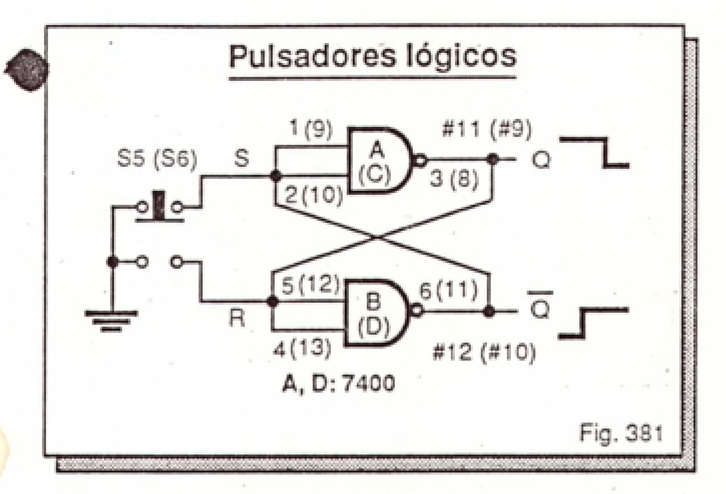


Fig. 381

La salida Q (pin #11 de la base de salida) es normalmente **alta** y se hace **baja** cuando se pulsa el botón S5. La salida Q (pin #12) opera en forma contraria. Cuando se libera S5, las salidas retornan a sus estados originales. El pulsador S6 opera en forma exactamente igual. Recuerde que una entrada TTL al aire se interpreta como un **alto**.

Latch de metrónomo de péndulo

En la figura 382 se muestra el diagrama de bloques simplificado del metrónomo digital CEKIT descrito en el proyecto central Nº 6. Este circuito utiliza un *latch* NAND como celda de memoria de un *bit* para controlar la secuencia de encendido de diez LED (D1 a D10) que simulan el movimiento del brazo oscilante de un péndulo.

Cuando se conecta la fuente de alimentación, la línea SET envía un **bajo** a la entrada S del *latch*, formado por las compuertas NAND B y C de un CI **4011B** (IC5). Por tanto, la salida Q aplica un **alto**

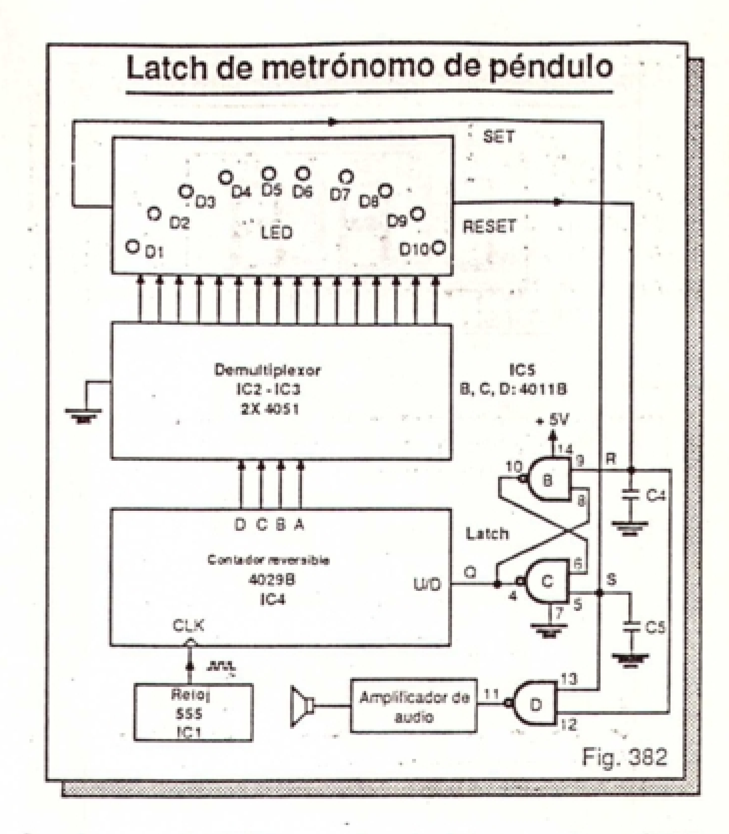


Fig. 382

a la entrada U/D (*up/down*) del contador **4029B** (IC4), obligándolo a contar los pulsos procedentes del reloj **555** (IC1) en forma ascendente (*up*).

Como resultado, el demultiplexor, formado por dos CI **4051B** (IC2-IC3), energiza secuencialmente los LED en sentido directo, desde D1 hasta D10. Cuando se energiza el último LED (D10), la línea RESET envía un **bajo** a la entrada R del latch. Por tanto, la salida Q aplica un **bajo** a la entrada U/D del contador, obligándolo a contar los pulsos del reloj en forma descendente (*down*).

En consecuencia, el demultiplexor energiza secuencialmente los LED en sentido inverso, desde D10 hasta D1. Cuando se energiza el primer LED (D1), la línea SET envía un **bajo** a la línea S y se repite, otra vez, el mismo proceso.

Cada vez que se activa una de las líneas SET o RESET, la compuerta D envía un pulso positivo al amplificador, el cual se reproduce en el parlante como un golpe seco, generándose el *click* de acompañamiento característico de los metrónomos. Para más información sobre este circuito, remitimos al lector al proyecto central Nº 6 de este curso.

Eliminador de ruido para tacómetro digital

En la figura 383 se muestra el diagrama de bloques simplificado del tacómetro digital descrito en el proyecto central Nº 13 de este curso. El circuito utiliza un *latch* como eliminador de ruido de los *pulsos* procedentes de los platinos. Estos pulsos se uti-

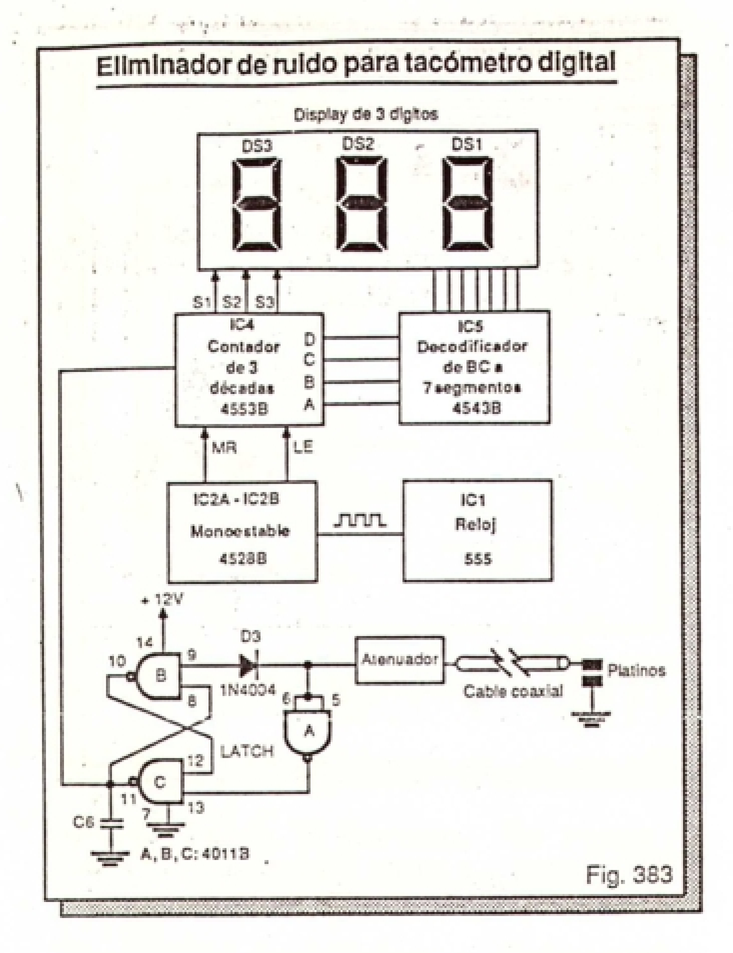


Fig. 383

utilizan como referencia para determinar las RPM (revoluciones por minuto) del motor.

Los contactos de los platinos de un automóvil de encendido convencional conectan y desconectan la corriente primaria de la bobina de alto voltaje a una frecuencia proporcional a las RPM del motor. Los pulsos producidos pueden alcanzar amplitudes hasta de 200V a 300 V. Por tanto, deben atenuarse a un nivel suficiente para que sean compatibles con los niveles de voltaje manejados en los circuitos digitales.

El *latch* garantiza que los pulsos aplicados al contador 4553B (IC4) sean perfectamente cuadrados, sin ruido, y su frecuencia corresponda con la de los platinos. El *latch* ignora los rebotes originados en los contactos de los platinos cuando estos se abren o se cierran y sólo tiene en cuenta la apertura y el cierre principales.

Si no se utilizara el *latch*, la lectura de las RPM en los *displays* no sería confiable porque cada pulso de ruido sería también registrado por el contador. Este último no puede, por sí mismo, distinguir entre un pulso de ruido y un pulso originado por la apertura y cierre de los platinos.

El reloj **555** (IC1) y los monoestables **4528** (IC2) configuran un circuito *base de tiempo* cuyo propósito es permitir calibrar la lectura en los *displays* de modo que la cantidad de pulsos registrados por IC4 durante un determinado período de tiempo corresponda exactamente con las RPM del motor.

El decodificador **4543B** (IC5), junto con las líneas de control S1-S3 del contador, maneja el *display* de tres dígitos. Para una mayor información sobre la operación de este sistema, remitimos al lector al proyecto central Nº 13 de este curso.

Latch de múltiples entradas

Existen situaciones donde se desea memorizar la acción transitoria de, por lo menos, una de varias señales, para activar o desactivar permanentemente un dispositivo eléctrico. En muchos casos, un *latch* biestable ofrece una solución muy conveniente a este tipo de necesidades

Por ejemplo, suponga que una máquina debe activarse automáticamente cuando se detecte la acción momentánea de cualquiera de dos señales llamadas START y AUTO y desconectarse, también automáticamente, cuando se detecte la presencia de cualquiera de dos señales llamadas ALARM y ERROR

En este caso, un *latch*, implementado con compuertas **NOR** o **NAND** de tres entradas, es la solución adecuada (figura 384). En estos circuitos se han omitido las resistencias de las entradas porque se asume que las señales provienen de circuitos digitales compatibles y con niveles de actividad muy definidos.

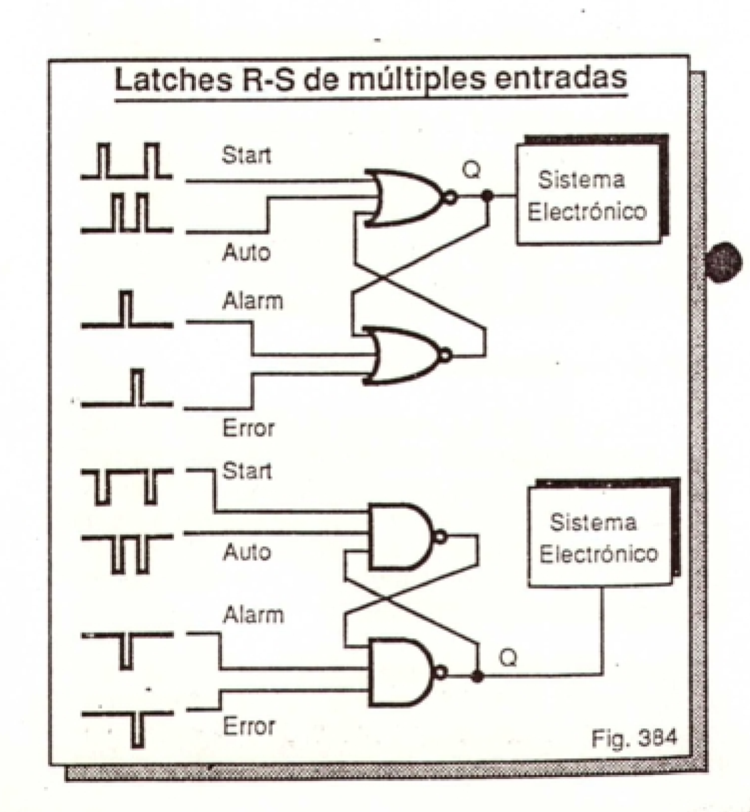


Fig. 384

Cerrojos biestables activados por flancos

La mayoría de las veces, es deseable que la acción de almacenar un **0** (RESET) o un **1** (SET) en un *latch* biestable se realice con el borde de subida o de bajada de una forma de onda. Esta opción de *disparo por flancos* nos permite comandar las entradas R y S con pulsos de cualquier longitud y minimiza la ocurrencia de estados prohibidos.

La operación por flancos se consigue acoplando la señal de disparo a las entradas R y S del *latch* a través de una resistencia y un condensador, tal como se muestra en la figura 385. Estas redes RC cumplen aquí la misma función *diferenciadora* que realizan en los detectores de flancos estudiados en la lección 15.

Los circuitos A y B responden a flancos de subida y los circuitos C y D a flancos de bajada. Los circuitos B y C requieren de inversores en las entradas con el fin de hacer compatibles los niveles de actividad de las entradas R y S del *latch* con los de las señales de disparo.

Recuerde que en un *latch* NAND, las entradas son activas en **bajo** y en un *latch* NOR lo son en **alto**. Si se permite que las entradas del *latch* NAND sean **bajas**, se producirá un estado ambiguo en las salidas. Lo mismo ocurrirá si se permite que las entradas del *latch* NOR sean **altas**.

Típicamente, R=22 KΩ y C=0.001 μF. Como regla general, se recomienda elegir el producto RC de modo que sea, por lo menos, 10 veces mayor que el tiempo de subida de la señal de disparo.

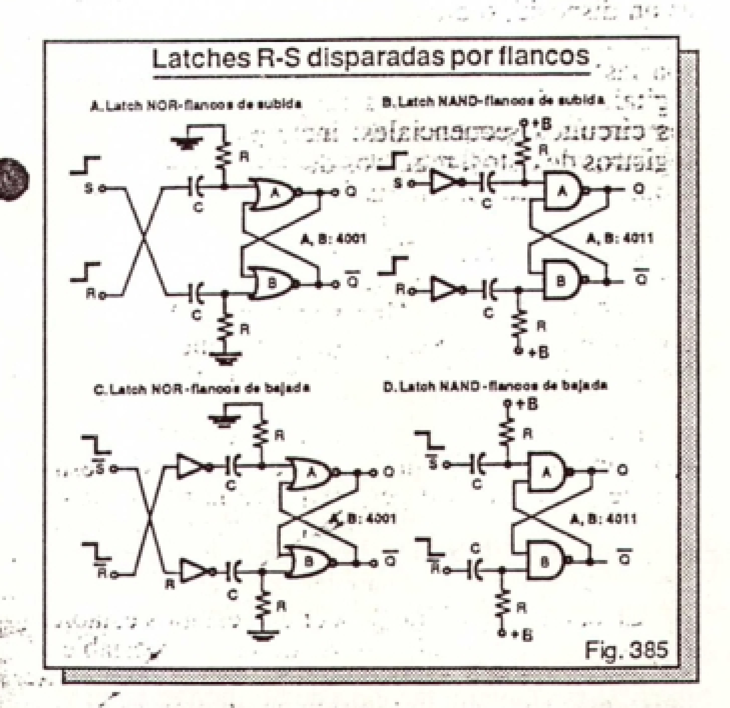


Fig. 385

ACTIVIDAD PRACTICA Nº 15

Construcción del módulo 3: Pulsador lógico sin rebote. Parte 3.

En esta actividad instalaremos en la tarjeta de circuito impreso del módulo 3 el pulsador S1 y el condensador C1. La función de S1 es permitir el control manual del estado de las salidas (Q y $\overline{Q}$) del circuito. Normalmente, Q es **baja** y $\overline{Q}$ es **alta**. Cuando se pulsa S1, el estado de estas salidas se invierte. C1 actúa como un filtro previo de ruido.

Componentes y herramientas necesarios

1 pulsador miniatura NA. S1.
1 condensador cerámico de 0.1 μF (104). C1.
1 circuito impreso CEKIT EDM-3.
Herramientas: pinzas, cortafríos, cautín, soldadura.

Procedimiento

Identifique el pulsador S1 e instálelo en los agujeros correspondientes de la tarjeta EDM-3, frente a la base de 14 pines, como se muestra en la figura A23(a). A continuación, identifique el condensador cerámico de 0.1 μF (C1) e instálelo en la posición que le corresponde, frente al pulsador S1, como se muestra en la figura A23(b). Después de soldar, elimine el alambre sobrante.

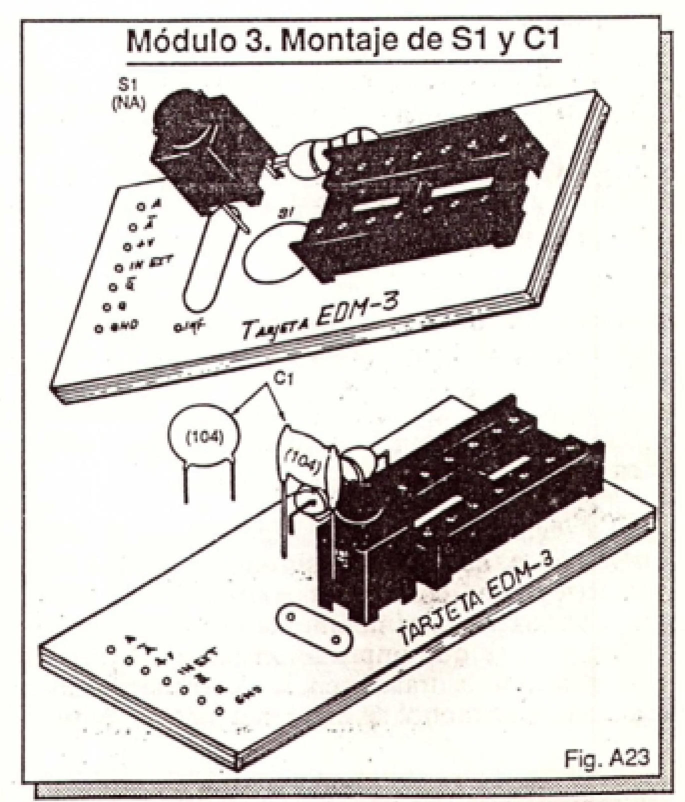


Fig. A23

Multivibradores biestables (flip-flops)

Introducción

En la lección 19 analizamos en detalle el *latch* biestable o *flip-flop* R-S asincrónico y sus versiones NAND y NOR. Continuando nuestro recorrido por el mundo de la lógica secuencial, en esta lección iniciaremos el estudio formal de los *flip-flops*, los elementos básicos de memoria de los sistemas digitales.

Los dispositivos dotados de memoria como los *flip-flops* nos permiten almacenar información digital para usarla más tarde. Los computadores personales, por ejemplo, emplean miles de millones de *flip-flops* para guardar y procesar información de todo tipo en forma de **1**'s y **0**'s.

Como se estableció anteriormente, los *flip-flops* propiamente dichos son dispositivos biestables *sincrónicos*, es decir, las salidas no cambian inmediatamente se registra un cambio en sus entradas, sino un tiempo después, fijado por una señal de reloj. Unicamente entonces se manifiestan los cambios en la salida.

La *lógica sincrónica* de los *flip-flops* se utiliza, virtualmente, en todos los sistemas digitales avanzados (registros, contadores, memorias, etc.) y presenta varias ventajas notables. La primera, y más importante, es que imprime un orden al proceso, puesto que toda transferencia de información se realiza bajo el control de una señal maestra de reloj.

De este modo, se evitan una serie de problemas como oscilaciones parásitas, condiciones de carrera, sensibilidad al ruido, estados ambiguos y otros, que son típicos de los sistemas asincrónicos. Estas situaciones las trataremos más adelante.

Los *flip-flops*, como la mayoría de dispositivos lógicos sincrónicos, responden a uno de los flancos de la señal de reloj. Esta característica elimina la necesidad de recurrir a resistencias y condensadores para detectar el flanco de subida o de bajada de una señal lógica, como sí debe hacerse cuando se utilizan *flip-flops* R-S asincrónicos (ver figura 385).

En esta lección compararemos las características de los *flip-flops* asincrónicos y sincrónicos, estudiaremos los principales tipos de *flip-flops* y aprenderemos a utilizarlos eficientemente. En la próxima lección conoceremos las técnicas que se utilizan para diseñar circuitos secuenciales basados en estos dispositivos.

Los *flip-flops* son los bloques constructivos básicos de las memorias semiconductoras de lectura y escritura (RAM) y de toda una variada gama de circuitos y sistemas digitales como contadores, registros, microprocesadores, etc. Su conocimiento es básico para comprender a fondo el mundo de la electrónica digital y sus aplicaciones.

Qué es un flip-flop

En términos generales, un *flip-flop* o biestable es un dispositivo digital capaz de almacenar un **1** ó un **0**, es decir, un *bit* de información. Los *flip-flops* son las celdas básicas de memoria de los sistemas digitales y los elementos fundamentales de todos los circuitos secuenciales, incluyendo contadores, registros de datos, registros de desplazamiento, microprocesadores, memorias, etc.

La salida de un *flip-flop* tiene dos estados estables y cambia de un estado al otro cuando recibe una señal de control. Una vez retirada la señal de control, la salida del *flip-flop* retiene el estado inmediatamente adquirido, es decir, lo *memoriza*.

En este sentido, un *flip-flop* se diferencia de una compuerta. Esta última tiene también dos estados de salida (**1** ó **0**) pero requiere la retención de las señales de entrada para permanecer en un estado determinado. Es decir, no tiene memoria.

La característica de poseer dos estados estables diferencia también un *flip-flop* de un monoestable y de un astable. El primero siempre retorna a un esta-

do específico (su estado estable) mientras el segundo está cambiando permanentemente de estado (no tiene estado estable). Un *flip-flop*, en cambio, puede permanecer indefinidamente en cualquiera de sus dos estados estables.

La forma más simple de *flip-flop* es el *latch* biestable o *flip-flop* R-S asincrónico estudiado en la lección 19. En la siguiente sección analizaremos las desventajas de este dispositivo y la necesidad de evolucionar hacia la versión sincrónica del mismo. El *flip-flop* R-S sincrónico es la base de los *flip-flops* M/S (maestro-esclavo), T, D y J-K que conoceremos en esta lección.

Desventajas de los flip-flops asincrónicos

Como vimos en la lección 19, el *flip-flop* R-S asincrónico (*latch*) es adecuado para construir registros de datos, memorias, eliminadores de rebote y otros circuitos sencillos. Para aplicaciones más avanzadas, por ejemplo contadores de pulsos y registros de desplazamiento, los *flip-flops* asincrónicos no son apropiados por varias razones.

Entre estas últimas se destacan su susceptibilidad a las carreras lógicas *(races)*, su poca inmunidad al ruido y la posibilidad de provocar estados ambiguos. Estas circunstancias obligan al empleo de *flip-flops sincrónicos* en la mayoría de aplicaciones donde se requiere la función de memoria.

Las *carreras* son un problema muy frecuente que se presenta en circuitos lógicos con relés. Cuando varias señales lógicas ordenan el cierre simultáneo de varios relés, los más rápidos cierran primero sus contactos y los más lentos lo hacen un tiempo después. Durante este lapso, el circuito se descontrola y el resultado final es impredecible.

Un circuito digital construido exclusivamente con *latches* R-S (figura 386) está sujeto al mismo problema. La razón es muy sencilla: es imposible garantizar que todos los *flip-flops* de un sistema asincrónico tengan los mismos tiempos de propagación. Por tanto, si existen varias señales cambiando al mismo tiempo, la ocurrencia de una *carrera* y, por tanto, de una respuesta falsa, es inminente.

La situación planteada se soluciona si se logra *sincronizar* el cambio de todos los *flip-flops* con una señal que imponga un orden al proceso. Esta señal maestra se denomina *señal de reloj* y es la que gobierna la operación de cualquier sistema secuencial sincrónico.

Bajo el control de la señal de reloj, la salida del circuito no responde inmediatamente a los cambios en las condiciones de entrada sino que espera la llegada del próximo pulso de reloj. Sólo hasta entonces, el circuito emite una respuesta, basado en las condiciones de entrada existentes en ese instante.

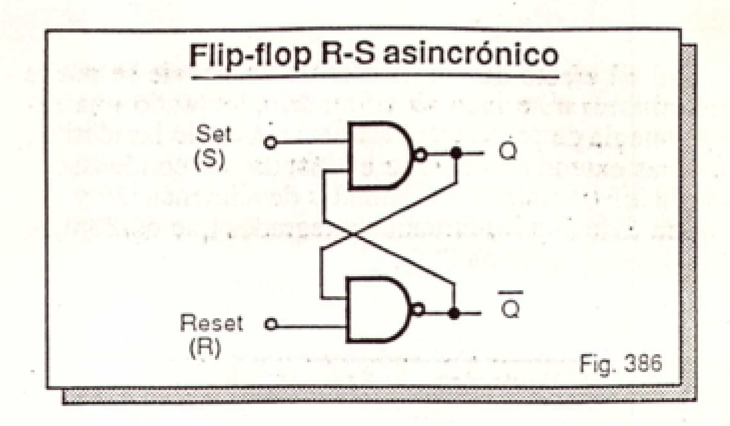


Fig. 386

De este modo se evita que los cambios de estado no previstos se propaguen sin control a través del circuito. En un sistema sincrónico, cada señal lógica se mueve de una etapa a la siguiente de una manera ordenada y todos los cambios se suceden a un mismo tiempo. La sincronización de las operaciones minimiza los riesgos de carreras lógicas, *glitches* y otros efectos indeseables.

Otra desventaja del *flip-flop* R-S asincrónico es su pobre inmunidad al *ruido*. La figura 387, por ejemplo, ilustra lo que puede suceder cuando en una de las señales de entrada (SET, en este caso) se induce un transiente de voltaje. Este pico de ruido provoca que la salida Q cambie erróneamente de estado, fuera del control de las señales S y R.

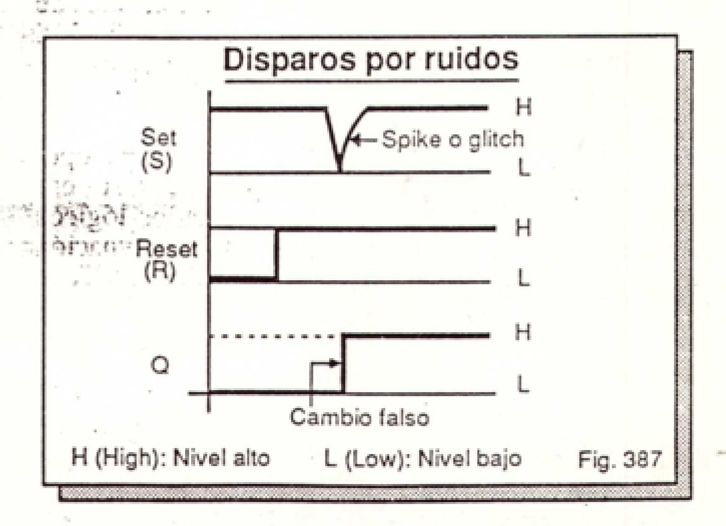


Fig. 387

Los transientes o picos de voltaje (*spikes*) se inducen con mucha frecuencia en los circuitos digitales como resultado de descargas eléctricas, encendido de motores, transformadores y otras cargas de tipo inductivo e, incluso, de cambios de estado producidos dentro del mismo sistema, como sucede con ciertos circuitos de reloj construidos alrededor del circuito integrado 555.

El efecto de los transientes de voltaje se puede minimizar, e incluso eliminar, adoptando una estrategia de protección adecuada. Una de las tácticas más extendida consiste en instalar un condensador de 0.1 μF entre los terminales de alimentación y tierra de todos los circuitos integrados que conforman el sistema (figura 388).

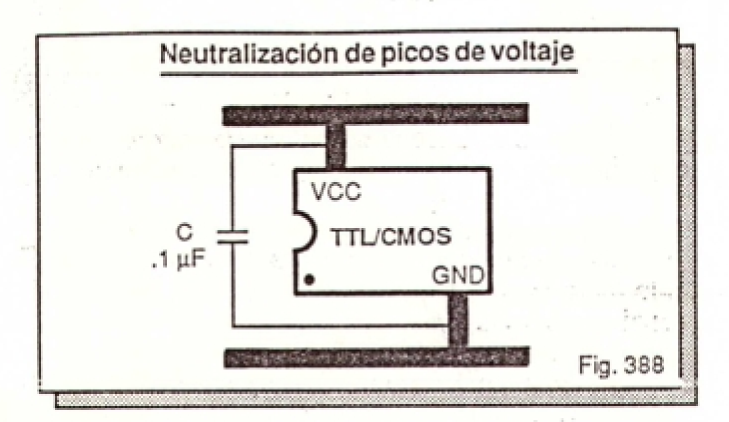


Fig. 388

Este condensador (C) se comporta como un cortocircuito ante los cambios bruscos de voltaje (transientes) y evita, así, que los picos de ruido generados se propaguen, a través de la fuente de alimentación, a lo largo del sistema.

Otra forma de reducir el efecto de los transientes de voltaje consiste en utilizar biestables R-S sincronizados con un pulso de reloj general. De esta manera, solamente cuando la señal de reloj exista, se producirá el cambio. De lo contrario, los estados de las salidas permanecerán en sus niveles originales, indiferentes a los cambios de nivel, transitorios o no, de las entradas.

Finalmente, el *flip-flop* R-S no permite una operación correcta y definida cuando se aplica a sus entradas R y S una combinación de estados lógicos prohibida. Para el **latch** NAND, esta combinación no permitida es R=**0** y S=**0** y para el *latch* NOR es R=**1** y S=**1**. Cuando esto sucede, el estado de la salida es ambiguo e impredecible.

La situación anterior se soluciona utilizando biestables más avanzados como, por ejemplo, los *flip-flops* maestro-esclavo (*master-slave* o MS) y otros que estudiaremos en detalle a lo largo de esta lección.

Tipos de flip-flops sincrónicos

Existen varios tipos de *flip-flops*, tanto sincrónicos como asincrónicos. Independientemente de su configuración interna, todos realizan la misma función básica: almacenar un *bit* (**0** ó **1**) de información. Los *flip-flops* más comunes son el **R-S** *(set-reset)*, el **M-S** *(master-slave)*, el **T** *(toggle)*, el **D** *(data* o *delay)* y el **J-K**.

El más simple de todos los *flip-flops* es el R-S asincrónico (*latch*) mostrado en la figura 389, en sus versiones NAND y NOR. Este dispositivo es poco utilizado debido a las razones expuestas anteriormente. Sin embargo, constituye la base a partir de la cual se construyen todos los otros.

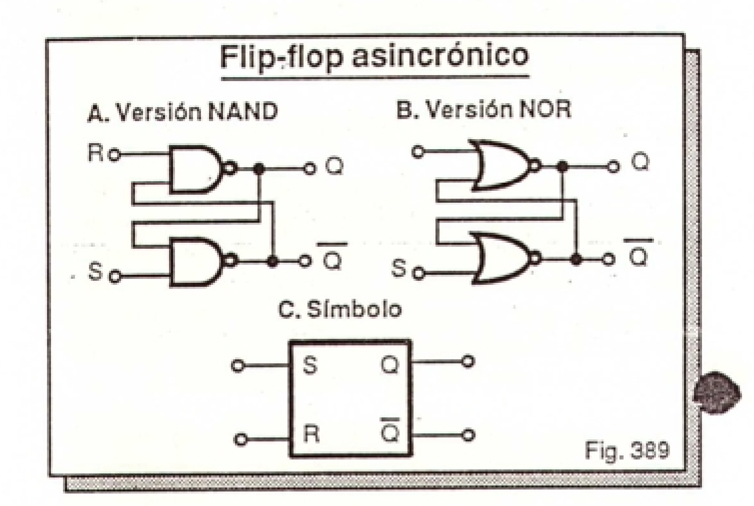


Fig. 389

En la figura 390 se muestra el símbolo lógico de un *flip-flop* sincrónico representativo. El dispositivo posee una entrada de reloj (CLOCK), una entrada de datos (D), dos salidas complementarias (Q y $\overline{Q}$) y dos entradas *asincrónicas* (PRESET y CLEAR). Estas últimas operan independientemente de la señal de reloj y se utilizan para inicializar la salidas Q y $\overline{Q}$ en estados opuestos determinado.

Específicamente, la entrada PRESET incializa la salida Q en **1** y la entrada CLEAR la inicializa en **0**. El estado de la entrada D (0 ó 1) se transfiere a la salida Q cuando se aplica un pulso a la entrada de reloj. Dependiendo del diseño, las líneas PRESET y CLEAR pueden ser activas en **alto** o en **bajo** y el disparo puede efectuarse por nivel o por flancos.

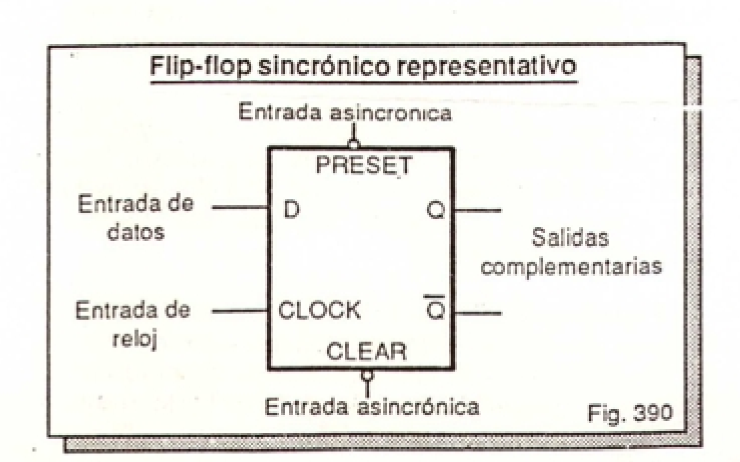


Fig. 390

La mayoría de *flip-flops* sincrónicos se diseñan para responder a uno de los flancos, el de subida o el de bajada, de la señal de reloj. Otros lo hacen cuando la señal de reloj alcanza un cierto nivel, positivo o negativo.

En un *flip-flop* disparable por nivel, el cambio de estado de la salida ocurre cuando la señal de reloj es **alta** o **baja** pero no durante la transición de un estado a otro. Un *flip-flop* disparable por nivel positivo, por ejemplo, es activo únicamente cuando la señal de reloj es **alta**. Del mismo modo, un *flip-flop* disparable por nivel negativo se activa sólo cuando la señal de reloj es **baja**.

En un *flip-flop* disparable por flancos, el cambio de estado de la salida ocurre durante las transiciones de nivel de la señal de reloj. Un *flip-flop* disparable por flancos positivos o de subida responde cuando la señal de reloj pasa de **bajo** a **alto** y uno disparable por flancos negativos o de bajada lo hace cuando pasa de **alto** a **bajo**.

Ejemplos de *flip-flops* disparables por nivel son el R-S sincrónico y el maestro/esclavo (MS) que se describen en las siguientes secciones. Ejemplos de *flip-flops* disparables por flancos son el T, el D y el J-K que se analizarán más adelante. La mayoría de *flip-flops* y dispositivos sincrónicos CMOS son disparables por flancos positivos.

Flip-flop R-S sincrónico

El *flip-flop* R-S sincrónico se obtiene a partir de un *latch* biestable controlando cada entrada a través de una compuerta y gatillando el sistema así formado mediante una señal de reloj. Un *flip-flop* R-S sincrónico es, por tanto, un *latch* NAND o NOR cuya operación está controlada por una señal de reloj.

En la figura 391 se muestra el circuito lógico de un *flip-flop* R-S obtenido a partir de un *latch* NAND. La señal de reloj (CLK) controla la operación del dispositivo a través de dos compuertas NAND. R (RESET) y S (SET) son las entradas del *flip-flop* y $\overline{R}$ y $\overline{S}$ las entradas del *latch*. Se supone que, en condiciones normales, R y S están en alto.

Cuando la señal de reloj está en **bajo**, los puntos $\overline{S}$ y $\overline{R}$ quedan ambos forzosamente en **alto** y, por consiguiente, las salidas Q y $\overline{Q}$ no responden a los cambios de estado de las entradas R y S. El dato previamente almacenado (**0** ó **1**) no se altera.

Cuando la señal de reloj está en **alto**, el nivel lógico de los puntos $\overline{S}$ y $\overline{R}$ dependerá del estado de las líneas de entrada S y R.

Si la entrada S está en **bajo** y las entradas R y CLK están ambas en **alto**, el punto $\overline{S}$ se hace alto

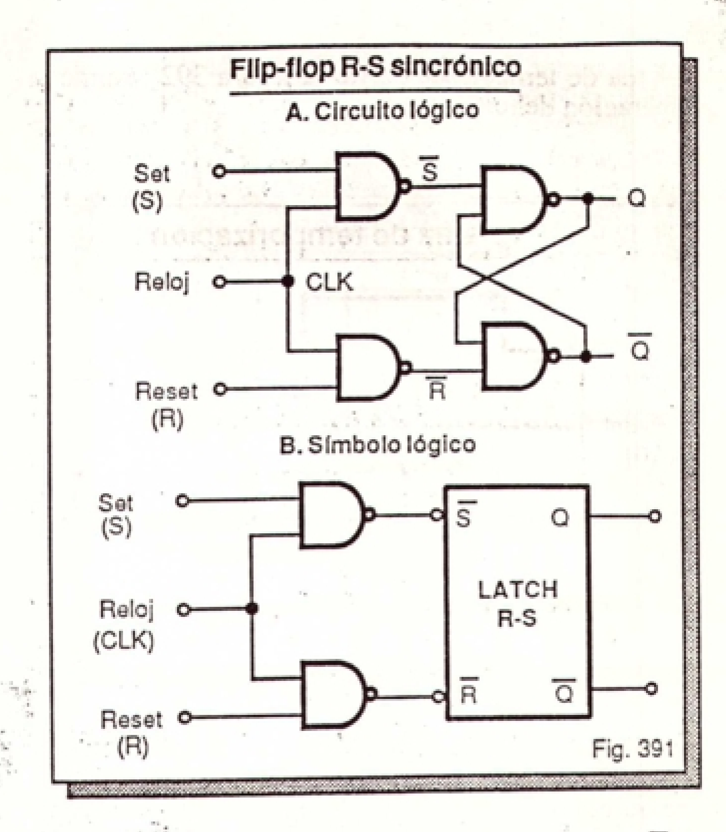


Fig. 391

y el punto $\overline{R}$ se hace **bajo**. Esta condición ($\overline{S}$=**1**, $\overline{R}$=**0**) provoca forzosamente un **bajo** en la salida Q y un **alto** en la salida $\overline{Q}$. Es la forma de escribir o grabar un **0** lógico en esta celda de memoria.

Si la entrada R está en **bajo** y las entradas S y CLK están ambas en **alto**, el punto $\overline{R}$ se hace alto y el punto $\overline{S}$ se hace **bajo**. Esta condición ($\overline{S}$=**0**, $\overline{R}$=**1**) provoca forzosamente un **alto** en la salida Q y un **bajo** en la salida $\overline{Q}$. Es la forma de escribir o almacenar un **1** lógico.

Si las entradas R y S están ambas en **bajo** y la entrada CLK está en **alto**, los puntos $\overline{S}$ y $\overline{R}$ se hacen **altos**. Esta condición ($\overline{S}$=1, $\overline{R}$=1) no afecta el estado de las salidas Q y $\overline{Q}$. El dato previamente almacenado permanece intacto.

Si las entradas R, S y CLK están todas en **alto**, los puntos $\overline{S}$ y $\overline{R}$ se hacen **bajos**. Bajo esta condición ($\overline{S}$=**0**, $\overline{R}$=**0**), el estado de las salidas Q y $\overline{Q}$ es ambiguo. Esta situación debe evitarse.

En conclusión, en el *flip-flop* R-S, las señales aplicadas a las entradas SET (S) y RESET (R) causan un cambio en las salidas Q y $\overline{Q}$ sólo cuando se activa la señal de reloj. Mientras esto no suceda, el *flip-flop* preserva el dato previo, independientemente de lo que suceda en sus entradas.

En nuestro caso, con la señal de reloj activa en **alto**, el *flip-flop* R-S de la figura 391 se comporta exactamente igual al *latch* NAND de la figura 389, extensamente analizado en la lección 19. El dia-

grama de temporización de la figura 392 resume la operación del circuito.

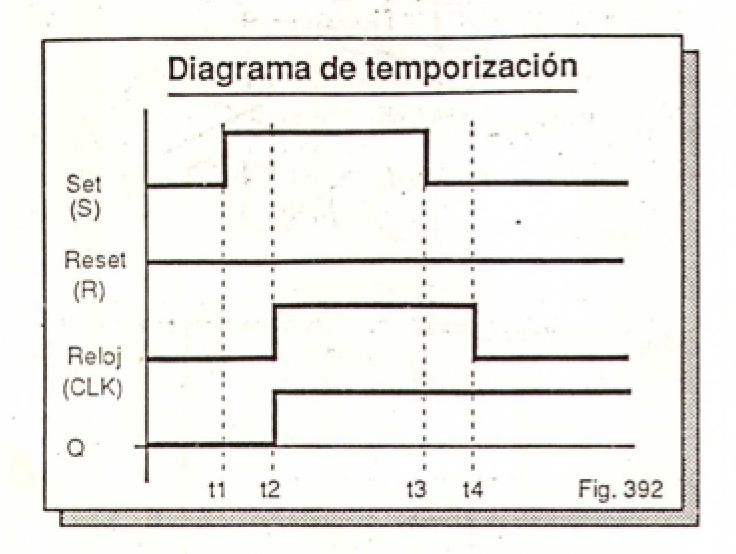


Fig. 392

En la figura 393 se puede apreciar una secuencia de entradas SET- RESET, *sincronizada* con una señal de *reloj*, con el propósito de lograr cambios en las salidas en los momentos que el *reloj* lo permita. Observe que únicamente cuando la señal de *reloj* está en un nivel **alto** se producen los cambios propuestos por los niveles de actividad de las entradas de datos S y R.

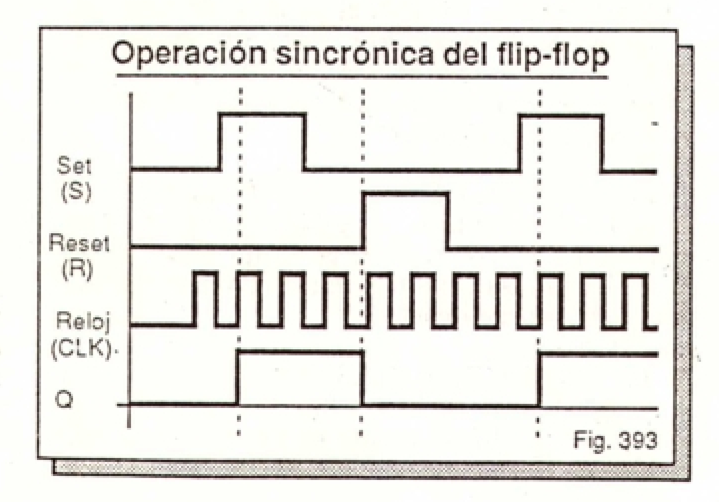


Fig. 393

En la figura 394 se ilustran el símbolo y las tablas características lógica y *física* del *flip-flop* R -S sincrónico de la figura 391. La tabla física describe la operación del dispositivo en términos de niveles **altos** (H) y **bajos** (L) de voltaje mientras la lógica lo hace en términos de **1**'s y **0**'s.

En la figura 395 se puede apreciar la principal desventaja del *flip-flop* R-S sincrónico. Las salidas pueden cambiar, como respuesta a las entradas, durante todo el tiempo que dure la señal de reloj en **1** lógico, es decir en un nivel de voltaje **alto**. Por esta razón, se dice que el dispositivo es "transparente", ya que las salidas "miran" hacia la entrada o hacia los "datos" cuando la señal de *reloj* es **alta**.

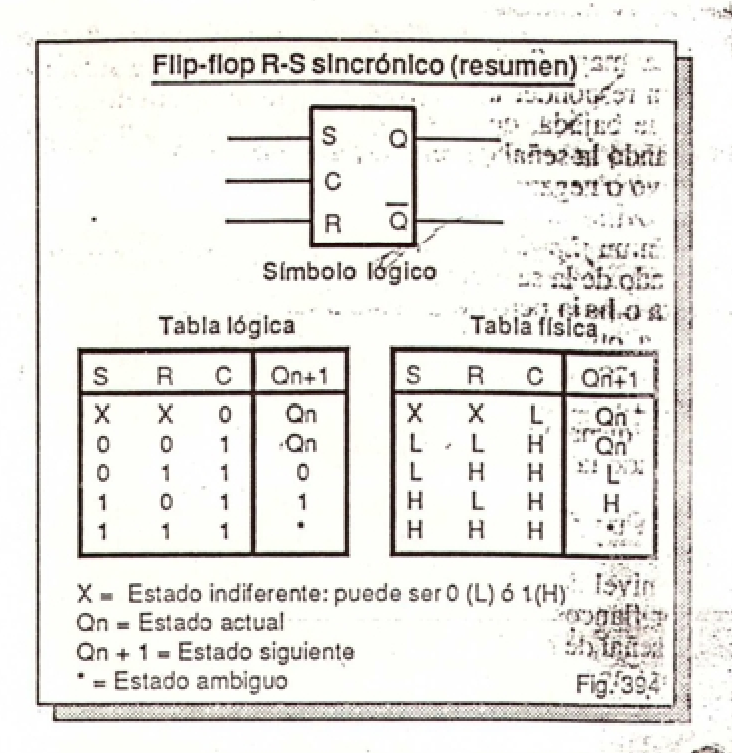


Tabla lógica

S	R	C	Qn+1
X	X	0	Qn
0	0	1	Qn
0	1	1	0
1	0	1	1
1	1	1	*

Tabla física

S	R	C	Qn+1
X	X	L	Qn
L	L	H	Qn
L	H	H	L
H	L	H	H
H	H	H	*

X = Estado indiferente: puede ser 0 (L) ó 1(H)
Qn = Estado actual
Qn + 1 = Estado siguiente
* = Estado ambiguo

Fig. 394

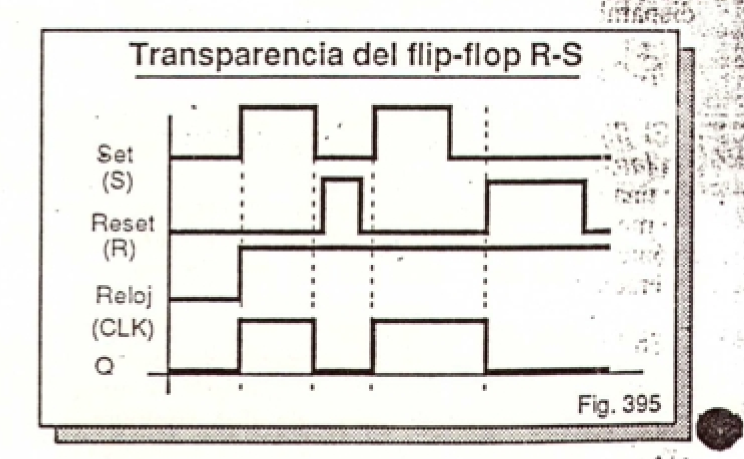


Fig. 395

Flip-flop maestro-esclavo

El *flip-flop* maestro-esclavo o M/S *(master/slave)* es una versión mejorada del *flip-flop* R-S sincrónico descrito anteriormente. Los *flip-flops* M/S almacenan información durante los períodos de transición (flancos) de la señal de reloj y la preservan durante los períodos estables.

Por tanto, los *flip-flops* maestro-esclavo no son transparentes, ya que no operan con el nivel de la señal de reloj sino con uno de sus flancos. La información lograda en una de las transiciones de la señal de reloj se mantiene hasta que ocurra, nuevamente, otra transición similar.

En la figura 396 se muestra el circuito básico de un *flip-flop* maestro/esclavo disparable por flancos de subida. El dispositivo se obtiene conectando dos *flip-flops* R-S en cascada o *tandem*, es decir, uno a continuación del otro.

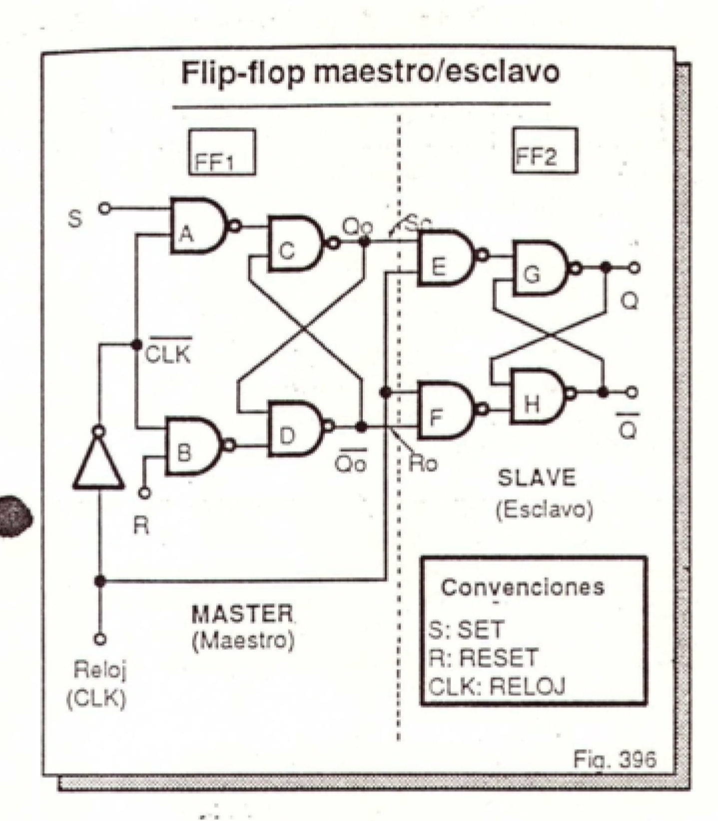


Fig. 396

El primer *flip-flop* (FF1) se denomina **maestro** (*master*) y el segundo (FF2) **esclavo** (*slave*). Uno de los *flip-flops* (en este caso el FF2) recibe directamente la señal de reloj y el otro (el FF1) la recibe complementada o negada. Como veremos, el almacenamiento de información se realiza durante las transiciones de **bajo** a **alto** de la señal de reloj.

Las salidas Qo y $\overline{Qo}$ del maestro manejan respectivamente las entradas So y Ro del esclavo. Las condiciones de operación se programan en las líneas de entrada R (RESET) y S (SET) del maestro. El dato de salida se obtiene en las líneas Q y $\overline{Q}$ del esclavo. El estado de las entradas S y R previo a la transición de la señal de reloj determina el estado final de las salidas después de la misma.

Si la señal de reloj (CLK) está en **bajo**, se aplica un **alto** a la entrada de reloj del maestro ($\overline{CLK}$) y un **bajo** a la del esclavo. El esclavo se inhibe e ignora el estado de sus entradas Ro y So. El maestro se habilita y desarrolla su lógica de acuerdo al estado de sus entradas R y S, enviando el dato (un **1** ó un 0) a la salida Qo y su complemento a la salida $\overline{Qo}$.

Cuando la señal de reloj se hace **alta**, la entrada de reloj del maestro recibe un **bajo** y la del esclavo un **alto**. El maestro se inhibe e ignora el estado de sus entradas R y S. El esclavo se habilita y desarrolla su lógica de acuerdo al estado de sus entradas Ro y So, enviando un **1** ó un **0** lógico a la salida Q y el dato complementario a la salida $\overline{Q}$.

Por ejemplo, supongamos que en las líneas de entrada se tiene la condición S=0 y R=1. Si la señal de reloj está en **0**, el maestro se habilita y sus salidas Qo y Qo se hacen **1** y **0**, respectivamente. Al mismo tiempo, el esclavo se inhibe y el dato previo almacenado en las salidas Q y $\overline{Q}$ no se altera.

Cuando la señal de reloj realiza la transición de **0** a **1**, el maestro se inhibe y el dato previo en las salidas Qo (**0**) y $\overline{Qo}$ (**1**) no se altera. Al mismo tiempo, el esclavo se habilita y responde de acuerdo al estado de sus entradas Ro (**1**) y So (**0**). Como resultado, las salidas Q y $\overline{Q}$ se hacen **1** y **0**, respectivamente.

En conclusión, las condiciones de las líneas de entrada R y S se reflejan en las líneas de salida Q y $\overline{Q}$ sólo cuando la señal de reloj realiza una transición de **0** a **1**. Se dice, entonces, que el *flip-flop* se dispara con flancos de subida. Invirtiendo las conexiones de las entradas de reloj se obtiene disparo por flancos de bajada (figura 397).

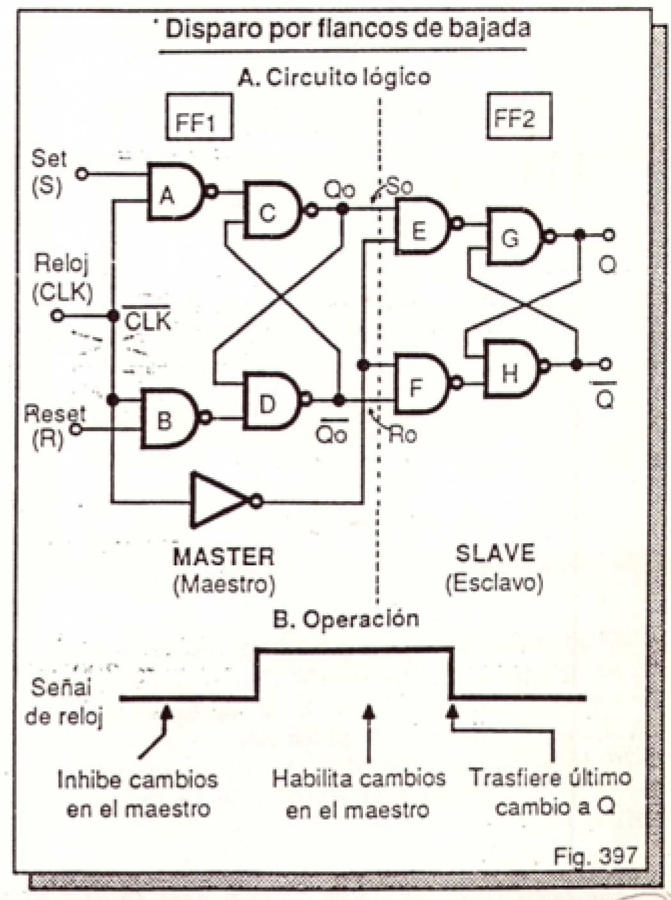
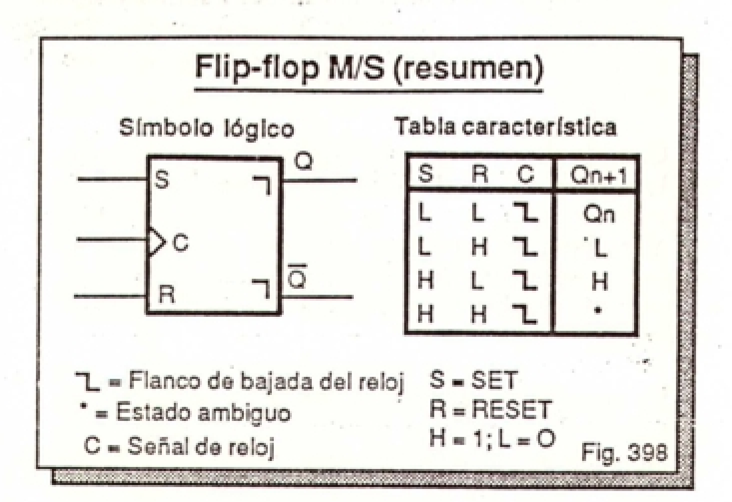


Fig. 397

En la figura 398 se presentan la tabla característica y el símbolo lógico del *flip-flop* R-S maestro/esclavo. Note que, con respecto al *flip-flop* sincrónico R-S, la tabla no ha variado: aún continúa la ambigüedad cuando las entradas SET y RESET toman, al mismo tiempo, el valor de **1** (H) lógico.



S	R	C	Qn+1
L	L	┐L	Qn
L	H	┐L	L
H	L	┐L	H
H	H	┐L	*

Fig. 398

En la figura 399 se indica la forma de modificar el *flip-flop* maestro/esclavo de la figura 396 para dotarlo de las funciones PRESET y CLEAR. Como vimos anteriormente, la señal asincrónica PRESET se utiliza para inicializar la salida de un *flip-flop* en **1** (alto) y la señal CLEAR para inicializarla en **0** (bajo).

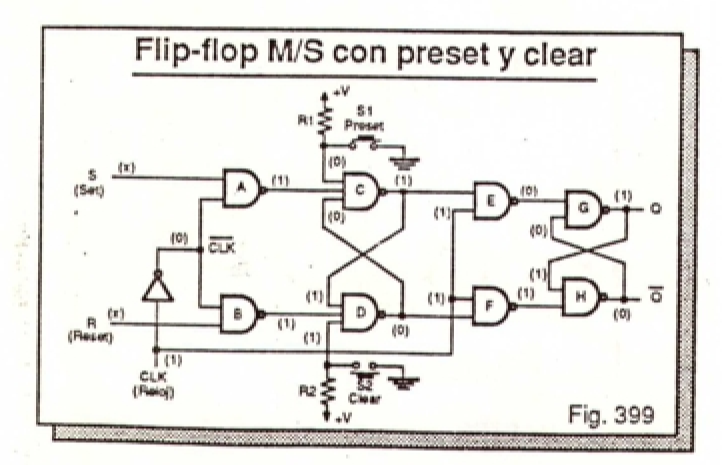


Fig. 399

Las señales PRESET y CLEAR son activas en bajo y se generan, respectivamente, mediante S1 y S2. La prueba de escritorio de la figura 399 relaciona los estados que se presentan en el circuito cuando se pulsa S1 (PRESET), es decir, cuando se lleva asincrónicamente el *flip-flop* a la condición SET (Q=**1**).

Las compuertas A-D constituyen el *flip-flop* maestro y las compuertas E-H el *flip-flop* esclavo.

Suponiendo que la señal de reloj está en **alto**, las salidas de las compuertas A y B serán **altas** y las de las compuertas C y D serán **0** y **1** ó viceversa, dependiendo del estado previo del *flip-flop*.

Cuando se pulsa S1 (PRESET), la compuerta C recibe un **bajo** y aplica un **alto** a la compuerta E. Al mismo tiempo, la compuerta D recibe un **alto** en todas sus entradas y su salida aplica un **bajo** a la entrada de la compuerta F. Puesto que la señal de reloj es **alta**, las compuertas E y F están habilitadas y aplican un **0** y un **1** a las compuerta G y H.

Como resultado, la salida Q se hace **alta** y la salida Q̄ se hace **baja**. Es decir, la pulsación del botón de PRESET (S1) lleva, forzosamente, el *flip-flop* al estado SET (Q=**1**, Q̄=**0**). Un análisis similar revela que, al pulsar S2 (CLEAR), el *flip-flop* queda en estado RESET, es decir, con un **0** en la salida Q y un **1** en la salida Q̄.

Como regla general, las entradas PRESET y CLEAR deben estar deshabilitadas (altas, en este caso) cuando la señal de reloj sea activa. Si esto no se hace, el dispositivo no puede operar de manera sincrónica. Al pulsar simultáneamente S1 y S2, se crea una condición no permitida y el estado de las salidas es ambiguo.

Flip-flop tipo T . Divisores de frecuencia

El *flip-flop* T (del inglés *toggle:* ondulante) es un dispositivo biestable que permuta el estado de sus salidas cada vez que recibe un pulso de reloj. Se obtiene a partir del *flip-flop* M/S básico descrito anteriormente conectando la entrada S a la salida Q̄ y la entrada R a la salida Q, como se muestra en la figura 400. Este circuito, en particular, responde a los flancos de bajada de la señal de reloj.

Observe que la única entrada del circuito es la señal de reloj (CLK). Como lo revela el diagrama de temporización (figura 400-D), la frecuencia de la señal de salida de un *flip-flop* T es la mitad de la frecuencia de la señal de reloj. Esta característica lo hace útil para implementar contadores y otros circuitos digitales donde se requiere la función de división de frecuencia.

Para comprender como trabaja el *flip-flop* T de la figura 400, supongamos que, al comenzar el proceso (instante t_0) la señal de reloj (CLK) es **baja** y el *flip-flop* está en la condición de RESET, es decir Q=R=**0** y Q̄=S=**1**. En el instante $\mathbf{t_1}$, la señal de reloj se hace **alta**. Como resultado, el estado de las entradas S y R se trasfiere a las salidas Qo y Q̄o del maestro y a las entradas So y Ro del esclavo.

Estas señales no afectan el estado previo de las salidas Q y Q̄ del sistema porque el esclavo no está

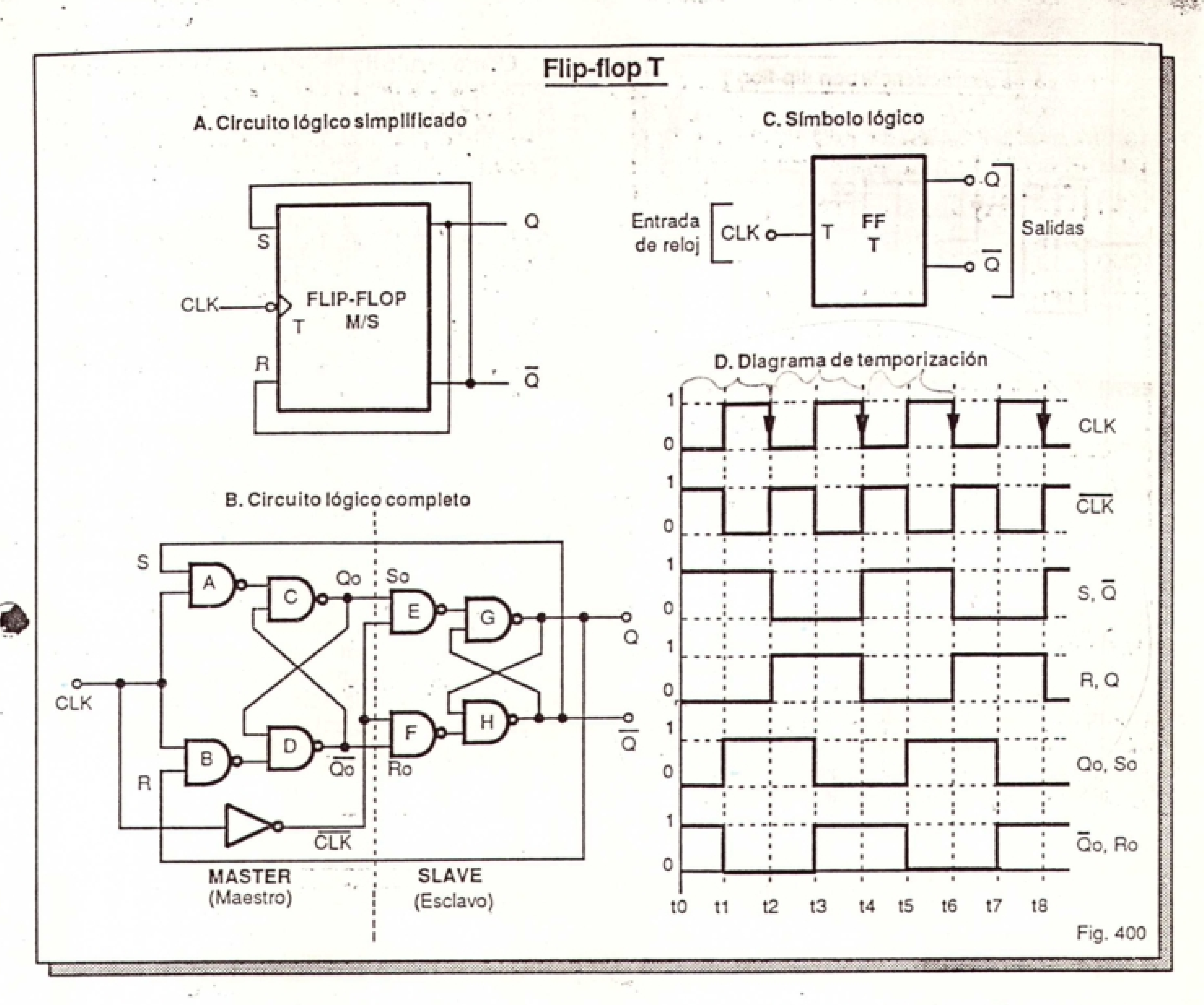


Fig. 400

habilitado. En el instante t_2, la señal de reloj se hace **baja** y el estado de las entradas So y Ro se transfiere a las salidas Q y Q̄ del esclavo. Como resultado, el *flip-flop* pasa a la condición SET, es decir Q=R=**1** y Q̄=S=**0**.

En el instante t_3, la señal de reloj se hace **alta** y el estado de las entradas S y R del maestro se transfiere a las entradas So y Ro del esclavo. Por consiguiente, So=**0** y Ro=**1**. El estado previo de las salidas Q (**1**) y Q̄ (**0**) no se altera porque el esclavo está inhibido.

En el instante t_4, la señal de reloj se hace **baja** y el estado de las entradas So y Ro se transfiere a las salidas Q y Q̄. Como resultado, el *flip-flop* pasa a la condición RESET, es decir Q=R=**0** y Q̄=S=**1**. En el instante t_5, el circuito se encuentra en las mismas condiciones iniciales en que se encontraba en el instante t_1 y, por tanto, se repite la misma secuencia.

Observe que las salidas Q y Q̄ cambian de estado únicamente cuando la señal de reloj realiza una transición negativa, es decir, pasa de **alto** a **bajo**. Se necesitan dos pulsos completos de reloj para que la salida pase de un estado al otro y retorne al estado inicial. En otras palabras, la frecuencia de salida será siempre la mitad de la frecuencia de entrada. En el *flip-flop* T no se presentan estados prohibidos

Conectando varios *flip-flops* T en cascada se obtiene un *divisor de frecuencia* de varias etapas. En la figura 401, por ejemplo, se muestra un circuito que utiliza tres *flip-flops* T para proveer factores de división de frecuencia de 2, 4 y 8. La señal de entrada se aplica al primer *flip-flop* y la salida de cada uno actúa como entrada de reloj del siguiente.

En la figura 402 se muestran los diagramas funcionales de algunos divisores de frecuencia con *flip-flops* T disponibles como circuitos integrados. Todos responden a flancos de bajada. El **4020B** es

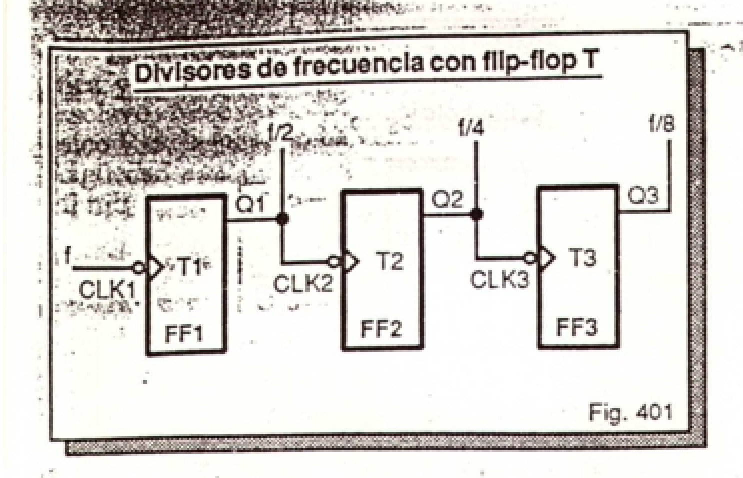


Fig. 401

de 14 etapas, el **4024B** es de 7 etapas y el **4040B** es de 12 etapas. Un **alto** en la línea RESET hace **bajas** todas las salidas. Los divisores de frecuencia se estudian en detalle en la lección 24 de este curso.

Flip-flop tipo D

El *flip-flop* D (del inglés *data:* datos) se obtiene a partir de un *flip-flop* maestro/esclavo conectando un inversor entre las entradas S y R, como se muestra en la figura 403. El dato presente en la entrada D se trasfiere a la salida Q cuando se activa la señal de reloj. Esta característica lo hace muy útil en memorias y registros de datos y de desplazamiento. En el *flip-flop* D no se presentan estados prohibidos.

Como resultado de la inclusión del inversor, las entradas R y S tienen siempre estados opuestos. Para llevar el *flip-flop* a la condición SET (Q=**1**, $\overline{Q}$=**0**), debe aplicarse un **1** a la entrada de datos (D) y para llevarlo a la condición RESET (Q=**0**, $\overline{Q}$=**1**) debe aplicarse un **0** a la misma.

En otras palabras, la salida siempre asume el estado de la entrada cuando la señal de reloj es activa. Esta es la razón por la cual se dice que el dispositivo es *trasparente*. El disparo de un *flip-flop* tipo D se puede producir por nivel (positivo o negativo) o por flancos (de subida o de bajada), dependiendo del diseño.

En la figura 404 se resume la diferencia entre los cuatro modos posibles de disparo de un *flip-flop* D y, en general de cualquier *flip-flop* sincrónico. Como vimos al comienzo de esta lección, en un *flip-flop* disparable por nivel, el circuito responde cuando la señal de reloj es **alta** (disparo por nivel positivo) o **baja** (disparo por nivel negativo).

En un *flip-flop* disparable por flanco, la acción de almacenamiento del circuito ocurre cuando la señal de reloj realiza una transición de **bajo a alto** (disparo por flanco de subida) o **de alto a bajo** (disparo por flanco de bajada). Esta convención es válida para cualquier tipo de *flip-flop* sincrónico.

Divisores de frecuencia integrados representativos

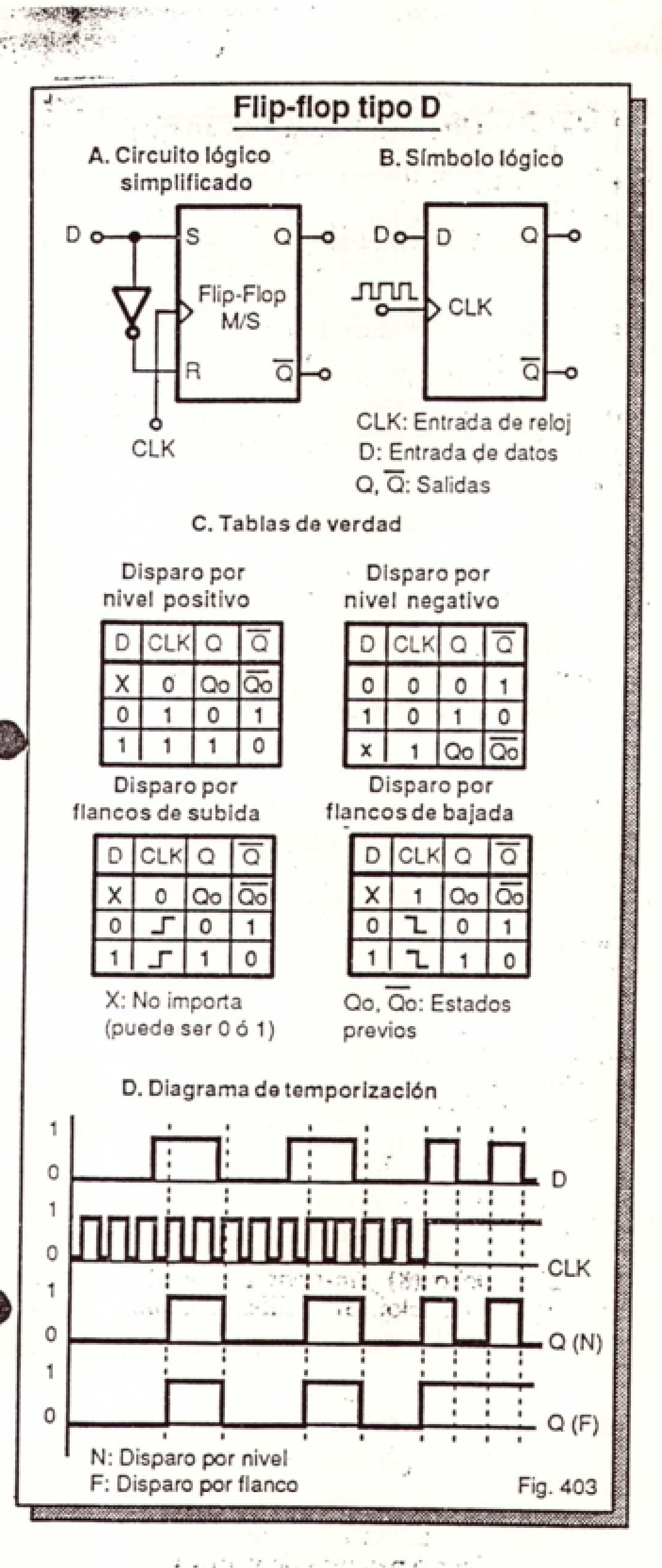
A. 4020B (16 pines, 14 etapas) — V_{DD} (3V-18V), pin 16; CLK (f) pin 10; Reset pin 11; GND pin 8. Salidas: 9 Q1 (f/2), 7 Q4 (f/16), 5 Q5 (f/32), 4 Q6 (f/64), 6 Q7 (f/128), 13 Q8 (f/256), 12 Q9 (f/512), 14 Q10 (f/1024), 15 Q11 (f/2048), 1 Q12 (f/4096), 2 Q13 (f/8192), 3 Q14 (f/16394)

B. 4024B (14 pines, 7 etapas) — V_{DD} (3V-18V), pin 14; CLK (f) pin 1; Reset pin 2; GND pin 7. Salidas: 12 Q1 (f/2), 11 Q2 (f/4), 9 Q3 (f/8), 6 Q4 (f/16), 5 Q5 (f/32), 4 Q6 (f/64), 3 Q7 (f/128)

A. 4040B (16 pines, 12 etapas) — V_{DD} (3V-18V), pin 16; CLK (f) pin 10; Reset pin 11; GND pin 8. Salidas: 9 Q1 (f/2), 7 Q2 (f/ 4), 6 Q3 (f/8), 5 Q4 (f/16), 3 Q5 (f/32), 2 Q6 (f/64), 4 Q7 (f/528), 13 Q8 (f/256), 12 Q9 (f/512), 14 Q10 (f/1024), 15 Q11 (f/2048), 1 Q12 (f/4096)

$$f_{QN} = \frac{f}{2^N}$$

Fig. 402



Disparo por nivel positivo

D	CLK	Q	Q̄
X	0	Qo	Q̄o
0	1	0	1
1	1	1	0

Disparo por nivel negativo

D	CLK	Q	Q̄
0	0	0	1
1	0	1	0
x	1	Qo	Q̄o

Disparo por flancos de subida

D	CLK	Q	Q̄
X	0	Qo	Q̄o
0	↑	0	1
1	↑	1	0

Disparo por flancos de bajada

D	CLK	Q	Q̄
X	1	Qo	Q̄o
0	↓	0	1
1	↓	1	0

Fig. 403

Un *flip-flop* D se puede convertir fácilmente en un *flip-flop* T conectando la salida Q̄ a la entrada D, como se muestra en la figura 405. En este caso, la entrada de reloj actúa como la entrada de *toggle* (T) del *flip-flop*. La salida Q cambia de estado con cada pulso de reloj y la frecuencia de salida es la mitad de la frecuencia de entrada. La operación de un *flip-flop* T se resume en la figura 400.

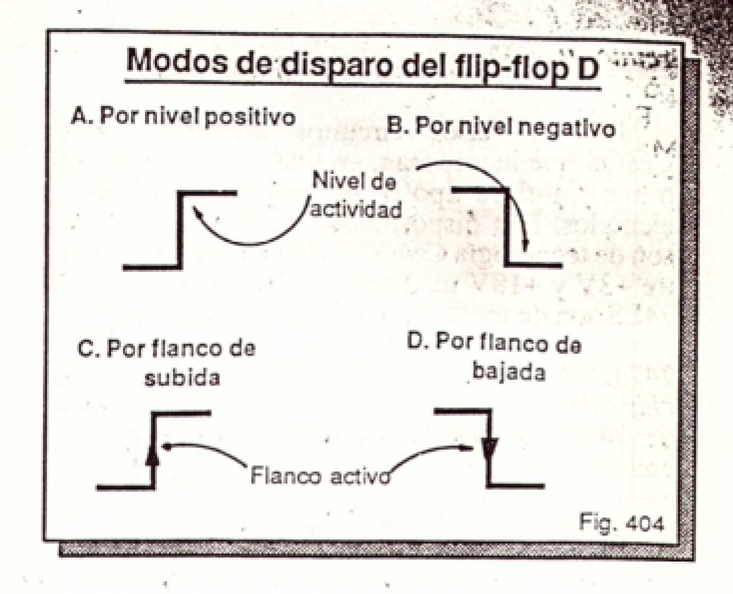


Fig. 404

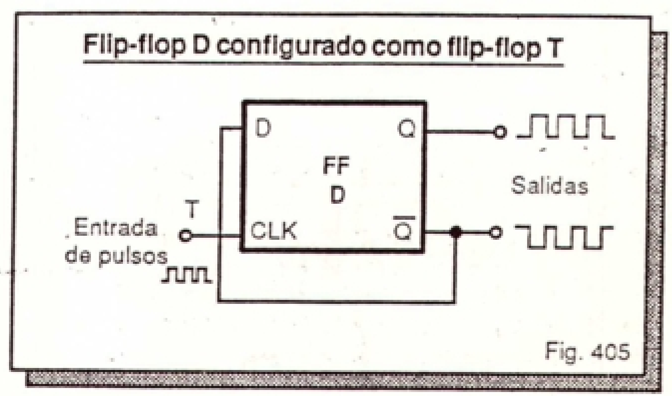


Fig. 405

No todos los *flip-flops* tipo D disparables por flancos o por nivel se obtienen usando la estructura maestro esclavo. En la figura 406 se muestran dos ejemplos. El circuito A se dispara con los flancos de subida del reloj y se realiza con tres cerrojos biestables tipo NAND. El circuito B responde cuando la señal de reloj es alta y se realiza a partir de un *flip-flop* R-S sincrónico.

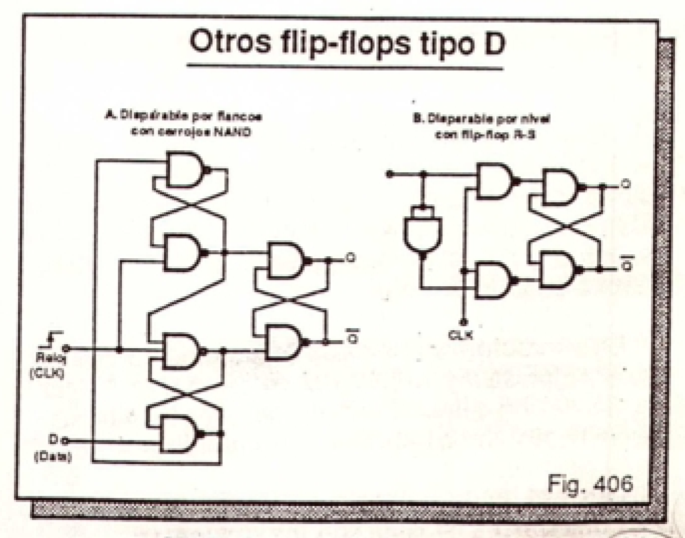


Fig. 406

Circuitos integrados con flip-flops tipo D

Existen varios circuitos integrados TTL y CMOS que incorporan, en una misma cápsula, dos o más *flip-flops* tipo D. Los siguientes son algunos ejemplos. Los dispositivos de las series 40 y 74C son de tecnología CMOS y operan con tensiones entre +3V y +18V mientras que los de las series 74 y 74LS son de tecnología TTL y operan a +5V.

7474, 74C74, 74LS74. Cada uno de estos *chips* (figura 407) incorpora, en una misma cápsula de 14 pines, dos *flip-flops* tipo D independientes con entradas PRESET y CLEAR activas en **bajo.** Los cambios en las salidas Q y $\overline{Q}$ están sincronizados con el flanco positivo de la señal de reloj (CK).

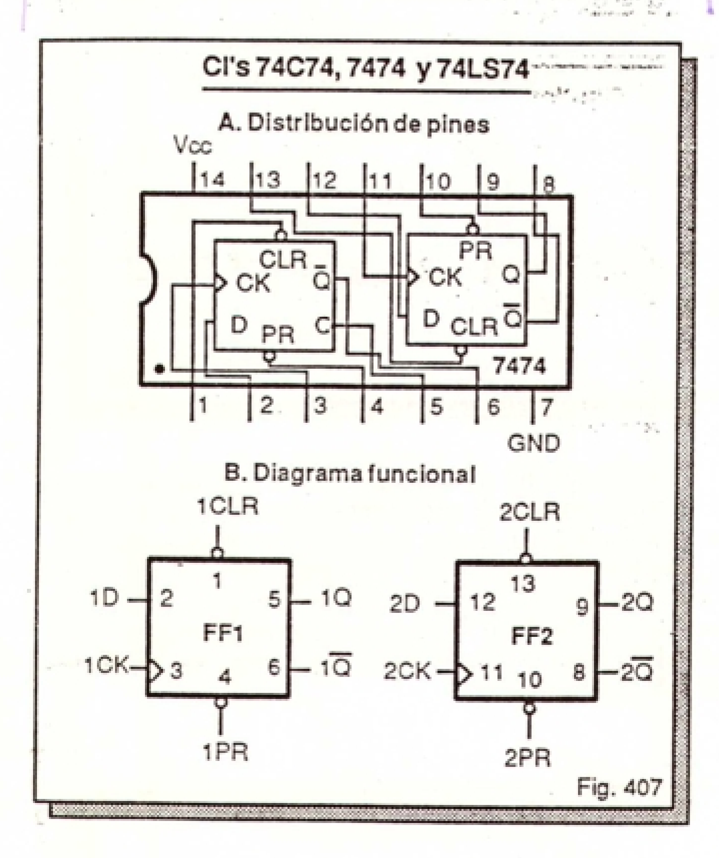


Fig. 407

4013B. Este *chip* (figura 408) incorpora, en una misma cápsula de 14 pines, dos *flip-flops* D independientes con entradas PRESET (SET) y CLEAR (RESET) activas en **alto**. Los cambios de estado de las salidas Q y $\overline{Q}$ están sincronizado con el flanco positivo de la señal de *reloj*.

En condiciones normales (operación sincrónica) las entradas SET y RESET deben ser **bajas**. Si estas dos líneas son **altas** al mismo tiempo, las salidas Q y $\overline{Q}$ se hacen ambas **altas** (estado prohibido).

Otros chips que contienen varios *flip-flops* tipo D en una misma cápsula son los siguientes:

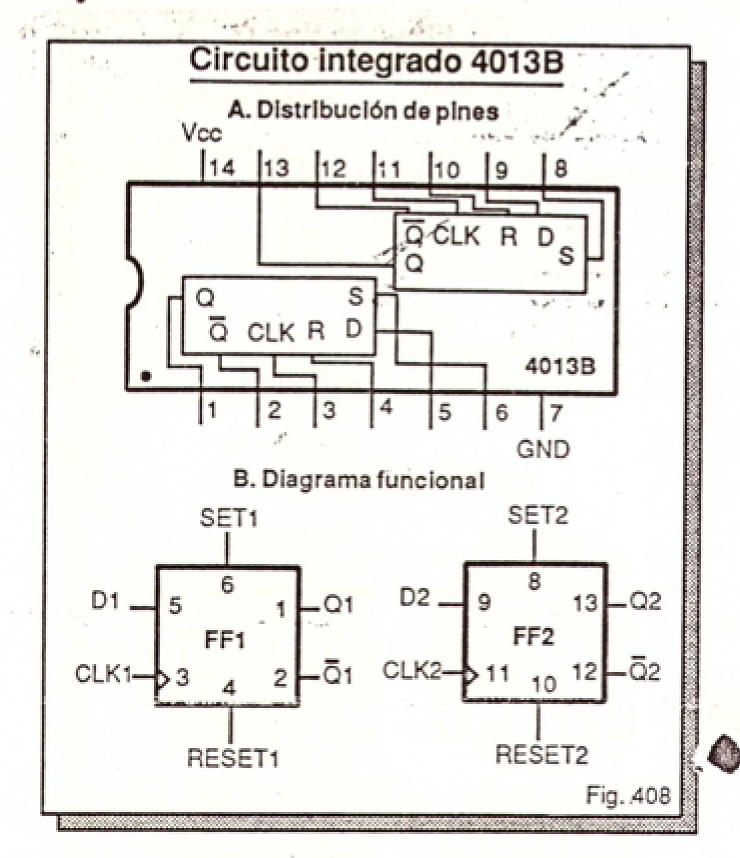


Fig. 408

74C173, 74173, 74LS173. Cuatro (4) *flip-flops* D *tri-state* con CLEAR. Una línea común de reloj. Dos líneas de habilitación. Sin salidas complementarias. 16 pines.

745175, 74C175, 74LS175, 40175B. Cuatro (4) *flip-flops* D con CLEAR. Una entrada común de reloj. Con salidas normales (sin negar) y complementarias (negadas). 16 pines.

74C174, 74174, 74LS174, 40174B. Seis (6) *flip-flops* D con CLEAR. Una línea común de reloj. Sin salidas complementarias. 16 pines.

74LS273. Ocho (8) *flip-flops* D con CLEAR. Una línea común de reloj. Sin salidas complementarias. 20 pines.

74C374, 74LS374: Ocho (8) *flip-flops* D *tri-state*. Una línea común de reloj. Sin salidas complementarias. 20 pines.

Todos estos *chips* se utilizan, principalmente, como registros de almacenamiento, es decir, para guardar códigos o palabras de varios *bits*. Los registros de almacenamiento se estudian en la lección 22.

En el siguiente experimento practicaremos con el circuito integrado **4013B**. Como vimos, este dispositivo contiene dos *flip-flops* D con PRESET y CLEAR en una misma cápsula. Esta primera aproximación práctica a la lógica sincrónica es muy importante. Sígala con detenimiento.

EXPERIMENTO Nº 22

Operación de un flip-flop tipo D

Objetivos

• Analizar el funcionamiento de un *flip-flop* D sincrónico, tomando como ejemplo una de las dos secciones del circuito integrado **4013B**.

• Verificar la función de las entradas asincrónicas PRESET (SET) y CLEAR (RESET) de un *flip-flop*.

• Comprobar la ocurrencia de estados ambiguos en un *flip-flop* operado asincrónicamente.

• Derivar la tabla característica de un *flip-flop* D disparable por flancos de subida.

Materiales necesarios.

1 Circuito integrado **4013B** (dos *flip-flops* D con PRESET y CLEAR). **IC1**.
1 Resistencia de 10 KΩ. **R1**.
4 Monitores lógicos (módulo **EDM-1**). **D1-D4**.
4 Interruptores lógicos (módulo EDM-2). **S1-S4**.
1 Batería alcalina de 9V con conector o una fuente regulada del mismo valor (*kit* CEKIT K10). **VDD**.
1 *Protoboard*.
Puentes varios de alambre telefónico Nº 22 ó #24.

Descripción del circuito de prueba

En la figura E38 se muestra el circuito que utilizaremos en este experimento para comprobar la operación de un *flip-flop* D, obtenido de una de las secciones del circuito integrado **4013B** (IC1). Los interruptores lógicos S1 a S4 del módulo 2 controlan, en su orden, las entradas de datos (D, pin 5), reloj (CLK, pin 3), SET (pin 6) y RESET (pin 4).

Los monitores lógicos D1 a D4 del módulo 1 visualizan, en su orden, el estado de las entradas D (datos) y CLK (reloj) y de las salidas Q (pin 1) y $\overline{Q}$ (pin 2). Un monitor encendido indica la presencia de un nivel **alto** ó **1** lógico en el punto de prueba y un monitor apagado la de un nivel **bajo** ó **0** lógico. La resistencia limitadora R1 es opcional.

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E38. Inserte cuidadosamente el circuito integrado IC1 (**4013B**) y los módulos EDM-1 y EDM-2. Observe todas las precauciones de manipulación de dispositivos CMOS. Al terminar el montaje, sitúe los interruptores S1, S2, S3 y S4 en la posición "0". De este modo, todas las entradas del *flip-flop* recibirán, inicialmente, un nivel **bajo**.

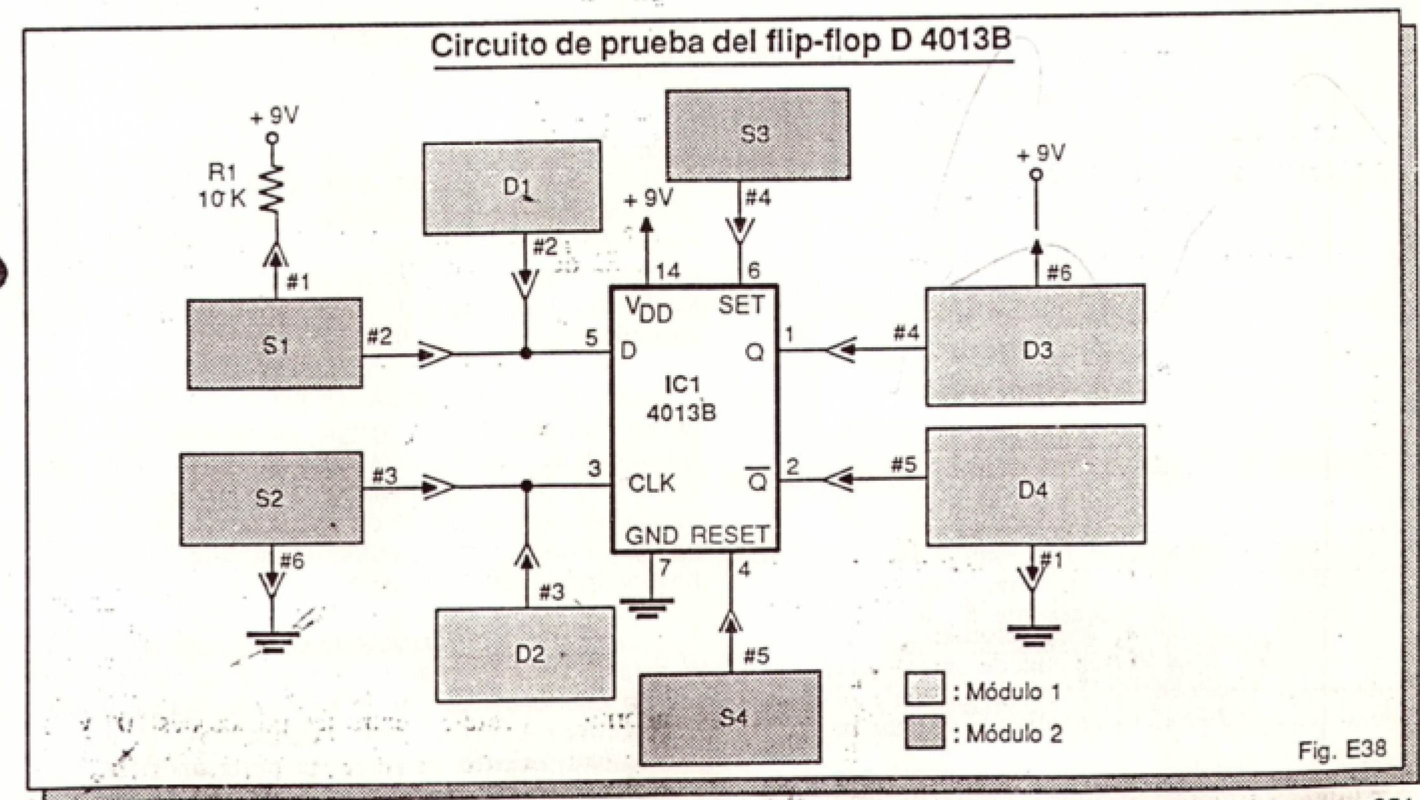


Fig. E38

Paso 2. Encienda la fuente de alimentación y observe lo que sucede en los monitores D1 a D4. Notará que sólo se ilumina D3 ó D4, indicando que una de las salidas del *flip-flop* es **alta** mientras la otra es baja. Los monitores D1 y D2 permanecen apagados porque las entradas de datos (D) y de reloj (CLK) son **bajas**.

Paso 3. Para comprobar la función de la entrada asincrónica RESET (pin 4), produzca un pulso positivo de *reset*, pasando momentáneamente S4 de la posición "0" a la posición "1" y retornándolo a la posición "0". Observe lo que sucede en D3 y D4. Notará que D3 se apaga y D4 se ilumina, es decir, la salida Q se hace **baja** (0) y la salida $\overline{Q}$ se hace **alta.**

Lo anterior sucede porque un **alto** en la línea RESET impone un **bajo** en la salida Q y un **alto** en la salida $\overline{Q}$, sin importar el estado de las entradas de datos (D) y de reloj (CLK). Esta es la forma de inicializar el *flip-flop* en la condición RESET (Q=0). Consigne sus resultados en la tabla de la figura E39

Tabla característica

Paso Nº	Entradas D (S1,D1)	CLK (S2,D2)	Set (S3)	Reset (S4)	Salidas Q (D3)	$\overline{Q}$ (D4)
2	X	X	0	0		
3	X	X	0	1		
4	X	X	1	0		
5	X	X	1	1		
	X	X	1	↓		
	X	X	↓	1		
6	1	↑	0	0		
	0	↑	0	0		

X: Puede ser 0 ó 1

↑ : Flanco de subida (transición de 0 a 1) ↑

↓ : Flanco de bajada (transición de 1 a 0) ↓

Fig. E39

Paso 4. Para comprobar la función de la entrada asincrónica SET (pin 6), aplique un pulso positivo de *set*, pasando momentáneamente S3 de la posición "0" a la posición "1" y retornándolo a la posición "0". Observe lo que sucede en D3 y D4. Notará que D3 se ilumina y D4 se apaga, es decir, la salida Q se hace **alta** (1) y la salida $\overline{Q}$ se hace **baja.**

Lo anterior sucede porque un **alto** en la línea SET impone un **alto** en la salida Q y un **bajo** en la salida $\overline{Q}$, sin importar el estado de las entradas de datos (D) y de reloj (CLK). Esta es la forma de inicializar el *flip-flop* en la condición SET (Q=1, $\overline{Q}$=0). Consigne sus resultados en la tabla de la figura E39.

Paso 5. Sitúe S3 y S4 en la posición "1" y observe lo que sucede en D3 y D4. Notará que estos dos monitores se encienden, indicando que las salidas Q y $\overline{Q}$ son ambas **altas**. Esta situación ambigua (Q=$\overline{Q}$) ocurre porque las entradas SET y RESET son activas (**altas**) al mismo tiempo.

A continuación, pase S3 a la posición "0" y observe lo que sucede en D3 y D4. Notará que D3 se apaga y D4 permanece iluminado. Esta situación indica que la salida Q es **baja** y la salida $\overline{Q}$ es **alta.**

Lleve nuevamente S3 a la posición "1" y pase S4 a la posición "0". Observe lo que sucede en D3 y D4. Notará que D3 permanece iluminado mientras D4 se apaga. Esta situación indica que la salida Q es **alta** y la salida $\overline{Q}$ es **baja.**

Como conclusión, cuando las entradas SET y RESET son **altas** al mismo tiempo, resulta una condición no permitida (Q=$\overline{Q}$=1). La primera de estas entradas en hacerse **baja** determina el estado final del *flip-flop*. En condiciones normales, las entradas SET y RESET deben estar siempre en **bajo** para que el dispositivo trabaje en forma sincrónica.

Registre todos sus resultados en la tabla de la figura E39. Al terminar, retorne nuevamente todos los interruptores, desde S1 hasta S4, a la posición "0".

Paso 6. Para comprobar la operación sincrónica del *flip-flop*, sitúe S1 en la posición "1". El monitor D1 debe iluminarse, indicando que la entrada D está recibiendo un nivel **alto** (1). A continuación, aplique un pulso positivo de reloj, llevando el interruptor S2 de la posición "0" a la posición "1" y retornándolo a la posición "0".

Observe lo que sucede en D3 y D4. Notará que D3 se ilumina y D4 se apaga, indicando que la salida Q es **alta** y la salida $\overline{Q}$ es **baja.** A continuación, sitúe S1 en la posición "0" y aplique nuevamente un pulso positivo de reloj. Notará que D3 se apaga y D4 se ilumina, indicando que la salida Q es **baja** y la salida $\overline{Q}$ es **alta.**

Lo anterior sucede porque el *flip-flop* memoriza el estado de la entrada D cuando la señal de reloj realiza una transición de **bajo** a **alto**. Para ratificar esto último, sitúe S2 en la posición "1" y mueva alternativamente S1 entre las posiciones "0" y "1". Notará que el estado de la salida Q no cambia. Registre su resultados en la tabla de la figura E39.

Flip-flop tipo J-K

El **J-K** (figura 409) es un *flip-flop* sincrónico con dos líneas de entrada de datos (J y K), una entrada de reloj (CLK), dos entradas asincrónicas (PRESET y CLEAR) y dos salidas complementarias (Q y Q̄). Las entradas J y K se pueden manipular para producir cualquier condición de salida predecible. El J-K puede también operar como T o D y es el más popular de todos los dispositivos biestables.

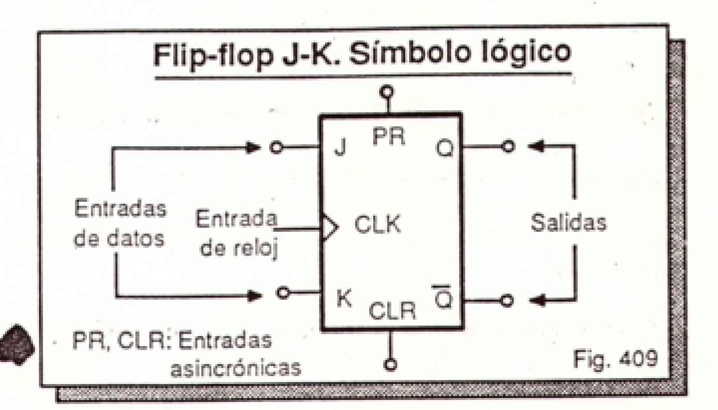


Fig. 409

En la figura 410 se muestra el circuito equivalente de un *flip-flop* J-K. El dispositivo se obtiene a partir de un *flip-flop* R-S maestro-esclavo acoplando, mediante las compuertas A y B, la salida Q̄ a la entrada S y la salida Q a la entrada R. Las entradas libres de las compuertas de acoplamiento se convierten en las líneas de datos J y K del *flip-flop*.

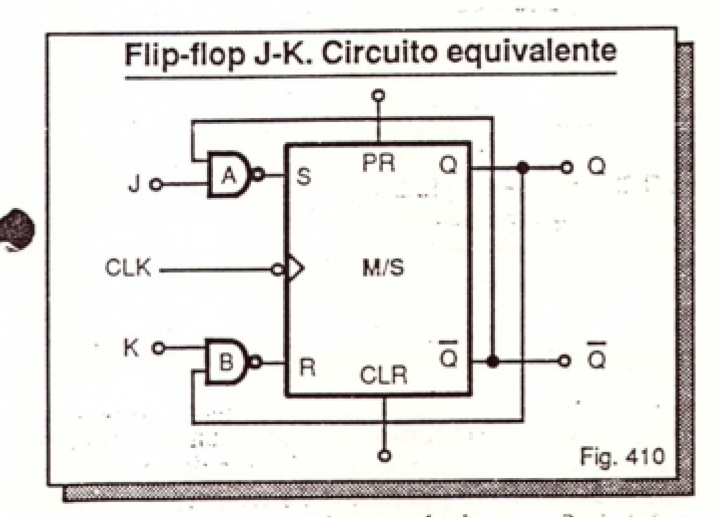


Fig. 410

El *flip-flop* J-K puede ser operado en uno cualquiera de estos dos modos: sincrónico y asincrónico. En el primer caso, el estado de las salidas Q y Q̄ depende de las entradas J y K y está sincronizado con la señal aplicada a la entrada de reloj (CLK). En el modo asincrónico, el estado de las salidas Q y Q̄ lo establecen las entradas PRESET y CLEAR.

En la tabla característica de la figura 411 se resume la operación de un *flip-flop* J-K en el modo asincrónico. Se supone que la entrada de reloj (CLK) está inactiva. Las entradas PRESET y CLEAR pueden ser activas en **alto** o en **bajo**, dependiendo del diseño. Por lo general, en CMOS, estas líneas son activas en **alto**, y en TTL lo son en **bajo**.

Flip-flop J-K. Operación asincrónica

A. Entradas PR y CLR activas en bajo

$\overline{PR}$	$\overline{CLR}$	Q	$\overline{Q}$
0	0	•	•
0	1	1	0
1	0	0	1
1	1	Qo	$\overline{Qo}$

B. Entradas PR y CLR activas en alto

PR	CLR	Q	$\overline{Q}$
0	0	Qo	$\overline{Qo}$
0	1	0	1
1	0	1	0
1	1	•	•

•: Estados ambiguos (condición no permitida)
Qo, $\overline{Qo}$: Estados previos (operación sincrónica)

Fig. 411

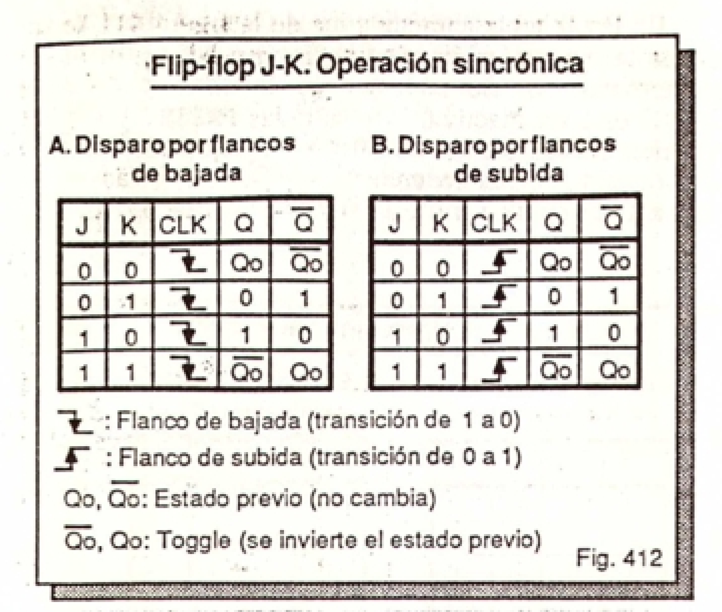
En el caso de un dispositivo con entradas activas **bajas**, la aplicación de un **bajo** a la entrada CLEAR y de un **alto** a la entrada PRESET hace forzosamente **baja** la salida Q mientras que la aplicación de un **bajo** a la entrada PRESET y de un **alto** a la entrada CLEAR la hace forzosamente **alta**.

En el caso de un dispositivo con entradas activas **altas**, la aplicación de un **alto** a la entrada CLEAR y de un **bajo** a la entrada PRESET hace forzosamente **baja** la salida Q mientras que la aplicación de un **alto** a la entrada PRESET y de un **bajo** a la entrada CLEAR la hace forzosamente **alta**.

La salida complementaria Q̄ opera en forma contraria. Cuando las entradas PRESET y CLEAR son activas al mismo tiempo, el dispositivo opera erráticamente porque no sabe que hacer: el resultado final es impredecible. En presencia de la señal de reloj (operación sincrónica), las entradas PRESET y CLEAR deben estar inactivas.

La principal aplicación del modo asincrónico es inicializar las salidas del *flip-flop* en un estado conocido. Como vimos en la lección 15, esto es particularmente importante cuando se aplica potencia por primera vez a un circuito. La operación asincrónica se utiliza también para cargar registros y contadores con cantidades específicas antes de comenzar una nueva operación.

En la tabla característica de la figura 412 se resume la operación de un *flip-flop* J-K en el modo sincrónico. Las entradas PRESET y CLEAR deben



Flip-flop J-K. Operación sincrónica

A. Disparo por flancos de bajada

J	K	CLK	Q	$\overline{Q}$
0	0	↓	Qo	$\overline{Qo}$
0	1	↓	0	1
1	0	↓	1	0
1	1	↓	$\overline{Qo}$	Qo

B. Disparo por flancos de subida

J	K	CLK	Q	$\overline{Q}$
0	0	↑	Qo	$\overline{Qo}$
0	1	↑	0	1
1	0	↑	1	0
1	1	↑	$\overline{Qo}$	Qo

↓ : Flanco de bajada (transición de 1 a 0)

↑ : Flanco de subida (transición de 0 a 1)

Qo, $\overline{Qo}$: Estado previo (no cambia)

$\overline{Qo}$, Qo: Toggle (se invierte el estado previo)

Fig. 412

estar inactivas para que el dispositivo desarrolle su lógica sincrónica normal. El *flip-flop* puede estar sincronizado con los flancos de subida o de bajada de la señal de reloj (CLK), dependiendo del diseño.

Las entradas sincrónicas J y K son, normalmente, activas en **alto** y determinan el estado de salida resultante después de la aplicación de la señal de reloj. Específicamente, un **alto** en la línea J, con la entrada K en **bajo**, lleva la salida al estado SET (Q=**1**, $\overline{Q}$=0). Así mismo, un **alto** en la línea K, con la línea J en **bajo**, lleva la salida al estado RESET (Q=**0**, $\overline{Q}$=**1**).

Cuando las entradas J y K son ambas **bajas** y se aplica la señal de reloj, nada sucede: el estado previo de las salidas Q (Qo) y $\overline{Q}$ ($\overline{Qo}$) se mantiene, es decir, no cambia. Se dice, entonces, que el *flip-flop* está operando en el modo de *retención* (*hold*).

Cuando las entradas J y K son ambas **altas** y se aplica la señal de reloj, ocurre algo interesante: las salidas Q y $\overline{Q}$ cambian de estado. Es decir, el *flip-flop* pasa del estado SET (Q=**1**, $\overline{Q}$=0) al de RESET (Q=**0**, $\overline{Q}$=**1**) o viceversa. Se dice, entonces, que el *flip-flop* está operando en el modo *basculante* (*toggle*).

El diagrama de temporización de la figura 413 resume la operación del *flip-flop* J-K en el modo sincrónico. En este caso, se supone que el dispositivo responde a los flancos de bajada de la señal de reloj y que las entradas asincrónicas (PRESET y CLEAR) están inactivas. En operación sincrónica, el J-K no presenta estados ambiguos.

El *flip-flop* J-K se utiliza ampliamente en registros de almacenamiento, registros de desplazamiento, contadores de pulsos, divisores de frecuencia y otras aplicaciones secuenciales que analizaremos en lecciones posteriores. Una de las principales razones de su popularidad radica en que puede adaptarse fácilmente para operar también como *flip-flop* T o D.

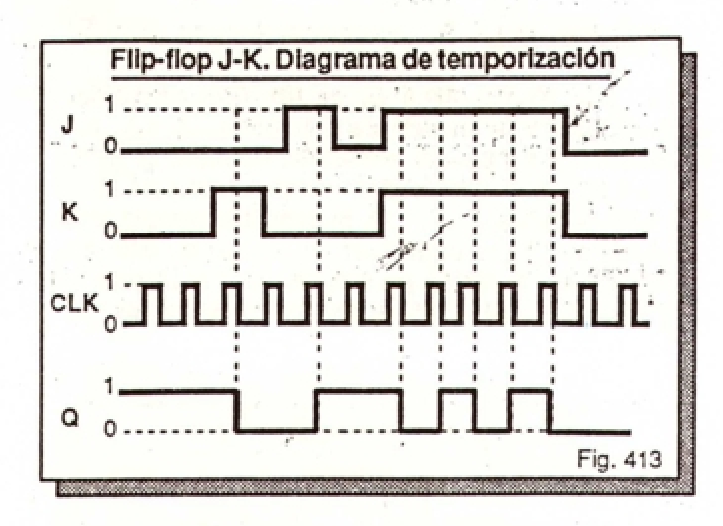


Fig. 413

En la figura 414 se indica la forma de obtener un *flip-flop* T (*toggle*) a partir de un *flip-flop* J-K. Este modo de operación se logra conectando las entradas J y K a un nivel **alto** y manteniendo las entradas PRESET y CLEAR inactivas. El estado de la salida (Q) cambia cada vez que la señal de reloj (CLK) realiza una transición de **alto** a **bajo**.

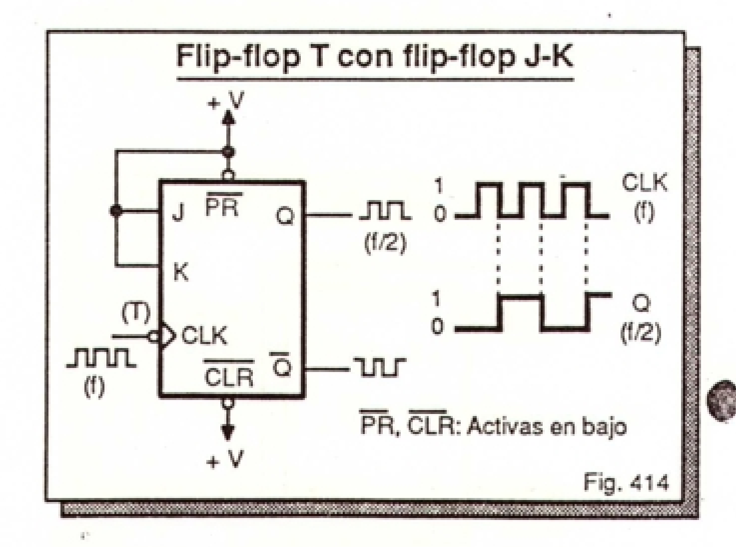


Fig. 414

El circuito de la figura 414 es, intrínsecamente, un divisor de frecuencia: se necesitan dos pulsos completos de reloj para producir un pulso completo de salida. Es decir, la frecuencia de salida es la mitad de la frecuencia de entrada:

$$F_{out} = Fin/2$$

En este caso, F_{out} es la frecuencia de la señal disponible en la salida Q y F_{in} la frecuencia de la

señal aplicada a la entrada de reloj (CLK). Por ejemplo, si la frecuencia de reloj es 1 KHz, la frecuencia de salida será 500 Hz. Conectando varios *flip-flops* T en cascada se obtiene una cadena de divisores de frecuencia, como se explicó en una sección anterior (ver página 248).

El *flip-flop* J-K configurado como *toggle*, además de la división de frecuencia, se puede también utilizar en otras aplicaciones, por ejemplo, para memorizar alternativamente la acción de *on/off* de un pulsador: cada vez que se acciona el interruptor, la carga controlada por el mismo (un motor, una lámpara, etc.) se energiza o se desenergiza.

En la figura 415 se ilustra la forma de obtener un *flip-flop* D (*data*) a partir de un *flip-flop* J-K. Este modo de operación se logra conectando un inversor entre las entradas J y K y utilizando J como línea de datos (D). Nuevamente, las entradas PRESET y CLEAR deben estar inactivas. La salida Q adopta el estado de la entrada J cada vez que la señal de reloj realiza una transición de **bajo** a **alto**.

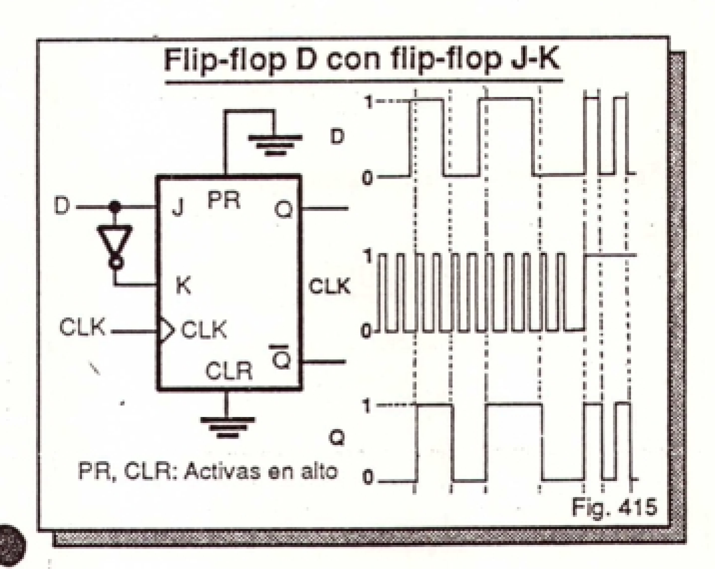


Fig. 415

En esencia, un J-K funciona como un *flip-flop* T cuando sus entradas son ambas **altas** y como un *flip-flop* D cuando las mismas tienen estados diferentes. Siempre que utilice un *flip-flop* en el modo sincrónico, mantenga desactivadas las entradas PRESET y CLEAR para evitar que el dispositivo se dispare por ruido y produzca una respuesta falsa.

No todos los *flip-flops* J-K se implementan utilizando el principio maestro/esclavo. En la figura 416, por ejemplo, se muestra el circuito de un *flip-flop* J-K, con entradas asincrónicas construido a partir de un *flip-flop* R-S sincrónico. El dispositivo desarrolla su lógica normal cuando la señal de reloj es de nivel **alto**. Las líneas PRESET y CLEAR son activas en **bajo**.

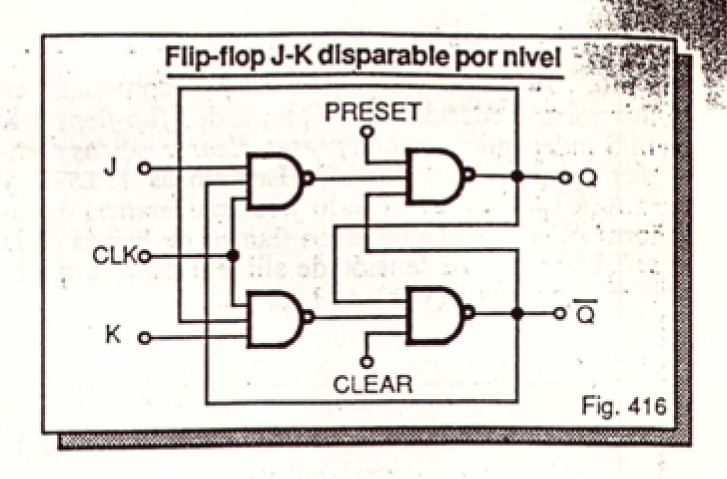


Fig. 416

Circuitos integrados con flip--flops J-K

Existen varios circuitos integrados TTL y CMOS que incorporan, en una misma cápsula, dos o más *flip-flops* tipo J-K. Los siguientes son algunos ejemplos.

Nota: Los dispositivos de las series 74 y 74LS operan a +5V y los de las series 40 y 74C con tensiones entre +3V y +15V.

7473, 74C73, 74LS73. Todos incorporan, en una misma cápsula de 14 pines, dos *flip-flops* J-K M/S independientes con *clear* y salidas complementarias (figura 417). La línea CLEAR es activa en **bajo** y la transferencia de información se realiza con los flancos de bajada de la señal de reloj. La tensión de alimentación se aplica entre los pines 4 (Vcc) y 11 (GND).

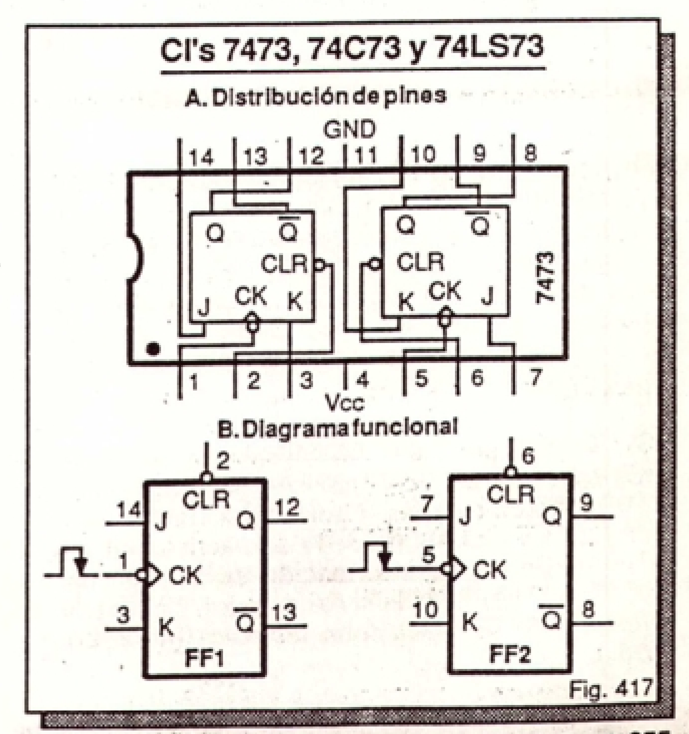


Fig. 417

7476, 74C76, 74LS76. Todos incorporan, en una misma cápsula de 16 pines, dos *flip-flops* J-K M/S independientes con *preset, clear* y salidas complementarias (figura 418). Las líneas PRESET y CLEAR son activas en bajo y la transferencia de información se realiza con los flancos de bajada de la señal de reloj. La tensión de alimentación se aplica entre los pines 5 (Vcc) y 13 (GND).

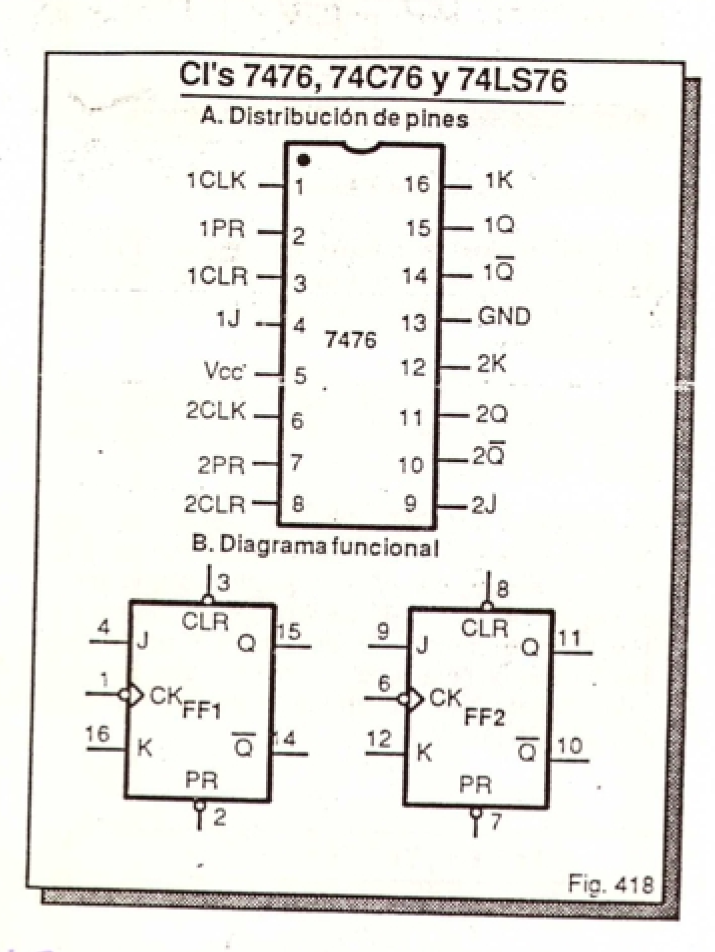


Fig. 418

4027B. Incorpora, en una misma cápsula de 16 pines, dos *flip-flops* J-K M/S independientes con *preset, clear* y salidas complementarias (figura 419). Las líneas PRESET (SET) y CLEAR (RESET) son activas en alto y la transferencia de información se realiza con los flancos de subida de la señal de reloj. La tensión de alimentación se aplica entre los pines 16 (V_{DD}) y 8 (GND).

4095B. Incorpora, en una cápsula de 14 pines, un *flip-flop* J-K M/S *gatillado* con *preset, clear* y salidas complementarias (figura 420). Las líneas PRESET (SET) y CLEAR (RESET) son activas en alto y la transferencia de información se realiza con los flancos de subida de la señal de reloj. La tensión de alimentación se aplica entre los pines 14 (VDD) y 7 (GND).

La característica de *gatillado* propia del circuito se refiere al hecho de que los estados finales de las

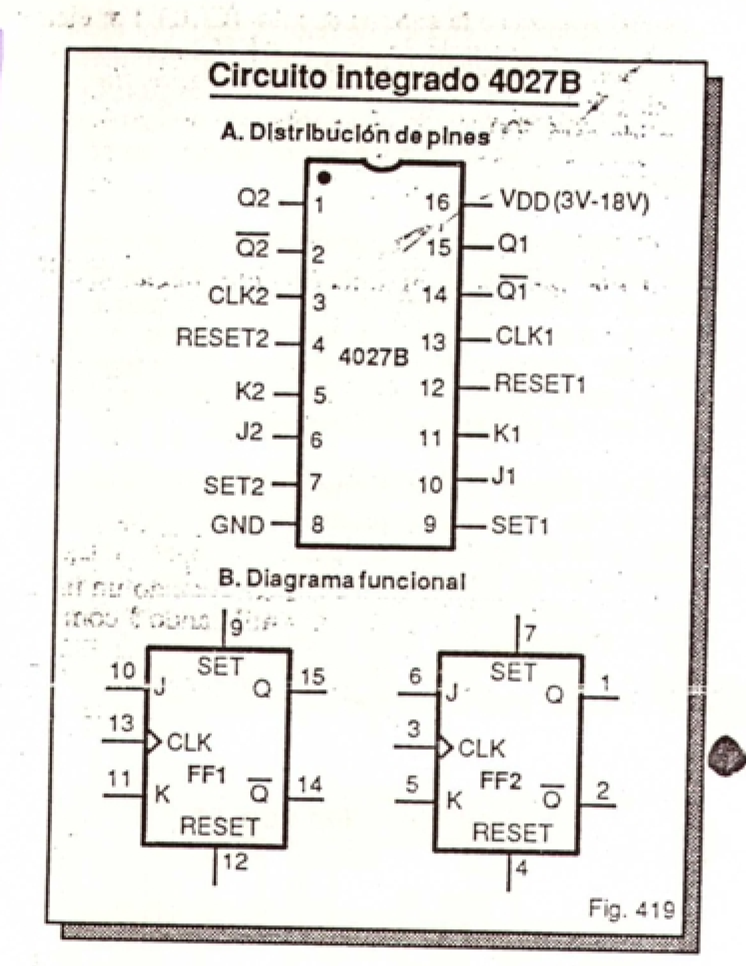


Fig. 419

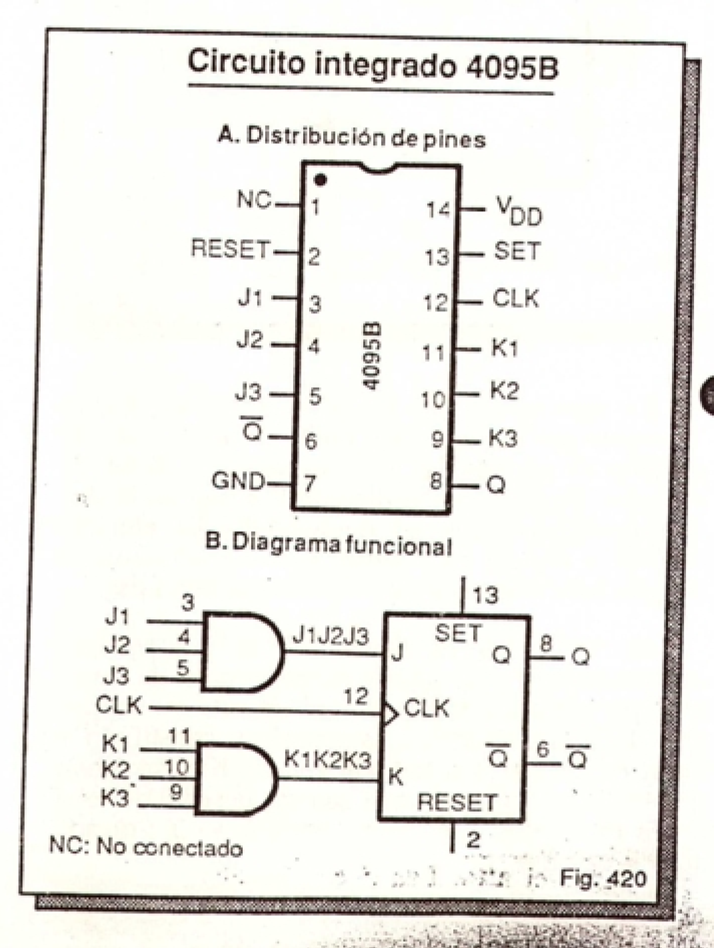


Fig. 420

entradas J y K son el resultado de la operación AND entre tres posible. entradas J (J1, J2 y J3) y tres posibles entradas K (K1, K2 y K3) respectivamente. Es decir:

$$J = J1 \cdot J2 \cdot J3$$
$$K = K1 \cdot K2 \cdot K3$$

Por ejemplo, si las entradas J son **altas** y una de las entradas K es **baja**, el dispositivo se comporta como un *flip-flop* J-K con J=1 y K=0. Esta condición produce un **alto** en la salida Q y un **bajo** en la salida $\bar{Q}$ después de aplicar la señal de reloj.

Otros *chips* que contienen uno o más *flip-flops* J-K en una misma cápsula son los siguientes:

74107, 74C107, 74LS07. Dos *flip-flops* J-K independientes, cada uno con *clear* y salidas complementarias. Disparable por flancos de bajada. Línea CLEAR activa en **bajo**.

4096B. Un *flip-flop* J-K *gatillado* con tres entradas J (J1, J2, $\overline{J3}$), tres entradas K (K1, K2, $\overline{K3}$), dos entradas asincrónicas (SET, RESET) y dos salidas complementarias (Q, $\bar{Q}$). Disparable por flancos de subida. Líneas SET y RESET activas en **alto**. La misma distribución de pines del **4096B**. 14 pines.

74LS102. Un *flip-flop* J-K *gatillado* con tres entradas J (J1, J2, J3) y 3 entradas K (K1, K2, K3), dos entradas asincrónicas (PRESET y CLEAR) y dos salidas complementarias (Q, $\bar{Q}$). Disparable por flancos de bajada. Líneas PRESET y CLEAR activas en **bajo**.

En el siguiente experimento practicaremos con el circuito integrado TTL **74LS73**. Como vimos, este dispositivo contiene dos *flip-flops* J-K maestro esclavo independientes con una sola entrada asincrónica (CLEAR) y dos salidas complementarias. Los datos de las entradas J y K se procesan durante los flancos positivos de la señal de reloj y se transfieren procesados a la salida durante los flancos negativos.

Los *flip-flops*, así como las compuertas que los forman, son los bloques constructivos básicos de sistemas digitales más complejos como contadores, registros, memorias, arreglos lógicos programables (PLA's), microprocesadores, etc. Por esta razón, es importante familiarizarse con sus características individuales para utilizarlos eficientemente. Este experimento le permitirá reafirmar sus conceptos.

Obtendremos la señal de reloj de un generador de pulsos disponible en forma de *kit* bajo la referencia **K3** de CEKIT. En cualquier sistema sincrónico, para conseguir el efecto deseado, la señal de reloj debe ser perfectamente limpia, con flancos de subida y de bajada rápidos y bien definidos.

EXPERIMENTO Nº 23

Operación de un flip-flop J-K

Objetivos

- Analizar el funcionamiento dinámico de un *flip-flop* J-K sincrónico TTL alimentado por un tren de pulsos, tomando como ejemplo una de las dos secciones del circuito integrado **74LS73**.

- Verificar el funcionamiento del dispositivo en los modos sincrónico y asincrónico, observando en particular su operación como divisor de frecuencia.

- Familiarizarse con la utilización de un generador de pulsos de frecuencia variable, disponible en forma de *kit*.

Materiales necesarios

1 Generador de pulsos de frecuencia variable (*kit* CEKIT **K3**).*
1 Circuito integrado **74LS73** (dos *flip-flops* J-K de disparo negativo con *clear*). **IC2**.
1 Resistencia de 1 KΩ. **R6**.
4 Monitores lógicos (módulo EDM-1). **D1-D4**.
3 Interruptores lógicos (módulo EDM-2). **S1-S3**.
1 Fuente regulada de 5V/1A (*kit* CEKIT **K11**).
1 *Protoboard*.
Puentes de alambre telefónico Nº 22 ó Nº 24.

(*) Nota: El *kit* CEKIT **K3**, conocido comúnmente como " Luces de Velocidad Variable", consta de los siguientes componentes (no se mencionan la tarjeta de circuito impreso y otros accesorios incluidos en paquete completo).

1 Circuito integrado 555. **IC1**
1 Resistencia de 6.8 KΩ. **R1**.
1 Resistencia de 1 KΩ. **R2**.
2 Resistencias de 220 Ω. **R3, R4**.
1 Potenciómetro de 100 KΩ. **R5**.
1 Condensador electrolítico de 10 µF/16V. **C1**.
2 Diodos emisores de luz. **LED 1, LED 2**.

Descripción del circuito de prueba

En la figura E40 se muestra el circuito que utilizaremos en este experimento para comprobar la operación del *flip-flop* J-K **74LS73**. La señal de reloj proviene de un *kit* generador de pulsos que usted mismo puede armar sobre su *protoboard* o adquirir comercialmente. El circuito detallado del *kit* K3 se muestra en la figura E41.

Los estados de las entradas J y K y de las salidas Q y $\bar{Q}$ se visualizan mediante los monitores D1

Circuito de prueba del flip-flop J-K 74LS73

: Módulo EDM-1
: Módulo EDM-2
: Kit CEKIT K3 (Ver figura E41)

Fig. E40

a D4 del módulo 1. La programación de las entradas J y K se realiza mediante los interruptores lógicos S1 y S2 del módulo 2 y la activación o desactivación de la línea de borrado (CLEAR) mediante el interruptor S3 del mismo módulo.

Procedimiento

Paso 1. Arme sobre el *protoboard* el circuito de la figura E40. Observe que la tensión de alimentación del circuito integrado **74LS73** se aplica entre los pines 4 (+5V, positivo) y 11 (GND, negativo). No olvide alimentar adecuadamente los módulos EDM-1 y EDM-2 y el generador de pulsos. Si no utiliza este último en forma de *kit*, arme también sobre el *protoboard* el circuito correspondiente (figura E41).

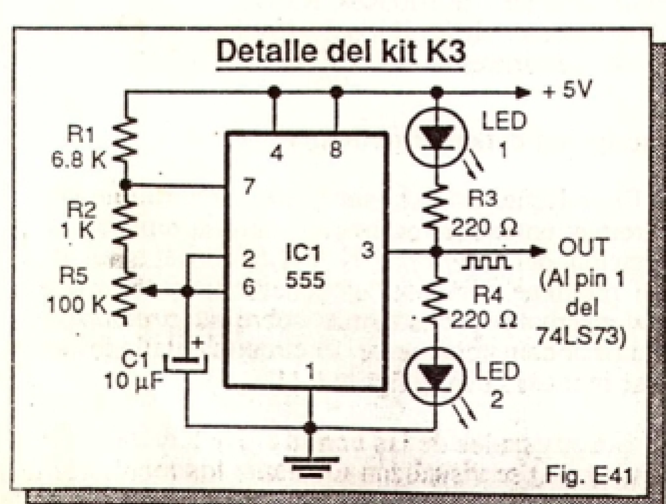


Fig. E41

Al terminar el montaje, sitúe el control de frecuencia del generador de pulsos (R5) en una posición intermedia y los interruptores del módulo 2 (S1-S3), en la posición "**0**". De este modo, las entradas J, K y CLR recibirán un nivel **bajo**, es decir, un 0 lógico. Antes de encender la fuente, revise bien todas las conexiones y corrija posibles errores.

Paso 2. Encienda la fuente de alimentación. Los LED del generador deben iluminarse alternativamente, indicando la presencia de pulsos. El LED 1 prende cuando la señal de reloj es **baja** y el LED 2 cuando es **alta**. Moviendo el potenciómetro R5 de un lado al otro, varía la velocidad del parpadeo.

Observe lo que sucede en los monitores D3 y D4. Notará que D3 se apaga y D4 se ilumina, indicando que la salida Q es **baja** y la salida $\overline{Q}$ es **alta**. Cambie los interruptores S1 y S2 de una posición a otra. Notará que esta situación no cambia, es decir, la salida Q se mantiene **baja** y la salida $\overline{Q}$ **alta**.

Electrónica digital práctica
Tecnología y sistemas
Antonio Hermosa Donate, Alfaomega-Marcombo